

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение высшего образования
**«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»**

И.А. Чернышев, А.Ю. Чернышев

ЭЛЕКТРОННАЯ И МИКРОПРОЦЕССОРНАЯ ТЕХНИКА

ЭЛЕКТРОННЫЕ УСТРОЙСТВА НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

Лабораторный практикум

*Рекомендовано в качестве учебно-методического пособия
Редакционно-издательским советом
Томского политехнического университета*

2-е издание

Издательство
Томского политехнического университета
2015

УДК 621.382.049.77(076.5)

ББК 32.844.15я73

Ч-49

Чернышев И.А.

Ч-49 Электронная и микропроцессорная техника. Электронные устройства на интегральных микросхемах. Лабораторный практикум : учебно-методическое пособие / И.А. Чернышев, А.Ю. Чернышев ; Томский политехнический университет. – 2-е изд. – Томск : Изд-во Томского политехнического университета, 2015. – 224 с.

В пособии изложены теоретические основы принципа действия электронных устройств, выполненных на интегральных микросхемах, методика их исследований на лабораторных установках и на персональных компьютерах с использованием прикладной программы Electronics Workbench 5.12.

Предназначено для студентов, обучающихся по направлениям 140600 «Электромеханика, электротехника и электротехнологии», 140200 «Электроэнергетика».

УДК 621.382.049.77(076.5)

ББК 32.844.15я73

Рецензенты

Доктор технических наук, профессор ТУСУРа

В.А. Бейнарович

Кандидат технических наук,

доцент Северского технологического института НИЯУ МИФИ

В.Б. Терехин

© ФГБОУ ВПО НИ ТПУ, 2012

© Чернышев И.А., Чернышев А.Ю., 2012

© Оформление. Издательство Томского политехнического университета, 2015

ВВЕДЕНИЕ

Организация и порядок проведения лабораторных работ

Лабораторные работы по курсу «Электронная, микропроцессорная и преобразовательная техника» позволяют студентам приобрести навыки по сборке электронных схем, выполненных на транзисторах и интегральных микросхемах, экспериментально проверить работу устройств цифровой и аналоговой техники. Непосредственное участие в проведении экспериментальных исследований вырабатывает у студентов практические навыки по методике проведения экспериментов и обработки их результатов.

Целью выполнения лабораторных работ является подготовка студента к производственной деятельности в сфере эксплуатации, монтажа и наладки, сервисного обслуживания и испытаний, диагностики и мониторинга электронных устройств различного назначения в соответствии с профилем подготовки, а также подготовка выпускника к самостоятельному обучению.

По результатам выполнения лабораторных работ студент должен:

знать: работу и особенности принципа действия цифровых электронных устройств различного назначения;

уметь: анализировать и описать физические процессы, протекающие в электронных устройствах; выбирать типовые микросхемы для решения поставленной задачи; экспериментально исследовать, практически настраивать, определять и устранять возможные неполадки в работе электронных устройств; проводить входной контроль исправности работы и соответствия техническим условиям (ТУ) электронных компонентов, включая электронные схемы различного уровня интеграции;

иметь опыт: расчета параметров и экспериментального определения физических величин – токов, напряжений – при работе электронных устройств различными типами приборов: индикаторами, цифровыми измерительными приборами, аналоговыми и цифровыми осциллографами; экспериментального исследования электронных устройств;

развить способности: проводить эксперименты по заданным методикам с обработкой и анализом результатов; планировать экспериментальные исследования; применять методы стандартных исследований электронных устройств; осуществлять монтаж, регулировку, испытания, сдачу в эксплуатацию, наладку и опытную проверку электронных устройств различного назначения.

Лабораторные работы выполняются бригадами студентов, обычно по 3–5 человек. Это позволяет получить навыки работы как индивидуально, так и в качестве члена команды, уметь проявлять личную ответственность ведения профессиональной деятельности. Кроме того, такое количество членов бригады определяется необходимостью одновременного снятия большого числа показаний, регулировкой нескольких параметров исследуемых устройств в течение отведенного времени проведения лабораторной работы.

Лабораторные работы завершаются составлением отчета и должны содержать необходимые схемы, таблицы, графики, выполненные с применением средств оргтехники и компьютерным набором и обработкой информации. По результатам выполнения всех лабораторных работ проводится их защита. При защите лабораторной работы студенты должны знать назначение всех элементов схемы, принцип действия устройств, входящих в схему, и уметь объяснить порядок проведения экспериментов и полученные результаты. При рейтинговой системе обучения общее количество баллов зависит как от качества представленного отчета, так и от показанных знаний при защите лабораторной работы.

Блок испытания цифровых устройств

Исследование цифровых устройств при выполнении лабораторных работ проводится с использованием блока испытания цифровых устройств, образец лицевой панели которого приведен на рис. 1.

Состав блока испытания цифровых устройств:

- 1 – источник питания с защитой от перегрузок и коротких замыканий напряжением +5 В и максимальным током 1 А;
- 2 – наборное поле с разводкой шин питания;
- 3 – индикатор логических уровней;
- 4 – источник логических сигналов ТТЛ уровня;
- 5 – генератор прямоугольных импульсов с частотами 100, 10, 1 Гц и относительной длительностью импульса 0,5.

Источник питания 1 подает напряжения +5 В на индикатор логических уровней, источники логических сигналов ТТЛ и гнезда наборного поля. Цифровые и аналоговые микросхемы для удобства подключения к гнездам наборного поля 2 источника питания закреплены в миниатюрном блоке (мини-блоке) специальной конструкции. Установка мини-блока в гнезда наборного поля автоматически подключает мини-блок к общим шинам питания блока испытания цифровых устройств. При этом сборка логической цепи сводится к соединению выходов и входов логических элементов, источников и индикаторов логических сигналов, уже имеющих общую цепь питания.

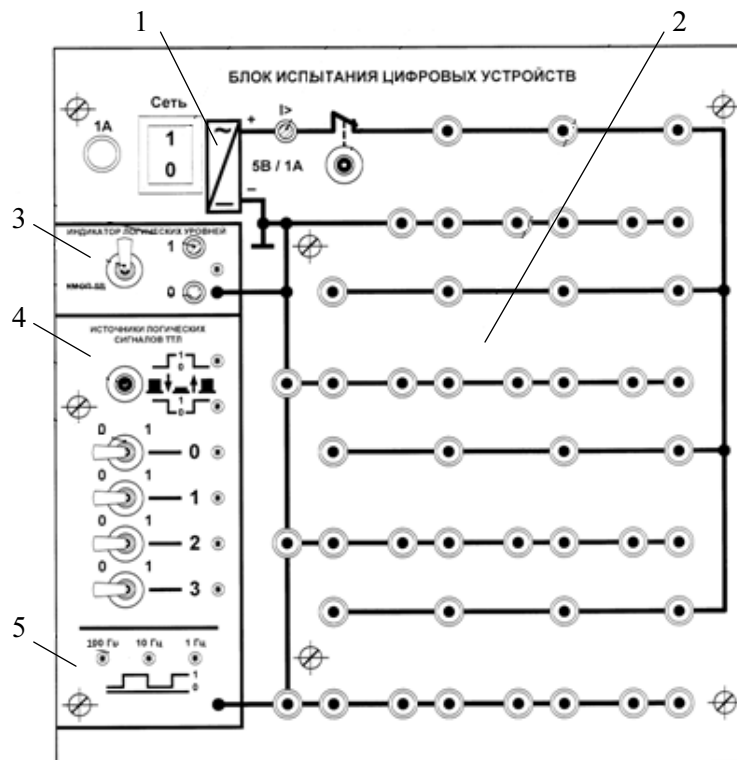


Рис. 1. Лицевая панель блока испытания цифровых устройств

Сборку цепей необходимо выполнять при отключенном питании блока испытания цифровых устройств, т. е. при отключенном выключателе «Сеть». Включать выключатель «Сеть» следует только после сборки и проверки электрической схемы исследования цифровых устройств. Если ток нагрузки источника питания превысит 1,3...1,5 А или произойдет короткое замыкание, напряжение питания будет отключено и сработает индикатор перегрузки («I>»). Если после устранения причины перегрузки питание не восстановится автоматически, т. е. не погаснет индикатор перегрузки («I>»), то необходимо нажать и отпустить кнопку «Сброс» блока питания.

Индикатор логических уровней

Индикатор логических уровней (см. рис. 2) отображает состояние подключенного к его входу логического сигнала. Для подключения индикатора к выходу логического элемента достаточно одного провода, т. к. он имеет общую цепь питания с остальными частями блока испытания цифровых устройств. Свечение красного светодиода 1 указывает, что входной сигнал соответствует уровню логической единицы – 2...5 В для элементов ТТЛ или 3,5...5,0 В для элементов КМОП. Зеленый светодиод 2 соответствует уровню логического нуля 0...0,8 В для элементов ТТЛ или 0...1,5 В для

элементов КМОП. Если светодиоды не светятся, уровень логического сигнала не соответствует ни уровню логического нуля (0), ни уровню логической единицы (1). Свечение обоих светодиодов свидетельствует о постоянном переключении сигнала между уровнями 0 и 1. Пороги срабатывания индикаторов (ТТЛ/КМОП) определяются положением переключателя 3.

Источники логических сигналов

Логические сигналы на выходах источников 4 и 5 (рис. 2) соответствуют уровням элементов ТТЛ логики, но эти сигналы возможно также применять для исследования микросхем КМОП логики при питании микросхем от источника 5 В, что допустимо по техническим условиям использования микросхем КМОП логики.

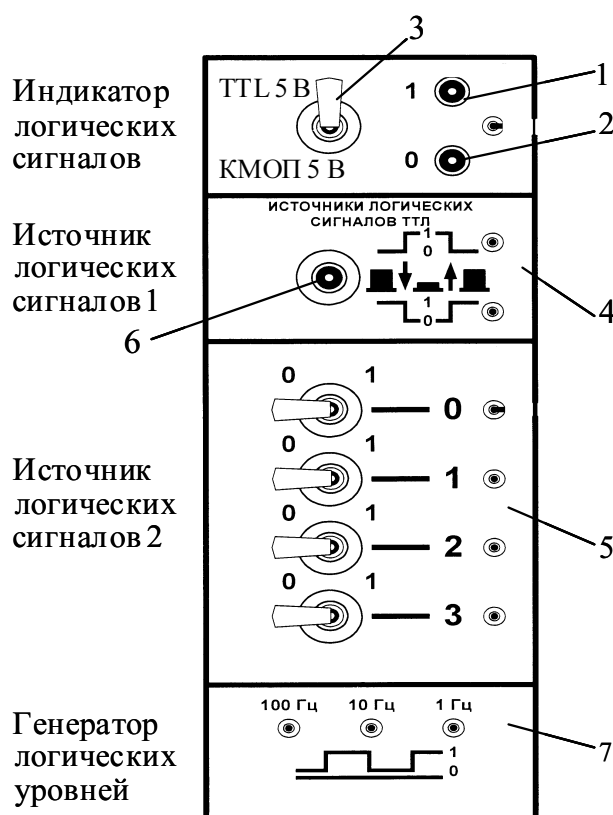


Рис. 2. Источники логических сигналов

Источники логических сигналов имеют общую цепь питания с наборным полем и индикатором логических уровней. Поэтому для их подключения достаточно использовать один провод, соединяющий выход источника с входами логических элементов.

Кнопка 6 управляет двумя логическими сигналами, переключающимися в противофазе. Специальные цепи (*RS*-триггер) устраняют дрейзг механических контактов кнопки, поэтому данные сигналы необхо-

можно использовать для надежного управления последовательными схемами (триггерами, счетчиками и т. п.).

Группа четырех тумблеров 5 предназначена для задания статических логических сигналов и не имеет цепей устранения дребезга контактов.

Генератор 7 вырабатывает импульсы с частотами 100, 10 и 1 Гц и скважностью 0,5.

Блок генераторов напряжений с наборным полем

Общий вид блока генераторов напряжений с наборным полем показан на рис. 3. В левой части блока расположены органы управления источников питания, в правой – гнезда для подключения исследуемых (вспомогательных) элементов электрической цепи: резисторов, конденсаторов и т. д. В нижней части блока генераторов напряжений показан фрагмент электрической цепи, собранный на наборном поле.

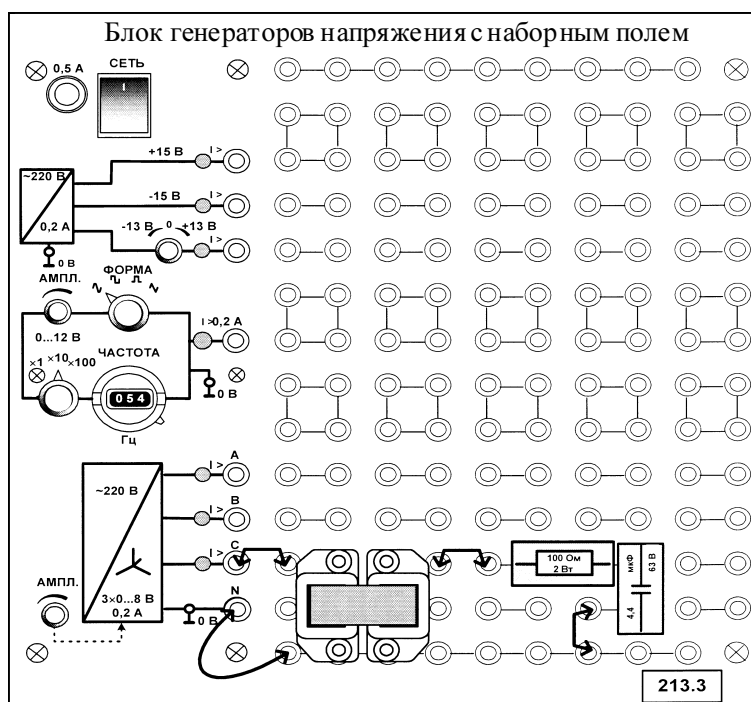


Рис. 3. Блок генераторов напряжений с наборным полем

Все источники напряжений включаются и выключаются общим выключателем «СЕТЬ» и защищены от внутренних коротких замыканий плавким предохранителем с номинальным током 0,5 А.

На лицевой панели блока указаны номинальные напряжение и ток каждого источника напряжения, а также диапазоны изменения регулируемых выходных величин. Все источники напряжений имеют общую точку «0», не соединённую с заземлённым корпусом блока. Источники защищены от перегрузок и внешних коротких замыканий самовосста-

навливающимися предохранителями с номинальным током 0,2 А. О срабатывании предохранителя свидетельствует индикатор « I ».

Источник синусоидальных напряжений содержит трёхфазный регулируемый по амплитуде выходного напряжения преобразователь однофазного напряжения 50 Гц в трёхфазное напряжение ($U_{\phi} = 0 \dots 8$ В). Выходное сопротивление трёхфазного источника в рабочем диапазоне токов близко к нулю.

Генератор напряжений специальной формы вырабатывает на выходе синусоидальный, прямоугольный двухполярный, прямоугольный однополярный или треугольный сигнал в зависимости от положения переключателя «**ФОРМА**». Выходное сопротивление генератора в рабочем диапазоне токов также близко к нулю. Частота сигнала регулируется десятиоборотным потенциометром «**ЧАСТОТА**» с цифровой индикацией положения подвижной части и переключателем диапазонов «**МНОЖИТЕЛЬ**». Частота выходного напряжения генератора не зависит ни от формы, ни от амплитуды сигнала.

Амплитуда выходного сигнала регулируется потенциометром «**АМПЛ**». При положениях переключателя диапазонов $\times 1$ и $\times 10$ амплитуда регулируется от 0 до 12,0...12,5 В, а при положении $\times 100$ – от 0 до 6,0...6,5 В.

Генератор постоянных напряжений содержит два источника стабилизированного напряжения +15 В и –15 В относительно общей точки 0 и регулируемый источник от –13 В до +13 В. Выходные сопротивления этих источников также близки к нулю. Регулируемый источник допускает режим работы с обратным током (режим потребления энергии).

Наборная панель, расположенная справа от генератора напряжений, служит для расположения на ней мини-блоков в соответствии со схемой данного опыта.

Гнёзда на этой панели соединены в узлы, как показано на ней линиями. Поэтому часть соединений выполняется автоматически при установке мини-блоков в гнёзда панели. Остальные соединения выполняются проводами и перемычками. Так, на фрагменте цепи, показанной на рис. 3, напряжение от фазы С трёхфазного источника подводится с помощью перемычки к одной из обмоток трансформатора. К другой обмотке подключены резистор и конденсатор, соединённые последовательно. Общая точка «0» источников подсоединена к цепи проводом.

Для измерения токов в ветвях цепи удаляется одна из перемычек, и вместо неё в образовавшийся разрыв включается амперметр. Для измерения напряжений на элементах цепи параллельно рассматриваемому элементу включается вольтметр.

Схема электропитания лабораторного оборудования

При выполнении всех лабораторных работ блок испытания цифровых устройств $A1$ (219) для повышения электробезопасности подключается к сети через однофазный источник питания $G1$ (218), включающий устройство защитного отключения в соответствии со схемой, приведенной на рис. 4.

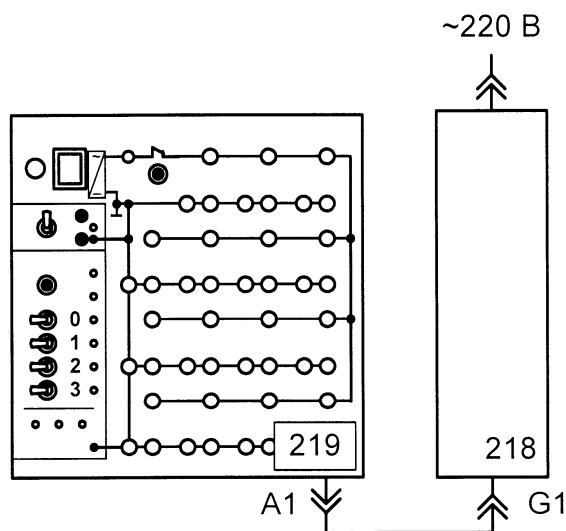


Рис. 4. Схема электропитания блока испытания цифровых устройств

При выполнении лабораторной работы необходимо соблюдать следующий порядок подачи питания на исследуемую схему:

- убедитесь, что устройства, используемые в эксперименте, отключены от сети электропитания;
- соедините аппаратуру в соответствии со схемой электропитания (рис. 3);
- соберите исследуемую логическую цепь на наборном поле блока испытания цифровых устройств $A1$;
- включите устройство защитного отключения и автоматический выключатель в однофазном источнике питания $Q1$;
- включите выключатель «СЕТЬ» блока испытания цифровых устройств $A1$;
- протестируйте работу логической схемы. При необходимости изменения исследуемой схемы отключите выключатель «СЕТЬ» блока испытания цифровых устройств $A1$, измените схему, включите выключатель «СЕТЬ»;
- по завершении работы отключите выключатель «СЕТЬ» блока испытания цифровых устройств $A1$ и автоматический выключатель в однофазном источнике питания $C1$.

1. ОСЦИЛЛОГРАФИРОВАНИЕ В ЭЛЕКТРОННЫХ СХЕМАХ

Лабораторная работа № 1

Цель работы: изучение принципа действия цифрового запоминающего двухканального осциллографа АСК-2035, получение практических навыков работы с цифровым осциллографом.

1.1. Общие положения

Цифровые осциллографы типа АСК-2035 предназначены для исследования формы электрических сигналов путем визуального наблюдения на жидкокристаллическом индикаторе и измерения их амплитудных и временных параметров. Они применяются при исследовании и разработке различных электронных устройств и приборов, при проверке в процессе эксплуатации их технических характеристик.

Приступая к работе с осциллографом, необходимо тщательно изучить все разделы настоящего описания. Корпус осциллографа необходимо заземлить путем соединения клеммы \perp с шиной защитного заземления. В случае использования прибора совместно с другими приборами или включения его в состав установок для выравнивания потенциалов корпусов требуется соединить между собой клеммы \perp всех приборов.

1.2. Принцип действия осциллографа и его составные части

В состав функциональной схемы одного канала осциллографа (рис. 1.1) входят следующие устройства и узлы:

- блок микропроцессорного управления;
- устройство выборки и хранения;
- аналого-цифровой преобразователь (АЦП);
- блок памяти;
- счетчик адреса;
- счетчик развертки;
- цифроаналоговые преобразователи каналов X и Y;
- усилители каналов X и Y;
- блок питания;
- жидкокристаллический индикатор (ЖКИ).

Исследуемый сигнал подается на гнездо «Вход» и после нормировки (усиления или ослабления) – на вход устройства выборки и хранения. В устройстве выборки и хранения происходит запоминание мгновенного значения входного сигнала на интервале такта измерения с помощью конденсатора.

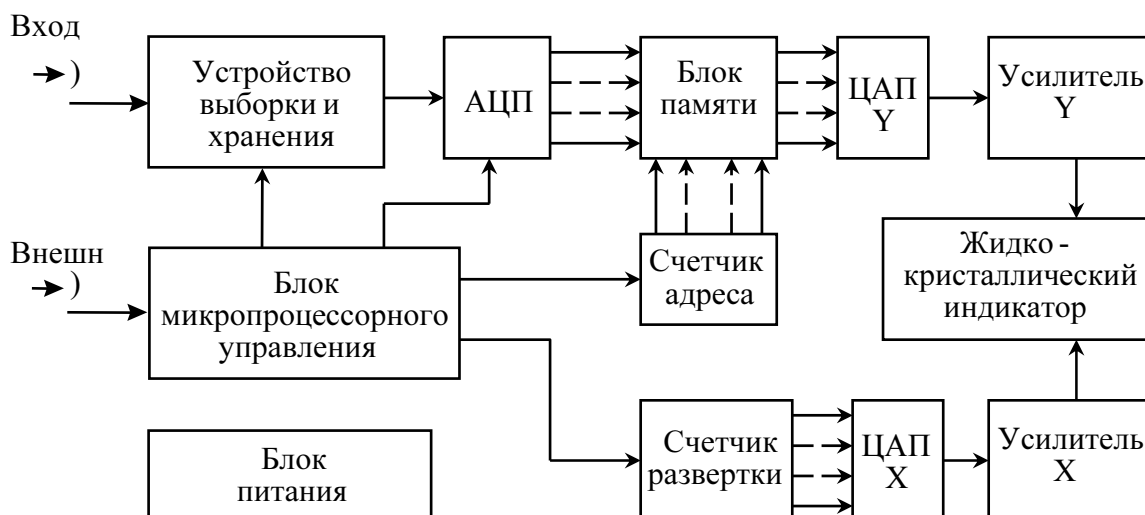


Рис. 1.1. Функциональная схема осциллографа

Моменты выборок определяются блоком микропроцессорного управления с заданной частотой. Каждая выборка преобразуется аналого-цифровым преобразователем (АЦП) и превращается в двоичное число.

Поток чисел, несущих информацию о точках (выборках) сигнала, запоминается в запоминающем устройстве блока памяти. В этом состоит главное и принципиальное отличие цифровых запоминающих осциллографов от аналоговых. Таким образом, процесс осциллографирования цифровым осциллографом заключается в том, что он вначале накапливает в цифровой форме данные о входном сигнале при минимальном его усилении, а затем в резко замедленном темпе строит осциллограмму сигнала. При этом только 1–2 % от текущего времени уходит на использование и запоминание выборок сигнала. Остальные 98–99 % времени цифровой осциллограф выводит уже зарегистрированный короткий фрагмент входного сигнала. Если цифровой осциллограф оснастить достаточно большой памятью, то можно разместить в ней оцифрованные выборки за большой промежуток времени, достаточный для фиксации особенностей или аномалий реальных сигналов.

Для управления блоком памяти служит счетчик адреса. Он определяет последовательность извлечения данных из ячеек памяти. Цифро-

аналоговый преобразователь канала Y (ЦАП Y) преобразует полученный поток цифр блока памяти в аналоговый сигнал, который после усиления усилителем канала Y поступает на жидкокристаллический индикатор (ЖКИ). Информация на ЖКИ обычно поступает в ином (чаще всего замедленном) темпе, что и позволяет изменять развертку сигнала осциллографом. Следует отметить, что большинство современных цифровых запоминающих осциллографов имеет ЖКИ со своим устройством преобразования сигналов в точечное изображение.

Развертка цифрового осциллографа чаще всего построена на основе счетчика развертки. С помощью цифро-аналогового преобразователя канала X (ЦАП X) последовательность цифр со счетчика развертки преобразуется в линейно изменяющийся сигнал (ступенчатый сигнал), который после усиления усилителем канала X поступает также на индикатор осциллографа.

Общее управление последовательностью работы узлов цифрового осциллографа осуществляется микропроцессором. Функциональная схема цифрового осциллографа содержит ряд узлов, характерных для компьютера. Это прежде всего микропроцессор, цифровые схемы управления и память. Поэтому управление этими узлами и микропроцессором осуществляется с помощью программного обеспечения, хранящегося в постоянном запоминающем устройстве. Оно входит в микропроцессор. Программное обеспечение цифрового осциллографа может выполнять множество функций, не свойственных светолучевому осциллографу, например, усреднение сигнала с целью его очистки от шумов, быстрое преобразование Фурье для получения спектрограмм сигнала и т. д.

Запуск и синхронизация развертки может осуществляться как с помощью исследуемого сигнала, преобразованного усилителем вертикального отклонения Y при внутренней синхронизации, так и с помощью внешнего сигнала, подаваемого на гнездо «Внеш» при внешней синхронизации. При этом схема синхронизации вырабатывает импульсы постоянного значения независимо от амплитуды и формы исследуемого сигнала.

1.3. Расположение органов управления и их назначение

1.3.1. Органы управления и присоединения, расположенные на лицевой панели осциллографа

Внешний вид двухканального осциллографа АСК-2035 приведен на рис. 1.2.



Рис. 1.2. Внешний вид двухканального осциллографа АСК-2035

Лицевая панель цифрового запоминающего двухканального осциллографа АСК-2035 представлена на рис. 1.3. На лицевой панели осциллографа находятся следующие органы управления и подключения внешних устройств:

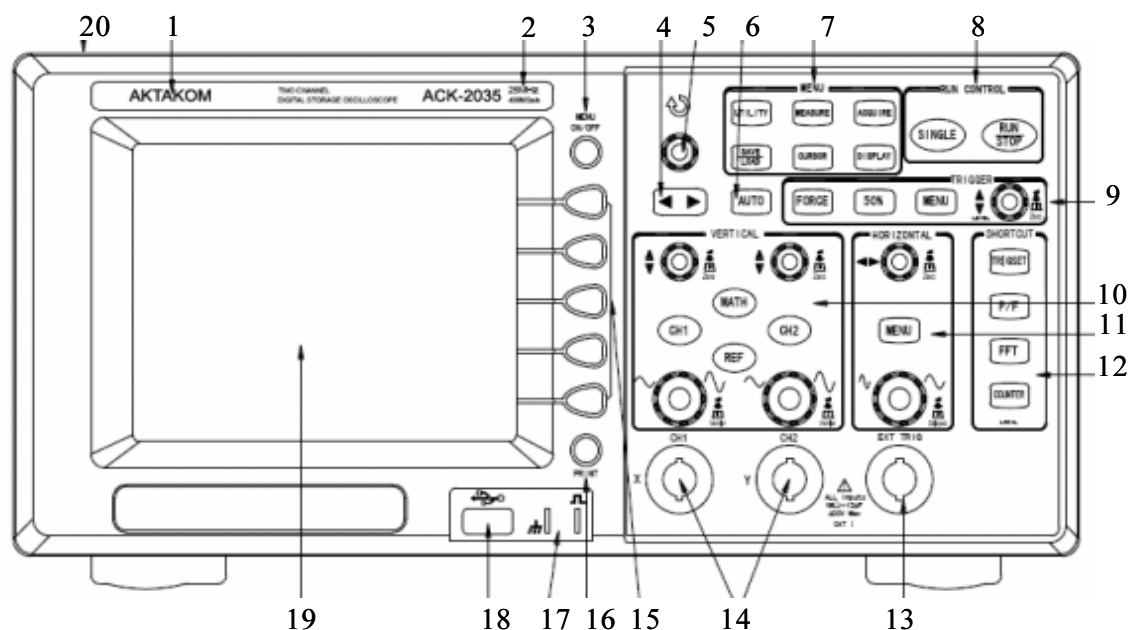



Рис. 1.3. Передняя панель цифрового осциллографа АСК-2035

1. Товарный знак и модель. Товарный знак производителя «АКТАКОМ».

2. Модель, полоса пропускания и частота дискретизации. Указана модель, полоса пропускания и частота дискретизации данной модели осциллографа.

3. Кнопка включения / отключения меню (MENU On/Off). Данная кнопка служит для включения или выключения меню.

4. Кнопки |◀▶|. Данные кнопки служат для пролистывания страниц во встроенной системе помощи Help.

5. Регулятор ввода данных . Этот регулятор используется для выбора пунктов из меню и ввода выбранного значения. Выполняемые им функции могут быть различны для разных элементов меню. Стрелка сверху от регулятора подсвечивается, когда он активен и может быть использован для выбора значения.

6. Кнопка [AUTO]. При нажатии этой кнопки осциллограф определит, какой канал активен, включит его и автоматически выберет значение настроек горизонтальной и вертикальной систем, а также системы запуска для получения на экране осциллограммы входного сигнала.

7. Зона кнопок вызова [MENU]. При нажатии на кнопки вызова меню из данной зоны осциллограф отобразит соответствующее меню с программными кнопками на правой стороне экрана.

Кнопка [UTILITY] (служебное) служит для активации различных сервисных функций, таких как выбор языка, настройку ввода/вывода, настройку печати и т. д.

Кнопка [MEASURE] (измерение) предназначена для запуска режима автоизмерений.

Кнопка [ACQUIRE] (взаимодействие). Нажатием на данную кнопку можно выбрать режим получения данных осциллографом: выборка, пиковый детектор или усреднение, а также режим дискретизации: в реальном времени или эквивалентном.

Кнопка [SAVE/LOAD] (сохранять/загрузить) служит для сохранения профилей настроек и осциллограмм во внутреннюю память осциллографа или на внешний USB-носитель с возможностью последующей их загрузки.

Кнопка [CURSOR] (курсор, метка) предназначена для включения режима курсорных измерений, т. е. для отображения курсора, используемого для определения амплитудных или временных параметров сигнала.

Кнопка [DISPLAY] (дисплей, отображение) используется для изменения настроек экрана. Она позволяет выбирать цветовые схемы, подстраивать контрастность и т. д.

8. Зона кнопок управления RUN control.

Кнопка [RUN/STOP] (ПУСК/СТОП) подсвечивается зелёным цветом, когда осциллограф осуществляет поиск условий запуска. Если активен ждущий режим запуска («Ждущий»), осциллограф не будет регистрировать форму сигнала до выполнения условий запуска. В автоматическом

режиме запуска («Авто») осциллограф ожидает выполнения условий запуска в течение определенного периода времени (определяется длительностью развертки) и при отсутствии требуемого условия произведет запуск регистрации автоматически.

При повторном нажатии кнопки **[RUN/STOP]** осциллограф прекратит регистрацию данных, а кнопка **[RUN/STOP]** загорится красным цветом.

Кнопка **[SINGLE]** служит для однократной регистрации сигнала. Кнопка будет подсвечена жёлтым цветом до последующего запуска осциллографа.

9. Система управления запуском [TRIGGER]. Эти элементы используются для управления запуском осциллографа.

10. Органы управления вертикальной системой VERTICAL. Для перемещения осциллограммы на дисплее вверх или вниз служит регулятор вертикальной позиции **▲▼**. Для каждого канала используется свой регулятор **▲▼**. Нажмите кнопку выбора канала **CH1** или **CH2** для включения или выключения соответствующего канала или для доступа к элементам меню данного канала. Каждому каналу соответствует своя кнопка включения/выключения.

Кнопка **[MATH]** предназначена для выполнения быстрого преобразования Фурье (БПФ), а также математических операций: умножения, вычитания и сложения.

Кнопка **[REF]** используется для сохранения (загрузки) опорного сигнала во внутреннюю память прибора или на внешний USB-носитель. Можно сравнить текущую осциллограмму с предыдущей.

Для изменения вертикального масштаба опорного сигнала предназначены соответствующие регуляторы. Для каждого канала имеется свой регулятор вертикального масштаба.

11. Органы управления горизонтальной системой HORIZONTAL. Когда осциллограф регистрирует данные поворотом регулятора горизонтальной позиции **◀▶**, можно установить положение окна захвата сигнала относительно точки запуска. Когда регистрация данных остановлена, можно использовать регулятор **◀▶** для горизонтального перемещения захваченного сигнала до или после точки запуска.

Нажатие на кнопку **[HORIZ MENU]** позволит разделить экран осциллографа на две секции для выполнения режима увеличения фрагмента – «Растяжка», а также выбрать режимы X-Y и «Прокрутка».

Для изменения коэффициента горизонтальной развертки используется соответствующий регулятор. После регистрации данных поворотом этого регулятора можно растянуть или сжать сигнал в горизонтальной области.

12. Зона клавиш быстрого доступа SHORTCUT. Клавиши быстрого доступа обеспечивают быстрый доступ к четырем режимам:

- установка запуска;
- «Годен/Не годен»;
- быстрого преобразования Фурье (БПФ);
- включение частотомера.

13. Вход для сигнала внешнего запуска EXIT TRIG. BNC-разъём для подачи сигнала внешнего запуска.

14. Входы каналов CH1 и CH2. Вход канала с BNC-разъёмом для подключения пробника осциллографа или кабеля с соответствующим разъёмом.

15. Зона функциональных кнопок. Содержит пять кнопок для выбора различных функций и установок. Слева от каждой функциональной кнопки нанесена метка соответствия элементу меню на дисплее.

16. Кнопка [PRINT]. Служит для распечатки изображения осциллограммы на USB-принтере или сохранении его на USB-носителе.

17. Выход для компенсации пробников. При использовании данного выхода обратите внимание, чтобы коэффициент деления, установленный на пробнике, соответствовал коэффициенту деления, установленному в осциллографе для соответствующего канала.

18. Разъём интерфейса USB-host. Интерфейс USB-host используется для подключения USB-носителя или USB-принтера.

19. ЖК-экран. Жидкокристаллический экран с разрешением 320×240 (5,7 дюймов) отображает осциллограмму, параметры, результаты измерений и элементы меню для настройки необходимых параметров.

20. Выключатель питания. Служит для включения и выключения питания прибора.

1.3.2. Органы управления и присоединения, расположенные на задней панели осциллографа

Задняя панель цифрового запоминающего двухканального осциллографа АСК-2035 приведена на рис. 1.4.

На задней панели осциллографа находятся следующие органы управления и подключения внешних устройств:

1. Разъём для подключения кабеля питания. Используйте кабель питания только с контактом заземления.

2. Разъём Pass/Fail Out. Выходной разъём модуля «Годен/Не годен» для подключения внешнего управляющего устройства.

3. Разъём RS-232C. Разъём для подключения осциллографа к компьютеру по RS-232C порту.

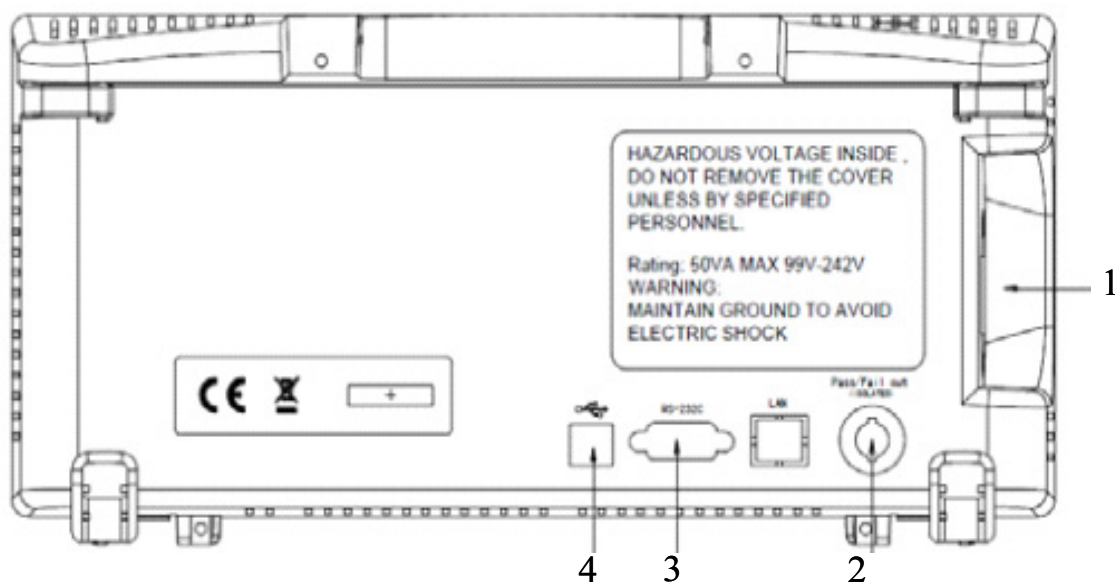


Рис. 1.4. Задняя панель цифрового запоминающего двухканального осциллографа АСК-2035

4. Разъем USB-устройства. USB-разъем для подключения осциллографа к персональному компьютеру.

1.3.3. Расположение элементов на экране осциллографа и их назначение

На экране осциллографа (см. рис. 1.5) расположены осциллограммы, параметры и результаты измерения.

1. Значок USB отображается тогда, когда подключено USB-устройство.

2. Индикатор показывает положение момента запуска относительно центра экрана.

3. Положение отображаемой в данный момент на экране части сигнала относительно всей осциллограммы (положение окна осциллограммы в памяти). Цвет линии соответствует цвету линии сигнала.

4. Положение момента запуска в памяти.

5. Положение момента запуска в окне осциллограмм.

6. Статус состояния запуска.

7. Функциональные кнопки.

8. Окно осциллограмм, содержащее полученные данные, идентификаторы каналов, индикаторы запуска и нулевого уровня. Информация для каждого канала показывается своим цветом.

9. Индикатор триггера. Показывает уровень запуска, тип запуска, источник запуска.

10. Значение коэффициента горизонтальной развертки.

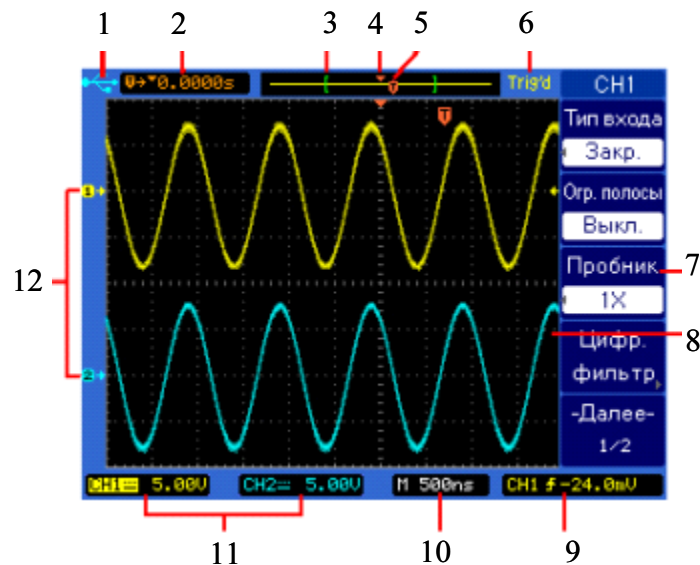


Рис. 1.5. Расположение элементов на экране цифрового осциллографа

11. Индикация связи по входу, коэффициента вертикального отклонения, режима ограничения полосы пропускания, цифрового фильтра и режима инвертирования.

12. Индикатор положения нулевого уровня сигнала для каждого канала. Цвета значков соответствуют цветам осциллограмм.

1.4. Приведение осциллографа в рабочее состояние

Перед включением прибора в сеть убедитесь, что выключатель питания находится в положении «Выключено».

Включите прибор нажатием кнопки 20 (см. рис. 1.3). На дисплее появится надпись «АКТАКОМ». Для перехода в рабочий режим нажмите любую клавишу или подождите несколько секунд.

Подключите необходимые пробники на входы каналов 14 (см. рис. 1.3).

При подключении пробника не забудьте соединить общий вывод пробника с общим выводом источника сигнала. Отсутствие заземления и плавающий потенциал может вызвать повреждение прибора.

Не подавайте на вход повышенных напряжений. Перед использованием пробника проверьте установленный на нем коэффициент деления. Неиспользуемый пробник необходимо отключить от прибора, т. к. он может коснуться находящегося поблизости источника с высоким напряжением.

Рекомендуется дать прибору прогреться в течение 30 минут после включения. Для более точного измерения параметров сигнала (например, при проведении научных экспериментов) предварительно проведи-

те операцию автоматической калибровки. При изменении рабочей температуры более чем на ± 5 °С операцию автоматической калибровки необходимо повторить.

1.5. Порядок работы

1.5.1. Компенсация пробников

Компенсация выполняется для согласования пробника и используемого с ним входного канала. Эту процедуру необходимо выполнять всякий раз при первом подключении пробника к входному каналу. Неправильно согласованный пробник может внести ошибки в измерения.

1. Установите в меню канала СН1 ослабление 10X, установите переключатель ослабления пробника в положение 10X. Подключите контакт заземления к контакту земля, а наконечник пробника к выходу EXIT TRIG. Нажмите кнопку [AUTO].

2. С помощью неметаллического инструмента (отвертка в комплекте) отрегулируйте подстроенный конденсатор на пробнике до получения правильного меандра (*меандр* – сигнал, имеющий равную длительность высокого и низкого значений напряжений при неизменной амплитуде в полупериодах, рис. 1.6).

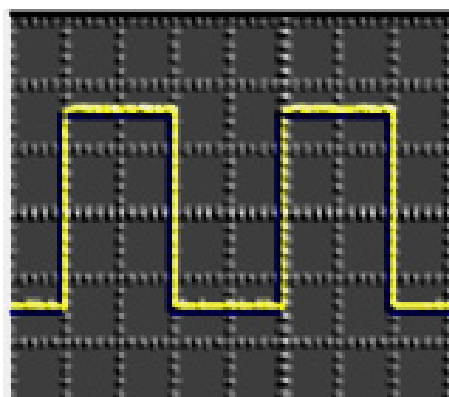


Рис. 1.6. Сигнал осциллографа при правильной компенсации

3. Подключите пробник к другому каналу осциллографа. Повторите процедуру для каждого канала и пробника.

1.5.2. Использование функции Autoset (автоматическая настройка)

Цифровые осциллографы «Актаком» серии АСК-2035 имеют функцию **Autoset**, которая позволяет автоматически настраивать вертикальную и горизонтальную системы, а также систему запуска. При ис-

пользовании данной функции находятся, включаются и подбираются шкалы любого канала, на который поступает сигнал с частотой как минимум 50 Гц, коэффициентом заполнения более чем 0,5 % и минимальной амплитудой 10 мВ. Каналы, не соответствующие данным требованиям, отключаются.

Когда используется более одного канала, функция **Autoset** устанавливает вертикальную шкалу для каждого канала и использует активный канал с наименьшим номером для установки горизонтальной шкалы и запуска.

Для быстрой автоматической настройки осциллографа нажмите кнопку **[AUTO]**, и на экране отобразятся сигналы с активных каналов. Для настройки осциллографа на непрерывную развёртку нажмите функциональную кнопку **Multi-Cycle** в меню **[AUTO]**. Для настройки осциллографа на отображение единственного цикла нажмите функциональную кнопку **Single-Cycle** в том же меню. Для отмены результата действия функции **Autoset** перед нажатием любой другой кнопки нажмите функциональную кнопку **Undo Autoset** в меню **Auto**.

Это может оказаться полезным, если кнопка **[AUTO]** нажата случайно или Вы не удовлетворены полученным результатом и хотите вернуться к предыдущим значениям.

1.5.3. Вертикальные элементы управления

Органы управления вертикальным смещением осциллограмм на жидкокристаллическом экране осциллографа расположены в системе органов управления **VERTICAL** (рис. 1.7).

Для перемещения сигнала выбранного канала (CH1 или CH2) и значка нулевого уровня, соответствующего данному каналу, вверх или вниз поверните ручку вертикальной позиции ▲ ▼ над кнопкой, указывающей активный канал. Значение напряжения, синхронно меняющееся в нижнем левом углу экрана, указывает удаление нулевого уровня (земли) сигнала от центра экрана.

Для возврата сигнала и соответствующего значка нулевого уровня обратно в центр экрана нажмите на ручку вертикальной позиции ▲ ▼ над кнопкой соответствующего активного канала.

Кнопки CH1, CH2, MATH, REF.

Используйте кнопки каналов **CH1**, **CH2** на передней панели для вызова соответствующего меню канала и для включения или выключения отображения сигнала с определенного канала на экране.

Если кнопка подсвечена, то соответствующий ей канал показывается на экране. Если на экране показываются оба канала **CH1** и **CH2**

и меню для канала **CH2**, то для того чтобы выключить канал **CH1**, необходимо сначала нажать кнопку **CH1**, вызвав тем самым меню **CH1**, а затем повторно нажать кнопку **CH1** для выключения канала **CH1**.

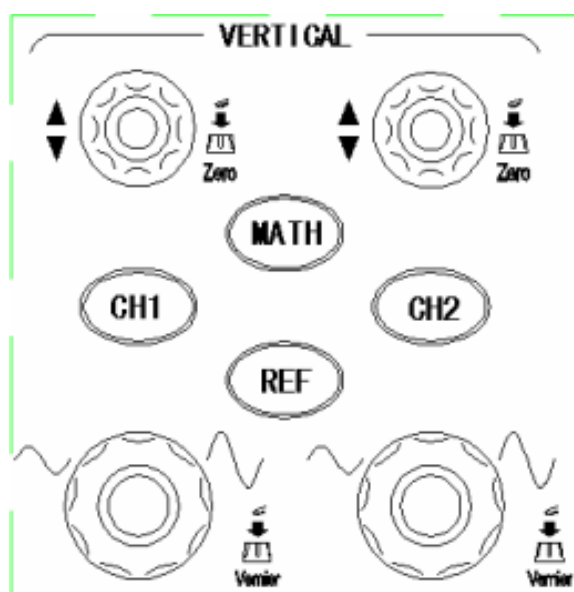


Рис. 1.7. Органы управления вертикальным смещением осциллограмм

1.5.3.1. Управление вертикальной шкалой каналов CH1 и CH2

Поверните большую ручку вертикальной шкалы под кнопкой соответствующего активного канала для установки коэффициента масштабирования для этого канала. Эта ручка меняет коэффициент масштабирования с шагом 1-2-5. Коэффициент масштабирования отображается в левом нижнем углу экрана. Нажмите на эту же ручку, чтобы переключиться между настройками «точно» и «грубо». В режиме настройки «грубо», как уже было сказано выше, поворот ручки меняет шкалу с шагом 1-2-5.

1.5.3.2. Меню каналов CH1 и CH2

Кнопка **CH1** отображает меню канала и включает отображение канала на экране.

Нажмите кнопку **CH1**, затем нажмите функциональную кнопку **Тип входа (Coupling)**. Выберем связь по переменному току **Закр. (AC)** (см. рис. 1.5). Связь по переменному току устанавливается на жидкокристаллическом экране. В результате на экране не отображается постоянная составляющая входного сигнала. Связь по переменному току используется для наблюдения за сигналами с большими значениями постоянной составляющей.

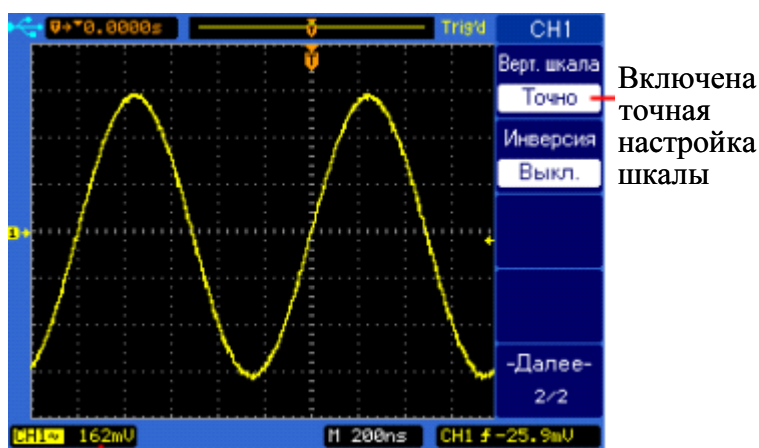
В тех случаях, когда необходимо наблюдать постоянную и переменную составляющие входного сигнала, выбирается связь по постоян-

ному току **Откр.(АС)**. Для этого нажмите кнопку канала **СН1**, затем функциональную кнопку **Тип входа (Coupling)**, появятся сообщения для функциональных кнопок **15** (см. рис. 1.3) настройки параметров (см. рис. 1.5) и установите открытый вход **Откр.**

Входной канал можно отключить от осциллографа, а его вход подключить к общему выводу входного сигнала, закоротив его. Установите режим закорачивания на землю **Закороч (GND coupling)**. Для чего нажмите кнопку **СН1**, а затем функциональную кнопку **15** (см. рис. 1.3) **Тип входа (Coupling)** для настройки параметров (см. рис. 1.5), установив закороченный вход **Закороч**.

1.5.3.3. Настройка ослабления пробника

Существуют пробники с различными коэффициентами ослабления, влияющими на вертикальный масштаб отображаемого сигнала. Выберите коэффициент ослабления, соответствующий конкретному пробнику. Например, для пробника 10X, подключенного к каналу **СН1**, нажмите кнопку канала **СН1**, затем нажмите функциональную кнопку **Пробник (Probe)** и выберите значение 10X. Если к каналу **СН1** подключен пробник с коэффициентом ослабления 1:1, нажмите кнопку канала **СН1**, а затем нажмите программную кнопку **Пробник (Probe)** и выберите 1X. В этом случае на правой стороне жидкокристаллического экрана установится информация: **Пробник, 1X** (см. рис. 1.5).



Значения точной настройки вертикальной шкалы

Рис. 1.8. Пример установки точной настройки вертикальной шкалы

1.5.3.4. Установка вертикального масштаба (В/дел)

Для установки вертикального масштаба для канала поверните большую ручку вертикальной шкалы, находящуюся под кнопкой соот-

ветствующего канала. Значение коэффициента отображается в нижнем левом углу экрана (рис. 1.8). Для изменения вертикального масштаба нажмите **CH1** → Далее **1/2** → **Верт. шкала (Volts scale)** и тип настройки **Грубо (Coarse)** или **Точно (Fine)**. Пример установки точной настройки вертикального масштаба осциллографа приведен на рис. 1.8.

1.5.4. Органы управления горизонтальной разверткой

Управление горизонтальной настройкой временной развертки используется для более подробного изучения исследуемого сигнала и изменения положения точки запуска. Органы управления горизонтальной настройкой расположены в системе **HORISONTAL** (рис. 1.9).

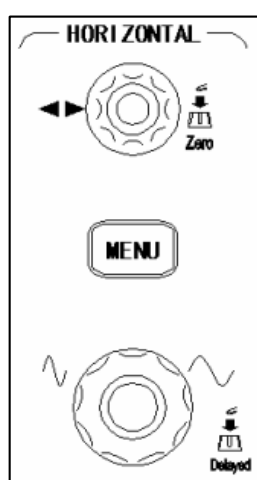


Рис. 1.9. Органы управления горизонтальной настройкой

Во время регистрации сигнала органы управления горизонтальной позицией позволяют устанавливать окно считывания относительно точки запуска. Когда осциллограф остановлен, органы управления горизонтальной системой позволяют перемещать отображенный сигнал в окне осциллограмм в горизонтальном направлении до и после точки запуска. Эта точка помечена знаком «Г» в верхней части масштабной сетки окна осциллограмм (рис. 1.8), а также соответствующим значком положения момента запуска в памяти в верхней части экрана.

Значок (Ц) является индикатором опорного времени. Когда вы меняете горизонтальный масштаб, осциллограмма сокращается или расширяется вокруг этой точки.

Нажмите на ручку управления горизонтальной позицией ◀▶ для сброса временной задержки и индикатора точки запуска.

Примечание: управление горизонтальной позицией недоступно в режиме X-Y.

Регулятор управления горизонтальным масштабом изменяет коэффициент развертки в соответствии с шагом ряда, значение отображается в строке состояния.

1.5.4.1. Меню **HORISONTAL**

Нажмите кнопку [MENU] для отображения меню **HORISONTAL**. Это меню позволяет переключать горизонтальные режимы: **Основн. (Main)**, **Растяжка (Delayed)**, **Прокрут. (Roll)**, или **X-Y** и устанавливать время удержания **Удерж. (Holdoff)**.

Нажмите горизонтальную кнопку [MENU] для показа первой (из двух) страницы меню **HORISONTAL**. С правой стороны жидкокристаллического экрана осциллографа появятся сообщения для функциональных кнопок 15 (см. рис. 1.3) параметров горизонтальной настройки (табл. 1.1).

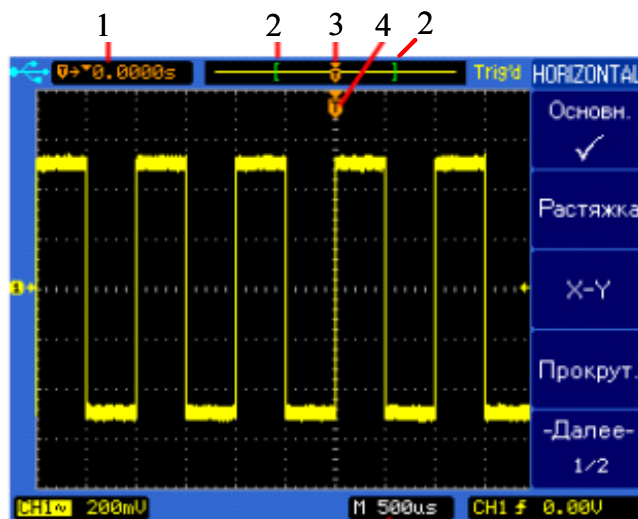
Таблица 1.1

HORISONTAL	Меню	Установки	Комментарии
Основн. ✓	Основн.	√	Основной режим включен
		–	Основной режим выключен
Растяжка	Растяжка	√	Режим растяжки включен
		–	Режим растяжки выключен
X-Y	X-Y	√	Режим X-Y включен
		–	Режим X-Y выключен
Прокрут.	Прокрут.	√	Режим прокрутки включен
		–	Режим прокрутки выключен
-Далее- 1/2	-Далее-1/2	–	Выбор страницы 2/2

Для показа второй (из двух) страницы меню **HORISONTAL** нажмите функциональную кнопку **-Далее-1/2**.

1.5.4.2. Основной горизонтальный режим

Основной горизонтальный режим – обычный режим просмотра для осциллографа. Когда осциллограф остановлен, органы управления горизонтальной системой позволяют перемещать отображенный сигнал в окне осциллограмм в горизонтальном направлении до и после точки запуска и изменять ее масштаб. Во время регистрации сигнала в **Основном режиме** поворот ручки управления горизонтальным масштабом изменяет коэффициент временной развёртки. Значение временной развёртки (с/дел) отображается в нижней части экрана (рис. 1.10).



Значение временной развертки с/дел

Рис. 1.10. Внешний вид экрана при регистрации сигнала в основном режиме

На рис. 1.10 обозначено:

1. Значение, соответствующее времени растяжки, или положение точки запуска на записанной осциллограмме относительно опорной точки времени (\square).
2. Квадратные скобки показывают положение видимого на экране фрагмента относительно всей осциллограммы (памяти).
3. Положение точки запуска на осциллограмме (памяти).
4. Положение точки запуска на видимом фрагменте осциллограммы (окна осциллограммы).

Нажмите горизонтальную кнопку [MENU], затем функциональную кнопку **Основн. (Main)** для выбора **Основного режима**. В правой части жидкокристаллического экрана осциллографа появятся сообщения для функциональных кнопок 15 (см. рис. 1.3) параметров горизонтальной настройки основного режима: Удержание, Сброс удержания, Сброс задержки, Далее-2/2.

1.5.4.3. Режим растяжки

В режиме растяжки экран делится на две части. В верхней половине показывается базовый сигнал, а в нижней – увеличенный фрагмент сигнала. Данная функция необходима для более детального анализа участка базового сигнала. Область растяжки базового сигнала помечена с двух сторон затененным вертикальным ограничением. Незатемнённая область обозначает фрагмент сигнала, который подвергнется растяжке и в этом виде отобразится в нижней части экрана. Для изменения вре-

менной развёртки окна растяжки поверните ручку управления горизонтальным масштаб. Во время вращения значение временной развёртки для окна с растяжкой (2) отображается над основной временной развёрткой (M). Для изменения временной развёртки нормального окна нажмите функциональную кнопку **Основн. (Main)**, затем поверните ручку управления горизонтальным масштаб. Смещение выбранного фрагмента по осциллограмме происходит поворотом ручки управления горизонтальной позицией ◀▶.

Для перехода в режим растяжки подключите источник сигнала к CH1, нажмите горизонтальную кнопку [MENU], а затем функциональную кнопку **Растяжка (Delayed)**. Также быстрое переключение между основным режимом и режимом растяжки можно произвести нажатием на ручку управления горизонтальным масштаб.

Вид экрана осциллографа при переходе в режим растяжки приведен на рис. 1.11.

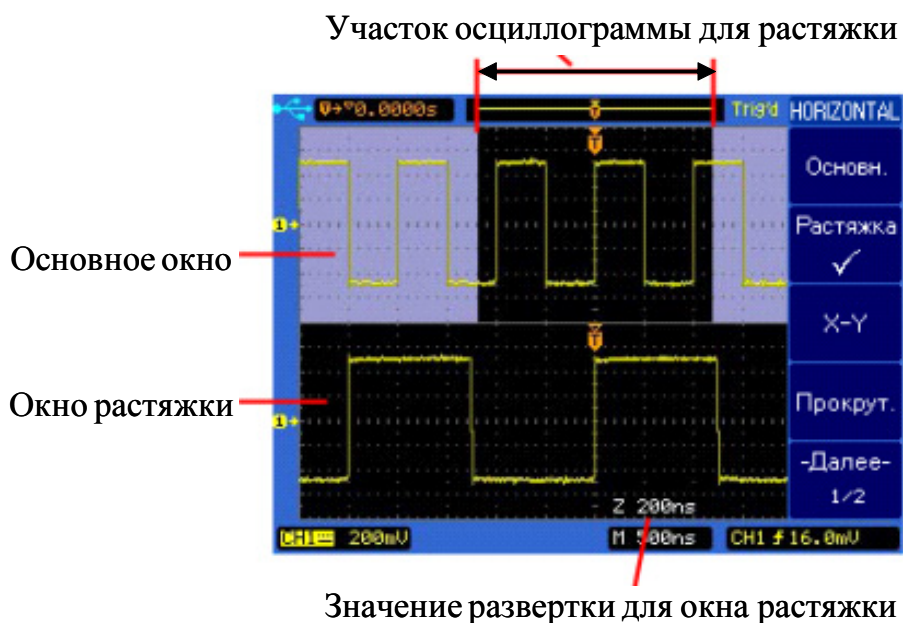


Рис. 1.11. Экрана осциллографа в режим растяжки

1.5.4.4. Режим X-Y

В режиме X-Y амплитуда сигнала канала 1 используется для отклонения по горизонтальной оси (X), а амплитуда сигнала канала 2 – по вертикальной оси (Y), т. е. временная развёртка выключена. Режим X-Y применяется для построения фигур Лиссажу.

Режим X-Y можно использовать для сравнения отношения частот и фаз двух сигналов, а также с соответствующими датчиками для ото-

бражения отношений между напряжением и отклонением, скоростью потока и давлением, напряжением и током или напряжением и частотой. Для достижения оптимального изображения необходимо выбрать соответствующий вертикальный масштаб перед переходом в режим X-Y. Используйте режим X-Y для сравнения двух сигналов с одинаковой частотой и различающимися фазами. Подайте два сигнала к каналам CH1 и CH2, нажмите кнопку [MENU] и затем функциональную кнопку [X-Y] для выбора режима X-Y.

1.5.4.5. Горизонтальный режим прокрутки (самописца)

В режиме прокрутки сигнал на экране обновляется справа налево. Данный режим работает только при развёртке 500 мс/дел или медленнее. Если текущее значение временной развёртки быстрее, чем 500 мс/дел, оно будет принудительно установлено на 500 мс/дел при выборе режима прокрутки. В режиме прокрутки нет точки запуска. Фиксированная точка отсчёта на экране – это правая граница экрана, она обозначает текущий момент времени. Из-за отсутствия точки запуска информация, предшествовавшая запуску, недоступна. Для приостановки отображения в режиме прокрутки нажмите кнопку [SINGLE]. Для очистки экрана и возобновления считывания данных в режиме прокрутки нажмите кнопку [SINGLE] повторно. Используйте режим прокрутки при низкочастотных сигналах для получения диаграмм, похожих на результат работы ленточного самописца.

1.5.5. Система управления запуском развертки

Система запуска определяет момент начала регистрации данных и отображения формы сигнала осциллографом. При правильно настроенной системе запуска на экране будет стабильное изображение сигнала. Система управления запуском функционирует в основном режиме и в режиме растяжки. Органы управления запуском расположены в системе TRIGGER (рис. 1.12).

Кнопка [MENU] системы запуска.

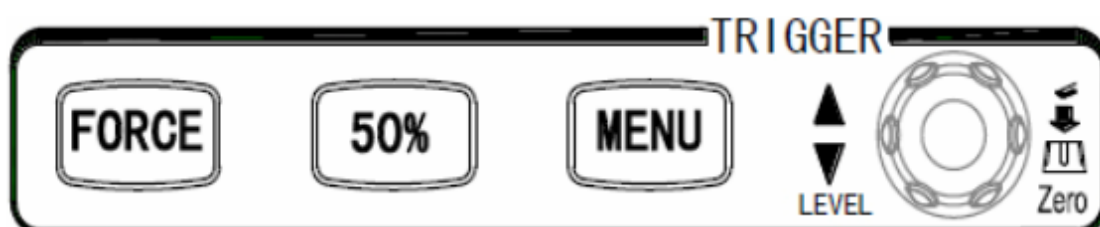




Рис. 1.12. Органы управления запуском

Для показа меню системы запуска **TRIGGER** нажмите кнопку **[MENU]** в данной секции. С правой стороны жидкокристаллического экрана осциллографа появятся сообщения для функциональных кнопок 15 (см. рис. 1.3) параметров управления запуском (табл. 1.2).

Таблица 1.2

	Меню	Установки	Комментарии
TRIGGER Тип Запуск Фронт	Тип запуска	Видео	Режим запуска – по видеосигналу
		Фронт	Режим запуска – по фронту
		Импульс	Режим запуска – по импульсу
Источник CH1 Наклон	Источник	CH1	Источник запуска – канал CH1
		CH2	Источник запуска – канал CH2
		EXT	Источник запуска – внешний сигнал
		EXT/5	Источник запуска – внешний сигнал (ослабленный в 5 раз)
		От сети	Источник запуска – от сети
		Поочеред.	Источник запуска – каналы CH1 и CH2 поочередно
Режим Авто	Наклон		Запуск по нарастающему фронту
			Запуск по спадающему фронту
Уст. Запуск	Режим	Авто	Регистрация сигнала при отсутствии условий запуска
		Ждущий	Регистрация сигнала только при выполнении условий запуска
	Уст. Запуск		Переход в меню установки запуска

Далее нажмите функциональную кнопку **Тип запуска (Type)** для выбора запуску по **Фронту (Edge)**, **Импульсу (Pulse)** или **Видео (Video)**.

- **Кнопка [50 %]**

Эта кнопка устанавливает уровень запуска в точку на 50 % от размаха сигнала по вертикали.

- **Кнопка принудительного запуска [FORCE]**

Нажатие кнопки **[FORCE]** приводит к немедленному запуску даже при невыполнении условий запуска. Функция полезна в случае отсутствия сигнала на экране при использовании ждущего режима или при однократном режиме запуска.

- **Управление уровнем запуска**

Используйте ручку контроля уровня запуска **Level** для установки уровня запуска. При ее повороте на экране временно появляется горизонтальная линия, показывающая уровень запуска. После исчезновения линии уровень запуска отображается небольшой стрелкой с правой стороны экрана.

1.5.6. Зона кнопок MENU

Данная зона содержит шесть кнопок (рис. 1.13): [UTILITY] (служебное), [MEASURE] (измерение), [ACQUIRE] (взаимодействие), [SAVE/LOAD] (сохранять/загрузить), [CURSOR] (курсор, метка), [DISPLAY] (дисплей, отображение).

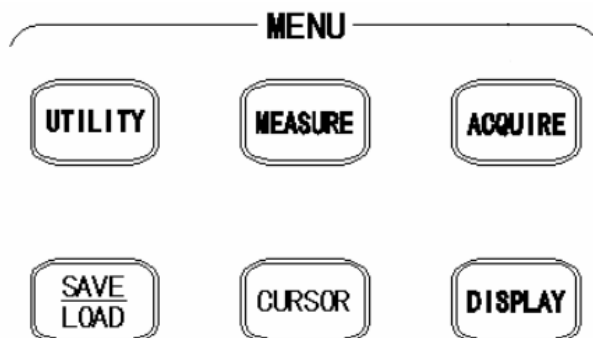


Рис. 1.13. Зона кнопок MENU

1.5.6.1. Запись осциллограммы в память осциллографа

Для записи осциллограммы с экрана дисплея, полученной при исследовании электрического сигнала, в память осциллографа нажмите кнопку [ACQUIRE]. А затем кнопку запись (Record) функциональных кнопок 15 (см. рис. 1.3) для показа меню RECORD. На экране дисплея появится информация (табл. 1.3):

Таблица 1.3

	Меню	Установки	Комментарии
RECORD Режим Запись Источник CH1 Интервал 100ms Посл. кадр 1000 Операция	Режим	Запись	Режим записи
		Воспроизв.	Режим воспроизведения записи
		Сохранение	Режим сохранения во внутреннюю или внешнюю память
		Выкл.	Выключение регистра
Источник	Источник	CH1	Источник запуска – канал CH1
		CH2	Источник запуска – канал CH2
		Pass/Fail Out	Выход проверки Годен/Не годен
Интервал	Интервал	↻	Установка интервала времени между записью кадров
Посл. кадр	Посл. кадр	↻	Установка количества записываемых кадров
Операция	Операция	•	Запись
		.	Стоп

Примечание: максимальное количество сохраняемых осциллограмм – 1000.

1.5.6.2. Запись осциллограммы в USB-накопитель

Для записи осциллограммы с экрана дисплея, полученной при исследовании электрического сигнала осциллографом в USB-накопитель, нажмите кнопку [UTILITY]. А затем кнопку **Уст. печати (Print Setup)** функциональных кнопок 15 (см. рис. 1.3) для показа меню **PRINT**. На экране дисплея появится информация (табл. 1.4):

Таблица 1.4

	Меню	Установки	Комментарии
	Печать в	Файл	Сохранить в файл
		USB-принтер	Выдавать на печать в USB-принтер
	Тип файла	BMP (8 bit)	Сохранять в формате 8-битном BMP
		BMP (24 bit)	Сохранять в формате 24-битном BMP
		CSV	Сохранять в формате CSV
	—	Возврат в меню UTILITY	

- Подключите USB-накопитель в USB-разъем на передней панели.
- Нажмите функциональную кнопку **Печать в (Print to)** для выбора печати в файл.
- Нажмите функциональную кнопку **Тип файла (File Type)** для выбора формата файла.
- Нажмите кнопку [PRINT] для сохранения файла на USB-устройстве.

1.6. Проведение измерений

Цифровой осциллограф обычно (по установке пользователя) автоматически настраивает вертикальную и горизонтальную системы развертки, а также систему запуска. Поэтому определить максимальное или минимальное значения исследуемого сигнала, а также период следования импульсов или их длительность не представляет особых трудностей.

Для быстрой автоматической настройки осциллографа нажмите кнопку [AUTO] и на экране отобразятся сигналы с активных каналов (рис. 1.14).

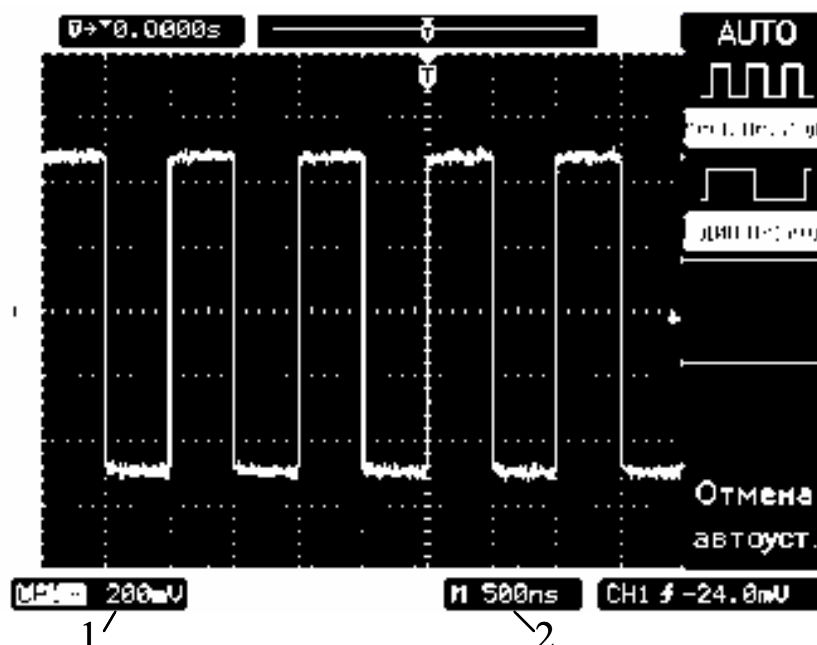


Рис. 1.14. Работа осциллографа в режиме [AUTO]

На рис. 1.14. обозначены: 1 – коэффициент вертикального отклонения, В/дел; 2 – коэффициент горизонтальной развертки, с/дел.

1.6.1. Измерение напряжений

В режиме **AUTO** значение исследуемого сигнала в вольтах определяется следующим образом:

$$U_m = A \cdot k_{\text{дел}}, \quad (1.1)$$

где A – измеренное значение сигнала в делениях шкалы, дел; $k_{\text{дел}}$ – коэффициент вертикального отклонения, В/дел.

В данном случае:

$$A = 2,5 \text{ дел}; k_{\text{дел}} = 200 \text{ mV/дел}; U_m = 500 \text{ mV}.$$

Цифровой осциллограф позволяет производить измерения параметров сигналов непосредственно в цифровой форме.

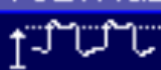



Нажмите кнопку [MEASURE] (измерение) для показа **MEASURE**. В правой части экрана осциллографа появится информация (см. табл. 1.5):

Таблица 1.5

MEASURE Источник CH1	Меню	Установки	Комментарии
Напряжение	Источник	CH1	Канал для измерения – CH1
		CH2	Канал для измерения – CH2
Время	Напряжение	—	Выбор параметров напряжения для измерения
		—	Установка интервала времени между записью кадров
Удаление измерений	Время	—	Удаление результатов измерений с экрана
		Вкл.	Отображение всех результатов измерений на экране включено
Все измер.	Все измерения	Выкл.	Отображение всех результатов измерений на экране выключено
Выкл.		—	

Нажмите функциональную кнопку **Напряжение (Voltage)** для показа первой (из четырех) страницы меню **VOLTAGE**. Если данное меню не устраивает пользователя, нажмите функциональную кнопку **Далее 1/4** для показа второй (из четырех) страниц меню **VOLTAGE**. В правой части экрана осциллографа появится информация (табл. 1.6):

Таблица 1.6

VOLTAGE	Меню	Установки	Комментарии
↑  Высокое	Высокое	—	Измерение напряжения вершины прямоугольного импульса
↑  Низкое	Низкое	—	Измерение напряжения основания прямоугольного импульса
↑  Среднее	Среднее	—	Измерение среднего напряжения сигнала
↑  Действующ.	Действующее	—	Измерение среднеквадратичного напряжения сигнала
-Далее- 2/4	-Далее- 2/4	—	Выбор страницы 3/4

Нажмите соответствующие функциональные кнопки напряжений, которые вы хотите измерить. Выбранный параметр отобразится в нижней части экрана. Если параметр не может быть измерен корректно, вместо значения показывается «***».

Для сброса всех измеренных параметров на экране вернитесь на первую страницу меню **MEASURE** и нажмите функциональную кнопку **Очистить (Clear)**.

1.6.2. Измерение временных интервалов и частоты

Для быстрой автоматической настройки осциллографа нажмите кнопку **[AUTO]**, и на экране отобразятся сигналы с активных каналов (рис. 1.14).

В режиме **AUTO** измеряемый временной интервал определяется как произведение длины измеряемого изображения сигнала на экране по горизонтали в делениях l_t на значение коэффициента развертки по горизонтали k_p .

$$T = l_t \cdot k_p. \quad (1.2)$$

Например, для периода следования импульсов (см. рис. 1.14):

$$l_t = 2,0 \text{ дел}; k_p = 500 \text{ ns/дел}; T = 1000 \text{ ns} = 1 \text{ ms}.$$

Частота следования импульсов определяется по формуле

$$f = 1/T, \quad (1.3)$$

где T – период следования импульсов напряжения.

Цифровой осциллограф позволяет производить измерения частоты и периода следования сигналов непосредственно в цифровой форме.

Нажмите кнопку **[MEASURE]** (измерение) для показа **MEASURE**, а затем функциональную кнопку **Время (Time)** для показа первой (из пяти) страницы меню **TIME**.

В правой части экрана осциллографа появится информация (см. табл. 1.7).

Нажмите соответствующие функциональные кнопки параметров, которые вы хотите измерить. Выбранный параметр отобразится в нижней части экрана. В нижней части экрана могут показываться до трех параметров. Нажатие функциональной кнопки соответствующего параметра для его добавления приведет к вытеснению первого параметра из трех ранее показанных. Если параметр не может быть измерен корректно, вместо значения показывается «***».

Таблица 1.7

TIME	Меню	Установки	Комментарии
 Частота	Частота	—	Измерение частоты сигнала
 Период	Период	—	Измерение периода сигнала
 Вр. нараст.	Вр. нараст.	—	Измерение длительности переднего фронта импульса
 Время спада	Вр. спада	—	Измерение длительности заднего фронта импульса
-Далее- 1/5	-Далее- 1/5	—	Выбор страницы 2/5

Для сброса всех измеренных параметров на экране вернитесь на первую страницу меню **MEASURE** и нажмите функциональную кнопку **Очистить (Clear)**.

1.7. Подготовка к проведению измерений

1.7.1. Подключение исследуемого сигнала

Соедините кабель с гнездом **CH1** или **CH2** осциллографа. При подключении кабеля входное сопротивление осциллографа равно 1 МОм с параллельной емкостью, значение которой зависит от типа используемого кабеля. При необходимости увеличения входного сопротивления осциллографа (например, для исследования сигналов до 400 В) пользуйтесь кабелем с делителем, который входит в комплект запасных частей осциллографа. Концы кабеля не равнозначны. Один проводник является информационным, другой (общий) соединен с корпусом осциллографа. Информационный конец проводника подключают к контрольным точкам исследуемой схемы, общий – к общему проводу источника питания схемы. На практике имеется простой способ, позволяющий различить входные концы проводников, не имеющих маркировку. Для этого необходимо взяться за конец одного проводника рукой: если на экране осциллографа луч высветит гори-

зонтальную прямую – это общий вывод, соединенный с корпусом осциллографа, если кривую линию – в руке информационный вывод.

1.8. Программа работы

1. Ознакомиться с принципом действия осциллографа, расположением органов управления, их назначением.
2. Привести осциллограф в рабочее состояние.
3. Произвести калибровку коэффициента отклонения и длительности развертки (по указанию преподавателя).
4. Подключить осциллограф к генератору блока генераторов напряжений с наборным полем.
5. Выбрать источник синхронизации.
6. Установить требуемые коэффициенты отклонения и длительности развертки.
7. Выбрать режим развертки.
8. Произвести измерения частоты генератора лабораторного стенда для среднего (произвольно среднего) положения потенциометра регулятора частоты.
9. Произвести измерение амплитуды и длительности импульсного сигнала генератора лабораторного стенда, определить его период и частоту.
10. Произвести запись осциллограммы на USB-носитель или произвести его фотографирование.
11. Выполнить другие измерения по указанию преподавателя.

1.9. Порядок выполнения лабораторной работы при использовании программы Electronics Workbench 5.12

1. Ознакомиться с элементной базой и инструментальными средствами программы Electronics Workbench [1].
2. Соберите схему по рис. 1.15, используя необходимые элементы и приборы (генератор и осциллограф) из библиотеки. Установите курсор мыши на элемент или прибор и, нажав левую кнопку мыши, перемещая ее, установите их на требуемое место наборного поля. Отпустите кнопку.

Соединения между элементами и приборами выполните в следующей последовательности:

- установите курсор на вывод одного из элементов;
- нажмите левую кнопку мыши (соединение с выводом элемента покажет появившаяся стрелка вместо ладони и черная точка в месте соединения);
- не отпуская левую кнопку, протяните провод мышью до клеммы другого элемента, после чего отпустите кнопку. Проводник соеди-

нит элементы, изогнувшись под прямым углом. Проводник можно сделать цветным, установив на него курсор и дважды быстро щелкнув левой кнопкой мыши. Затем установите курсор на выбранную цветную клавишу появившегося меню и нажмите левую кнопку мыши. Измените цвет проводника, соединяющего осциллограф и конденсатор, на красный.

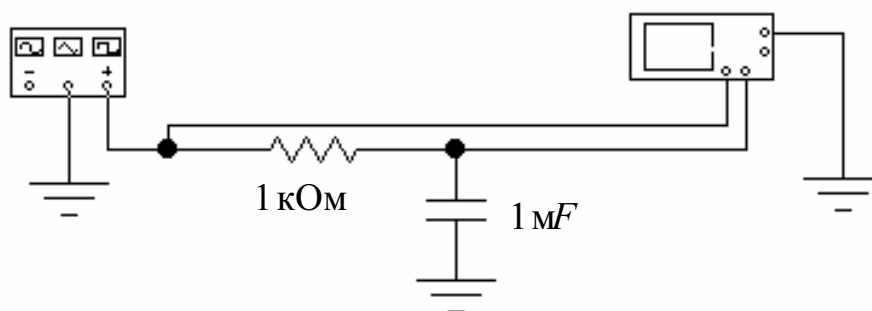


Рис. 1.15. Схема исследования интегрирующей цепочки

Для раскрытия лицевой панели **генератора** поместите на него курсор и дважды щелкните левой кнопкой мыши. Выберите сигнал генератора синусоидальной формы, щелкнув левой кнопкой мыши по соответствующему окну. Установите значения амплитуды выходного напряжения генератора 10 V и частоты 1 kHz набором численных значений параметров в числовом поле или щелчком левой кнопки мыши по соответствующим стрелкам слева от значений параметров. Для получения симметричного сигнала генератора установите параметр (DUTY CYCLE) – 50 %, смещение (OFFSET) – 0.

Раскройте лицевую панель **осциллографа**. Выберите режим измерения «по переменному току», активизировав окно АС, поместив на него курсор и щелкнув левой кнопкой мыши. Установите длительность развертки 0,2 ms/div. Установите масштаб по каналу А 5 V/Div и по каналу В 1 V/div. Включите питание схемы, щелкнув левой кнопкой мыши по тумблеру питания.

Произведите с помощью осциллографа измерения амплитуды и периода переменных напряжений (вы должны получить следующие результаты: сигнал красного цвета $U_m = 1,6 \text{ В}$, $T = 1 \text{ ms}$; сигнал черного цвета $U_m = 10 \text{ В}$, $T = 1 \text{ ms}$). Определите частоту напряжений исследуемых сигналов. Сравните полученные результаты измерения с установленными на панели генератора.

Увеличьте масштаб осциллограммы на экране монитора щелчком по кнопке **ZOOM**. На увеличенном экране выставьте оси 1 и 2 на ам-

плитудные значения осциллограмм напряжений. Численные значения напряжений по каналам измерения (VA1, VB1, VA2, VB2), времени от начала развертки (T1, T2) и разницы между значениями сигналов в моменты времени T1 и T2 можно прочесть в трех окнах под экраном осциллографа. Уточните проведенные ранее измерения амплитуды и периода переменных напряжений.

Уменьшите масштаб осциллограмм щелчком по кнопке **REDUCE**.

3. Измените численные значения сопротивления, емкости и частоты генератора в соответствии с индивидуальным заданием (табл. 1.8).



Таблица 1.8

№ варианта	1	2	3	4	5	6	7	8	9	10
R, kΩ	1,2	1,2	0,51	7,5	4,3	5,60	0,47	0,82	8,20	0,6
C, μF	6,8	4,7	3,30	2,2	1,5	0,68	0,47	0,33	0,22	0,1
f, kHz	2,0	0,5	0,40	0,8	12,0	8,20	6,40	4,30	13,60	14,0

1.10. Содержание отчета

1. Цель работы.
2. Структурная схема осциллографа и описание принципа его действия.
3. Описание методики калибровки.
4. Описание процессов измерения по указанию преподавателя. Значение опытных и расчетных данных. Графики исследуемых сигналов.
5. Выводы о проделанной работе.

1.11. Задания для самопроверки

1. Поясните принцип действия осциллографа.
2. Поясните, как определить информационный и общий вывод измерительного кабеля осциллографа?
3. Каков порядок проведения измерений временных интервалов осциллографом?
4. Для чего предназначена ручка с символом ?
5. Для чего предназначена ручка с символом ?
6. Каков порядок проведения измерений амплитуды входного сигнала осциллографом?
7. Каков порядок проведения измерений периода входного сигнала осциллографом?
8. Что такое меандр?
9. Для чего предназначена кнопка [50 %]?

10. Как правильно выбрать источник синхронизации исследуемого сигнала?
11. Для чего предназначена ручка с символом ▲ ▼?
12. Поясните, в каком положении должен находиться переключатель ~, ⊥ ; ~ при измерении переменной составляющей входного сигнала?

1.12. Список литературы

1. Мальцева О.П. Программа конструирования и моделирования работы электронных схем Electronics Workbench 4.1. / О.П. Мальцева, Н.В. Кояин, А.Ю. Чернышев / Методические указания по применению для студентов направления 55.13.00 и специальности 18.04.00 Центра дистанционного образования. – Томск : Изд-во ТПУ, 1998. – 47 с.
2. Афонский А.А. Измерительные приборы и массовые электронные измерения / А.А. Афонский, В.П. Дьяков. – Москва : СОЛОН-Пресс, 2007. – 540 с.
3. Дьяков В.П. Современная осциллография и осциллографы / В.П. Дьяков. – Москва : СОЛОН-Пресс, 2005. – 320 с.

2. ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ СХЕМ

Лабораторная работа № 2

Цель работы: получить практические навыки при работе с логическими элементами микросхем транзисторно-транзисторной логики, а также навыки проектирования комбинационных логических схем.

2.1. Общие положения

В схемах управления устройствами и приборами на основе цифровых интегральных микросхем выполняются логические и функциональные схемы, формирующие программу работы устройств, их защиту, индикацию, тестирование и другие важные узлы, повышающие работоспособность системы.

Поэтому знание основ схемотехники и получение практических навыков работы с цифровыми интегральными микросхемами разной степени интеграции являются необходимым условием для специалистов в области автоматизации и приборостроения.

2.2. Основные логические функции и схемы

Сложные цифровые схемы строятся путем многократного повторения базовых логических схем. Инструментом такого построения служит булева алгебра, которая применительно к цифровой технике называется алгеброй логики. В отличие от переменной в обычной алгебре, логическая переменная имеет только два значения, которые называются логическим нулем и логической единицей. Логический нуль и логическая единица обозначаются соответственно 0 и 1. В алгебре логики 0 и 1 не числа, а логические переменные.

В алгебре логики существуют три основных операции между логическими переменными: логическое умножение (конъюнкция), логическое сложение (дизъюнкция) и логическое отрицание (инверсия). По аналогии с алгеброй чисел в алгебре логики используют следующие обозначения операций:

логическое умножение	$Y = X_1 \cdot X_2 = X_1 \wedge X_2;$
логическое сложение	$Y = X_1 + X_2 = X_1 \vee X_2;$
логическое отрицание	$Y = \bar{X}.$

В табл. 2.1 приведены основные законы и правила преобразования логических уравнений.

Таблица 2.1

Закон или правило	Логическое умножение	Логическое сложение
1. Коммутативный закон	$X_1 \cdot X_2 = X_2 \cdot X_1$	$X_1 + X_2 = X_2 + X_1$
2. Ассоциативный закон	$X_1 \cdot (X_2 \cdot X_3) = (X_1 \cdot X_2) \cdot X_3$	$X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3$
3. Дистрибутивный закон	$X_1 \cdot (X_2 + X_3) = X_1 \cdot X_2 + X_1 \cdot X_3$	$X_1 + X_2 \cdot X_3 = (X_1 + X_2) \cdot (X_1 + X_3)$
4. Правило склеивания	$X_1 \cdot (X_1 + X_2) = X_1$	$X_1 + X_1 \cdot X_2 = X_1$
5. Правило повторения	$X \cdot X = X$	$X + X = X$
6. Правило отрицания	$X \cdot \bar{X} = 0$	$X + \bar{X} = 1$
7. Правило двойной инверсии	$\bar{\bar{X}} = X$	
8. Теорема де Моргана	$\overline{X_1 \cdot X_2} = \bar{X}_1 + \bar{X}_2$	$\overline{X_1 + X_2} = \bar{X}_1 \cdot \bar{X}_2$
9. Операции с 0 и 1	$X \cdot 1 = X$ $X \cdot 0 = 0$ $\bar{0} = 1$	$X + 0 = X$ $X + 1 = 1$ $\bar{1} = 0$

Многие из этих правил используются и в алгебре чисел. Однако правила склеивания и повторения для чисел несправедливы, а понятие «инверсия» для чисел не вводится. Сравнивая правила преобразования логических уравнений для логического умножения и сложения, следует обратить внимание на содержащуюся в них двойственность: если в любом из тождеств поменять местами логическое умножение со сложением и 0 с 1, то тождество сохранится.

Так как логические переменные принимают только два значения (0 и 1), число возможных вариантов их логического умножения или сложения также конечно. Найдем возможные результаты логического умножения и сложения функции двух переменных X_1 и X_2 , используя правила табл. 2.1. Результаты сведем в табл. 2.2 и 2.3.

Из табл. 2.2 следует, что Y только тогда равен 1, когда и X_1 , и X_2 равны 1. На этом основании операция логического умножения называется функцией И (&).

Таблица 2.2

Таблица истинности для логического умножения $Y = X_1 \cdot X_2$

X_1	X_2	Y
0	0	0
0	1	0
1	0	0
1	1	1

При логическом сложении двух переменных Y равен 1 только тогда, когда или X_1 , или X_2 , или оба вместе равны 1. Поэтому операцию логического сложения называют функцией ИЛИ (1). Возможные варианты для логического сложения приведены в табл. 2.3.

Таблица 2.3

Таблица истинности для логического сложения $Y = X_1 + X_2$

X_1	X_2	Y
0	0	0
0	1	1
1	0	1
1	1	1

Несколько реже на практике применяются схемы, реализующие логическую функцию ИСКЛЮЧАЮЩЕЕ ИЛИ. Булево выражение для логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ: $Y = X_1 \oplus X_2$. Символ \oplus (псевдоплюс) означает, что входы X_1 и X_2 связаны логической функцией ИСКЛЮЧАЮЩЕЕ ИЛИ. Значение функции ИСКЛЮЧАЮЩЕЕ ИЛИ для двух переменных сведены в табл. 2.4.

Таблица 2.4

Таблица истинности для логической функции ИСКЛЮЧАЮЩЕЕ ИЛИ $Y = X_1 \oplus X_2$

X_1	X_2	Y
0	0	0
0	1	1
1	0	1
1	1	0

Из табл. 2.4 следует, что Y только тогда равен 1, когда X_1 и X_2 не равны между собой. Поэтому функцию ИСКЛЮЧАЮЩЕЕ ИЛИ называют также функцией НЕРАВНОЗНАЧНОСТЬ.

Так как логические переменные принимают только два фиксированных значения, то математический аппарат алгебры логики используется для анализа и синтеза электрических схем, которые находятся в двух легко различаемых рабочих состояниях. Таким элементом электрической схемы является ключ, изображенный на рис. 2.1.

Примем, что состояние разомкнутого ключа соответствует логическому нулю, а замкнутого – логической единице. Таким образом, ключ реализует переменную $U_{\text{ИП}}$, если он замкнут, и переменную $\bar{U}_{\text{ИП}}$, если он разомкнут.

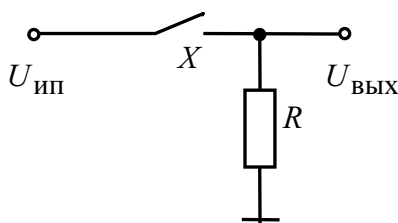


Рис. 2.1. Представление логической переменной в виде ключа

Два ключа, соединенных последовательно, как показано на рис. 2.2, реализуют функцию И.

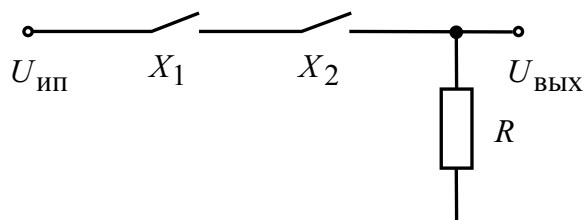


Рис. 2.2. Представление логической схемы И в виде двух ключей

Очевидно, что рассматриваемая цепь будет замкнута только тогда, когда ключи X_1 и X_2 замкнуты, т. е. если и $X_1 = 1$, и $X_2 = 1$. Выходная переменная будет определяться по выражению

$$U_{\text{ВЫХ}} = (X_1 \cdot X_2) \cdot U_{\text{ИП}}.$$

Функция ИЛИ может быть получена, если ключи включить параллельно.

При реализации сложных релейно-контакторных схем управления установками и функциональных узлов различного назначения алгебра логики применяется для минимизации схем.

Другой возможностью представления логических переменных является электрическое напряжение, имеющее два различных уровня: высокий (*H*-уровень) и низкий (*L*-уровень). Этим уровням можно поставить в соответствие состояния 1 и 0. Система обозначений (высокий уровень – 1, низкий – 0) называется позитивной логикой. Возможна также и обратная система обозначений: высокий уровень – 0, низкий – 1, которая называется негативной логикой.

Сложные электронные схемы могут быть реализованы с помощью простых электронных схем. Эти схемы имеют один или несколько входов и один выход. Такие схемы называют логическими элементами.

Наряду с основными логическими элементами, реализующими функции И, ИЛИ, НЕ, на практике большое распространение получили комбинационные элементы ИЛИ-НЕ и И-НЕ, которые образуются путем инверсии результатов, получаемых при выполнении функций ИЛИ и И соответственно.

Электронные схемы, реализующие функции ИЛИ-НЕ и И-НЕ, являются базовыми для построения как основных, так и более сложных логических структур.

Для реализации одной и той же логической функции существует большое число электронных схем. Если они выполняют одну и ту же функцию, то обозначаются одинаково. Эти обозначения в соответствии с ГОСТ 2.702–75* представлены на рис. 2.3–2.8.

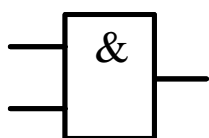


Рис. 2.3. Схема И

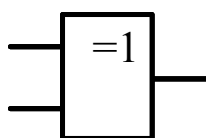


Рис. 2.4. Схема ИСКЛЮЧАЮЩЕЕ И

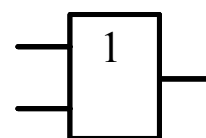


Рис. 2.5. Схема ИЛИ

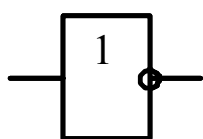


Рис. 2.6. Схема НЕ

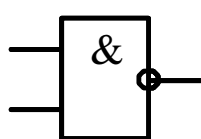


Рис. 2.7. Схема И-НЕ

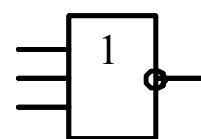


Рис. 2.8. Схема ИЛИ-НЕ

Элементы, приведенные выше, могут также обозначаться символически, как показано на рис. 2.9–2.14.

Электронные схемы, выполняющие одну и ту же логическую функцию, но собранные на различных элементах, отличаются по потребляемой мощности, напряжению питания, значениям высокого

и низкого уровней выходного напряжения, времени задержки распространения сигнала и нагрузочной способности.

Чтобы правильно выбрать тип схемы, необходимо знать их внутреннюю структуру.

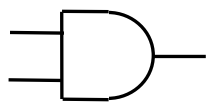


Рис. 2.9. Символ логического элемента И

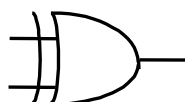


Рис. 2.10. Символ логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ

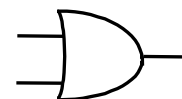


Рис. 2.11. Символ логического элемента ИЛИ

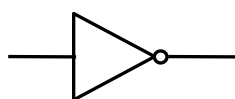


Рис. 2.12. Символ логического элемента НЕ

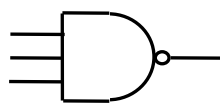


Рис. 2.13. Символ логического элемента И-НЕ

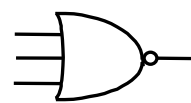


Рис. 2.14. Символ логического элемента ИЛИ-НЕ

2.3. Комплементарные МОП-структуры

Комплементарные МОП-структуры представляют собой в настоящее время наиболее распространенное семейство логических элементов.

Работу логического элемента на МОП-структуре рассмотрим на примере инвертора, схема которого приведена на рис. 2.15.

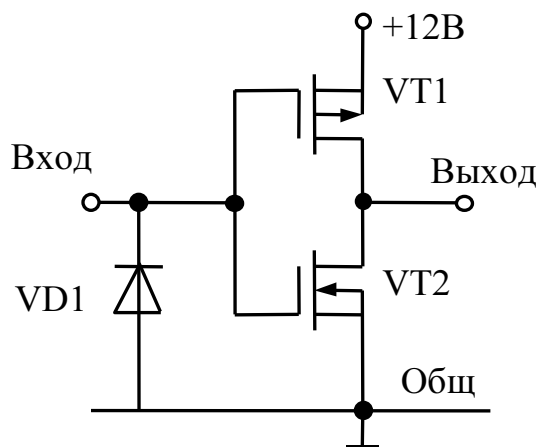


Рис. 2.15. Принципиальная схема КМОП-инвертора

Инвертор содержит два комплементарных (дополняющих) транзистора $VT1$, $VT2$ и диода $VD1$, защищающего схему от отрицательных

входных сигналов. Схема работает следующим образом. Если на входе инвертора действует напряжение логического нуля, то транзистор $VT1$, имеющий p -канал, полностью открыт, поскольку его затвор при этом соединен с общим проводом и поэтому на него подается напряжение отпирающей полярности относительно истока, соединенного с плюсом источника питания. Транзистор $VT2$, имеющий n -канал, закрыт, вследствие чего напряжение на выходе инвертора максимально и соответствует напряжению логической единицы.

Когда на вход схемы подается положительное напряжение логической единицы, то транзистор $VT1$ закрывается, а транзистор $VT2$ полностью открывается, вследствие чего напряжение на выходе становится нулевым, то есть его логический уровень низкий.

Возможные состояния работы микросхемы сведены в табл. 2.5.

Таблица 2.5

$U_{\text{ВХ}}$	$U_{\text{ВЫХ}}$
0	1
1	0

Особенностью КМОП-микросхем является то, что если вход схемы не подключен к источнику сигнала, то это соответствует высокому входному логическому уровню.

2.4. Транзисторно-транзисторная логика

Интегральные микросхемы транзисторно-транзисторной логики (ТТЛ) получили широкое распространение благодаря сравнительно высокому быстродействию и надежности, технологичности изготовления, функциональной полноте серии ТТЛ элементов.

Основной элемент ТТЛ представлен на рис. 2.16. Вход интегральной схемы (ИС) представляет собой многоэмиттерный транзистор $VT1$. Отдельно такие транзисторы не выпускаются, а используются только в интегральных схемах.

Если на входы 1 и 2 ИС подан высокий уровень напряжения $U_{\text{ВХ}}^1$ (см. рис. 2.17), то ток, проходящий через резистор $R1$ по открытому в прямом направлении переходу база–коллектор транзистора $VT1$, течет и через базу транзистора $VT2$, открывая его. Ток эмиттера транзистора $VT2$ открывает по базовым цепям транзисторы $VT3$ и $VT5$.

При этом базовый ток транзистора $VT5$ поддерживается на таком уровне, что транзистор остается в открытом состоянии даже при боль-

ших значениях выходного тока (10–15 мА). Выходное напряжение ИС в этом режиме работы составляет 0,1–0,4 В.

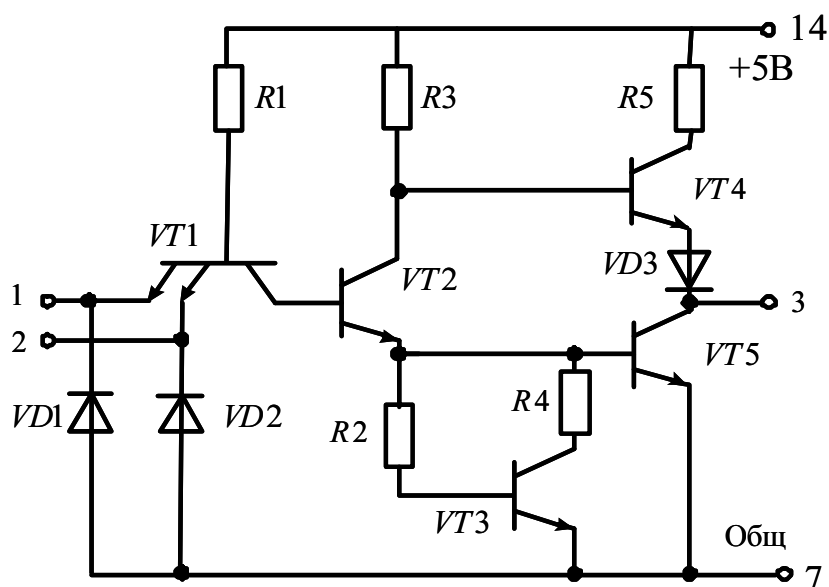


Рис. 2.16. Принципиальная схема основного элемента интегральной схемы транзисторно-транзисторной логики

Если хотя бы на один вход многоэмиттерного транзистора $VT1$ подан низкий уровень напряжения $U_{ВХ}^0$ (рис. 2.18), то соответствующий переход база–эмиттер открывается и отбирает базовый ток транзистора $VT2$, который при этом закрывается. Это приводит к выключению транзисторов $VT3$ и $VT5$. Тогда открывается транзистор $VT4$, ток базы которого протекает через резистор $R3$. Открытый транзистор $VT4$ подключает к выходу схемы источник питания. Выходной потенциал микросхемы в этом случае высокий и для серии 155, например, не менее 2,4 В. Транзистор $VT4$ с нагрузкой R_H образует эмиттерный повторитель, благодаря чему выход ИС является низкоомным и обладает высокой нагрузочной способностью.

Сведем возможные состояния ИС рис. 2.16 в табл. 2.6.

Таблица 2.6

$U_{ВХ1}$	$U_{ВХ2}$	$U_{ВЫХ}$
0	0	1
0	1	1
1	0	1
1	1	0

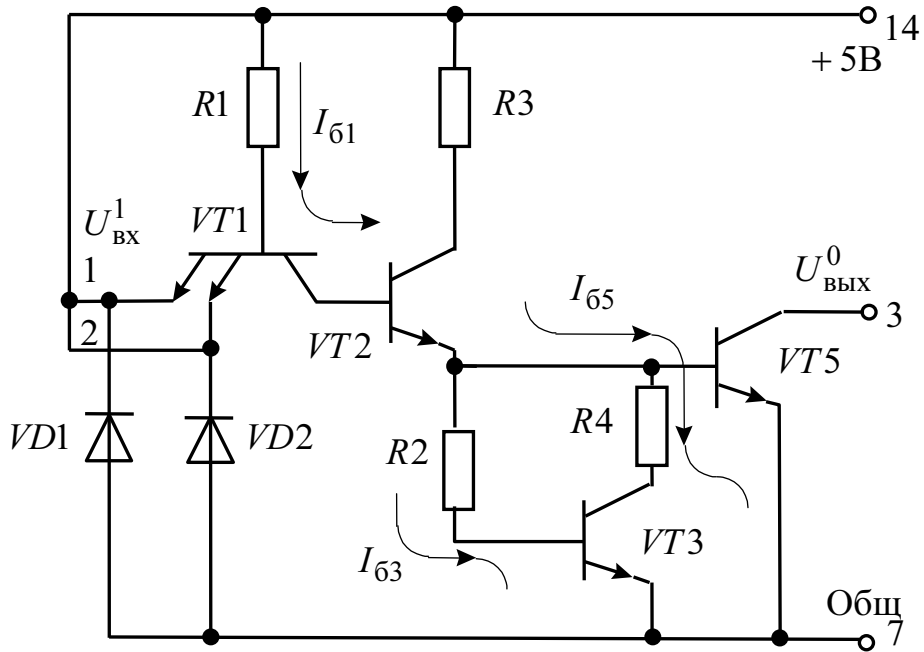


Рис. 2.17. Распределение токов и напряжений при высоком входном логическом уровне

Анализ состояний базового элемента ИС ТТЛ показывает, что он выполняет логическую функцию И-НЕ положительной логики.

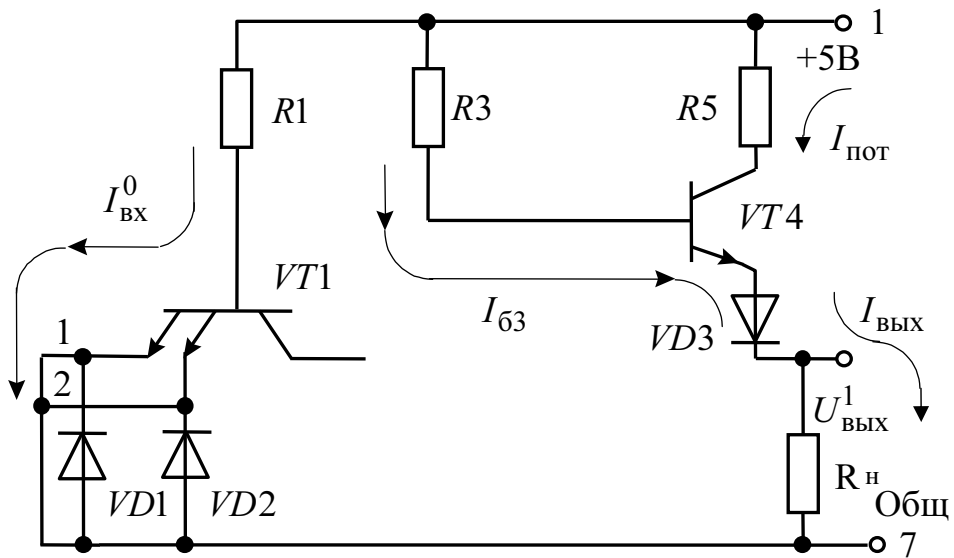


Рис. 2.18. Распределение токов и напряжений при низком входном логическом уровне

Большим недостатком схемы ТТЛ является то, что в момент ее переключения на короткое время открываются оба транзистора: и VT_4 , и VT_5 (рис. 2.16). В этом случае потребление тока микросхемой ограничивается только защитным резистором R_5 . Импульс тока момента пере-

ключения вызывает высокочастотные помехи на шине питания. Поэтому правила эксплуатации рекомендуют микросхему шунтировать по цепи питания высокочастотным керамическим конденсатором развязки с емкостью 0,1 мкФ и более.

Передаточная характеристика ИС ТТЛ приведена на рис. 2.19. Как следует из рисунка, низкий уровень выходного напряжения ИС не равен нулю, а высокий меньше напряжения питания микросхемы (5 В). ИС обладает усилительными свойствами с коэффициентом передачи около 10.

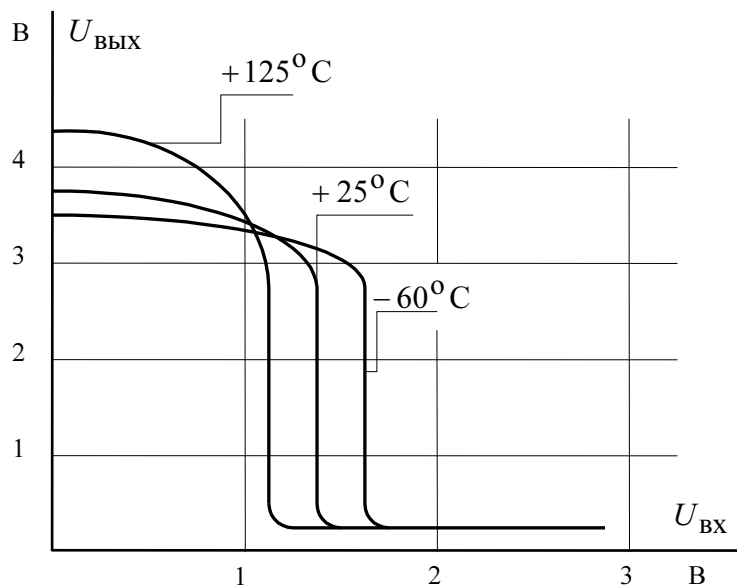


Рис. 2.19. Передаточные характеристики схемы ТТЛ для различных температур

Входной и выходной импульсы простейшего логического элемента И-НЕ (НЕ) интегральной схемы ТТЛ показаны во времени на рис. 2.20. Как следует из рисунка, выходной импульс $U_{\text{ВЫХ}}$ несколько задержан относительно входного $U_{\text{ВХ}}$. Для элементов ТТЛ времена задержки распространения при включении $t_{\text{зд.р}}^{1.0}$ и при выключении $t_{\text{зд.р}}^{0.1}$ определяются глубиной насыщения, в которое попадают при переключении импульсные транзисторы, и емкостью входной и выходной цепей соединительных проводников микросхемы. Так, влияние входной емкости определяется следующим образом: входной сигнал уже окончился, но выходной еще не нарастает (рис. 2.20), поскольку необходимо время для стекания избыточного заряда во входной цепи. Собственные времена задержек логических элементов ИС серии 155 составляют: $t_{\text{зд.р}}^{1.0} < 15$ нс, $t_{\text{зд.р}}^{0.1} < 22$ нс и приводятся в паспортах данных микросхем.

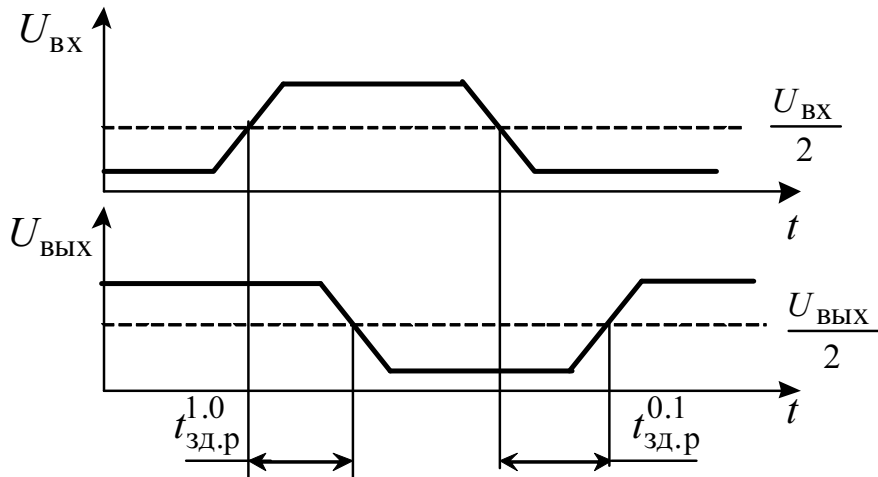


Рис. 2.20. Входной и выходной импульс схемы ТТЛ

Промышленность выпускает интегральные схемы в пластмассовых, керамических или металлокерамических корпусах. Один из вариантов корпуса ИС приведен на рис. 2.21. С одной из сторон корпуса микросхемы нанесен ключ, от которого против хода часовой стрелки отсчитываются номера выводов.

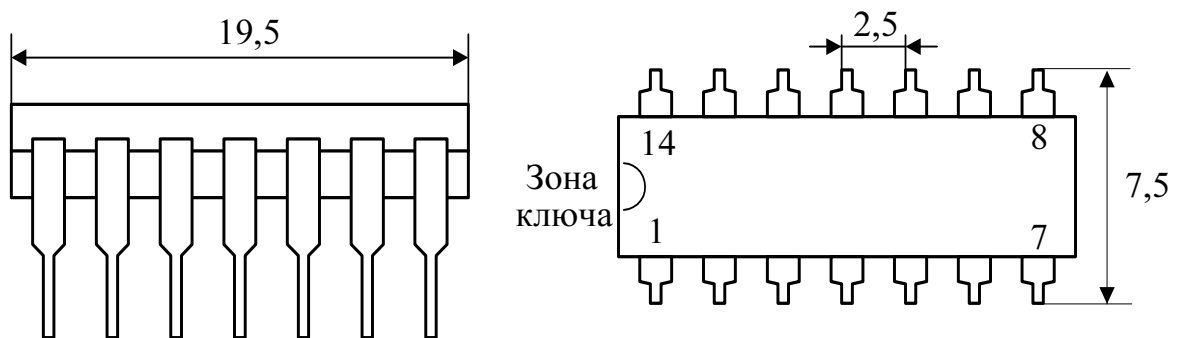


Рис. 2.21. Вариант исполнения корпуса интегральной схемы

2.5. Синтез цифрового автомата

Задача

Произвести синтез цифрового автомата. Составить принципиальную схему цифрового автомата, соответствующего таблице истинности. Упростить схему цифрового автомата в соответствии с правилами преобразования логических схем. Составить цифровой автомат на элементах ТТЛ или КМОП-логики. Привести диаграммы выходных и входных сигналов логической схемы. Исследовать упрощенную схему цифрового автомата в программной среде Electronics Workbench. Варианты заданий приведены в Приложении 1.

Составим таблицу истинности работы цифрового автомата (табл. 2.7).

Таблица 2.7

Строка	Входы			Выходы	
	X_1	X_2	X_3	$Y_{\text{ВЫХ}}$	$\bar{Y}_{\text{ВЫХ}}$
1	0	0	0	0	1
2	0	0	1	0	1
3	0	1	0	0	1
4	0	1	1	1	0
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	0	1
8	1	1	1	1	0

Для нахождения аналитического выражения логической функции, которая соответствовала бы этой таблице, рекомендуется следующий порядок действий:

1. В таблице выделяют строки, в которых выходная переменная $Y_{\text{ВЫХ}}$ имеет значение 1.

2. Для каждой строки таблицы составляют конъюнкцию – логическое умножение всех выходных переменных, причем записывают множитель X_i , если рассматриваемая переменная равна 1, в противном случае записывают \bar{X}_i . Таким образом, составляется столько уравнений, сколько имеется строк с $Y_{\text{ВЫХ}} = 1$.

3. Записывая логическую сумму всех найденных произведений, получают искомую функцию в дизъюнктивной форме.

В соответствии с табл. 2.7 в строках 1, 4, 8 функция $Y_{\text{ВЫХ}} = 1$. Логическое умножение для каждой из строк дает следующие зависимости:

$$\text{строка 4} \quad Y_4 = \bar{X}_1 \cdot X_2 \cdot X_3.$$

$$\text{строка 6} \quad Y_6 = X_1 \cdot \bar{X}_2 \cdot X_3;$$

$$\text{строка 8} \quad Y_8 = X_1 \cdot X_2 \cdot X_3;$$

Искомая функция записывается в виде логической суммы:

$$Y = Y_4 + Y_6 + Y_8$$

или

$$Y = \bar{X}_1 \cdot X_2 \cdot X_3 + X_1 \cdot \bar{X}_2 \cdot X_3 + X_1 \cdot X_2 \cdot X_3.$$

Логическая схема, которая соответствует этой функции, приведена на рис. 2.22.

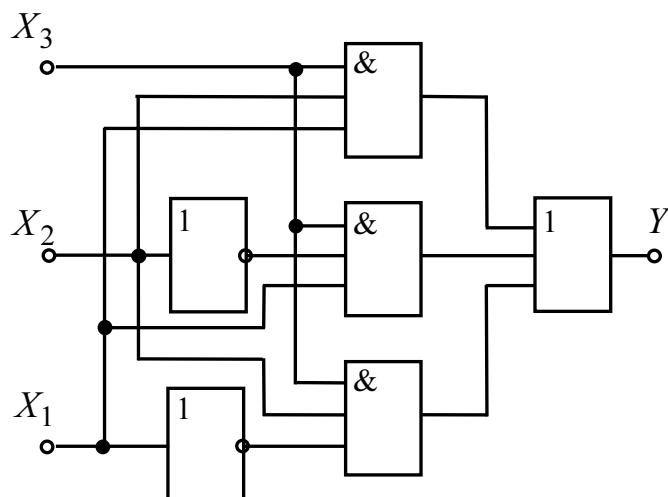


Рис. 2.22. Логическая схема

Схема содержит 6 логических элементов. Упростить схему можно, предварительно преобразовав выражение для Y в соответствии с правилами алгебры логики. Основные правила алгебры логики приведены в табл. 2.1.

В соответствии с дистрибутивным законом для логического умножения

$$Y = X_3 \cdot \{X_1 \cdot (X_2 + \bar{X}_2) + \bar{X}_1 \cdot X_2\}.$$

Дальнейшее упрощение возможно с учетом правила отрицания

$$Y = X_3 \cdot \{X_1 + \bar{X}_1 \cdot X_2\}.$$

Применив дистрибутивный закон для логического сложения, получим

$$Y = X_3 \cdot \{X_1 + \bar{X}_1\} \cdot \{X_1 + X_2\}.$$

Еще раз применив правило отрицания, будем иметь

$$Y = X_3 \cdot \{X_1 + X_2\}.$$

Логическая схема, построенная по последнему выражению, приведена на рис. 2.23. Схема содержит всего 2 элемента и реализует функцию 2ИЛИ-2И.

Если в таблице истинности в столбце выходной переменной стоит больше единиц, чем нулей, то с целью упрощения преобразований вместо Y рассматривают инвертированную переменную \bar{Y} . Для этой переменной единиц меньше, чем нулей. Для переменной \bar{Y} вычисляют логическую функцию, в которую входит уже меньшее число произведений, после чего ее упрощают. Найденную таким образом функцию инвертируют, получая при этом искомое логическое выражение для Y . В связи с этим заменяют операцию (+) на (\times) и наоборот, а все переменные (каждые в отдельности) инвертируют.

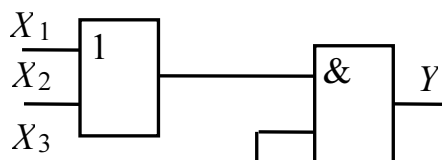


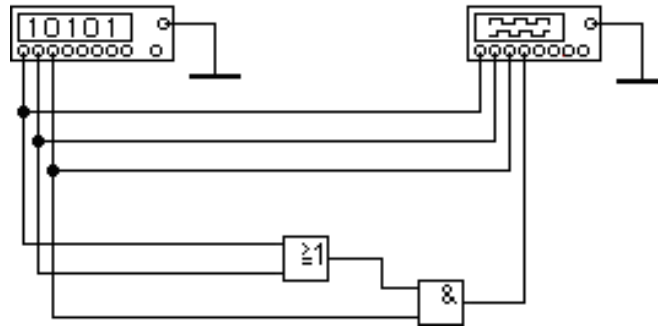
Рис. 2.23. Упрощенная логическая схема

По принципиальной схеме рис.2.23 с помощью программы Electronics Workbench была построена модель цифрового автомата (рис.2.24, а) и проведена проверка его работы. Анализ диаграмм (рис. 2.24, в) показал, что выходной сигнал принимает значение высокого уровня 1 при входных значениях: $X_1=1, X_2=1, X_3=1$; $X_1=1, X_2=0, X_3=1$; $X_1=0, X_2=1, X_3=1$. Таким образом, можно сделать вывод, что схема рис.2.23 является упрощенным вариантом схемы рис. 2.22 и работает в соответствии с табл. 2.7. В третьем такте выходного сигнала появился кратковременный сигнал высокого логического уровня. Это является существенным недостатком схемы, не позволяющим использовать ее на практике.

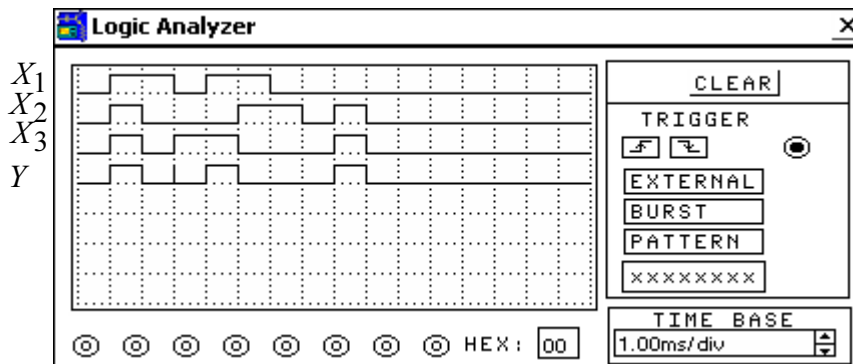
2.6. Построение логических схем на микросхемах ТТЛ

Выпускаемые промышленностью микросхемы, выполняющие логические функции, различаются по числу элементов в корпусе и числу входов каждого из них. Промышленность выпускает одноходовые (шесть элементов в корпусе), двухходовые (четыре элемента в корпусе), трехходовые (три элемента в корпусе), четырехходовые (два элемента в корпусе) и восьмивходовые (один элемент в корпусе) интегральные схемы ТТЛ. Не всегда все входы элемента микросхемы удастся использовать при построении логических схем. В этом случае неиспользуемые входы можно включать следующим способом:

- оставлять свободными, если это не влияет на выполнение основной логической функции. Однако при этом снижается помехоустойчивость функционирования, но это самый простой метод с точки зрения монтажа;
- подсоединять к шинам питания (+5 В) или (Общ.), обеспечив выполнение основной логической функции. Если на шине питания (+5 В) действуют импульсные помехи, то для увеличения помехоустойчивости неиспользованные входы подсоединяются через резисторы (1 кОм – 5 кОм);
- замыкать с используемыми. В этом случае динамические параметры элемента ИС не ухудшаются, но предыдущая ИС нагружается сильнее и возрастает потребляемый ток.



а



б

Рис. 2.24. Электронное моделирование логической схемы 2И-ИЛИ:
 а – модель электрической схемы;
 б – логический анализатор входных и выходных сигналов

Логическую функцию $Y = X_3 \cdot \{X_1 + X_2\}$ практически можно реализовать только на тех функциональных элементах, которые входят в состав используемой серии. Отметим, что среди простых комбинационных микросхем ТТЛ преобладают приборы с логикой НЕ, И-НЕ, кИ-мИЛИ-НЕ, где k и m – число входов схемы И и ИЛИ одного функционального элемента. Количество микросхем, выполняющих логические операции И, ИЛИ без инверсии, существенно меньше.

При построении логических схем на серийных микросхемах следует стремиться к тому, чтобы наиболее полно использовать элементы, входящие в микросхему. Так, необоснованное увеличение числа корпусов микросхемы приводит к возрастанию потребляемой мощности (тока) и стоимости устройства.

Состав микросхем, используемых при выполнении лабораторной работы и их цоколевка, приведен в Приложении 1.

Если логическую схему (рис. 2.23), выполняющую логическую функцию $Y = X_3 \cdot \{X_1 + X_2\}$, использовать как принципиальную, то для ее реализации потребуется две микросхемы типов К555ЛЛ1

и К555ЛИ1. Причем в обеих микросхемах по 3 элемента не используются.

Следовательно, для наиболее оптимальной практической реализации полученная логическая функция требует дальнейших преобразований:

$$Y = X_3 \cdot (X_1 + X_2) = \overline{\overline{X_3 \cdot X_1 + X_3 \cdot X_2}}.$$

Полученную функцию можно выполнить на микросхеме типа К555ЛР11 либо на зарубежном аналоге 74LS51 (рис. 2.25).

Элемент DD1.1 реализует логическую функцию 2И-2ИЛИ-НЕ и позволяет на выходе получить инверсное значение искомой функции

$$Y = \overline{X_3 \cdot X_1 + X_3 \cdot X_2}.$$

Элемент DD1.2 – инвертор, собранный на втором элементе 3И-2ИЛИ-НЕ микросхемы К555ЛР11. На первом входе схемы ИЛИ, представляющем схему И на три входа (выводы 12, 13, 1), искусственно формируется логический 0 путем подключения выводов 12, 13, 1 к шине питания с нулевым (низким) уровнем напряжения. На второй вход схемы ИЛИ, представляющий также схему И на три входа (выводы 9, 10, 11) подается сигнал искомой логической функции в инверсном виде \bar{Y} . Выводы 9, 10, 11 микросхемы соединяются между собой. Элемент DD1.2 при такой коммутации входов выполняет инвертирование в соответствии с логическими преобразованиями:

$$Y = \overline{\bar{Y} \cdot \bar{Y} \cdot \bar{Y} + 0 \cdot 0 \cdot 0} = \overline{\bar{Y} + 0} = Y.$$

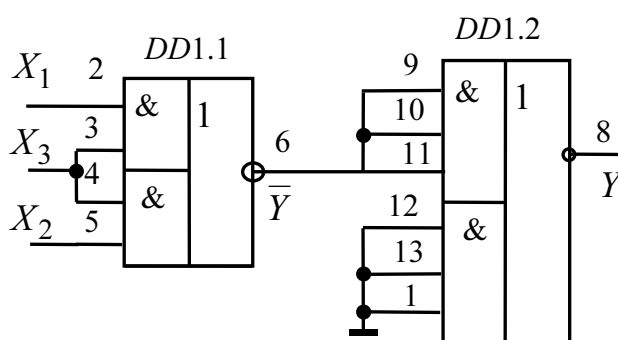
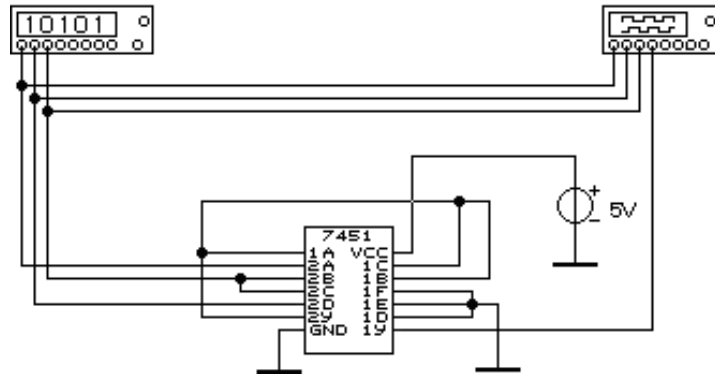


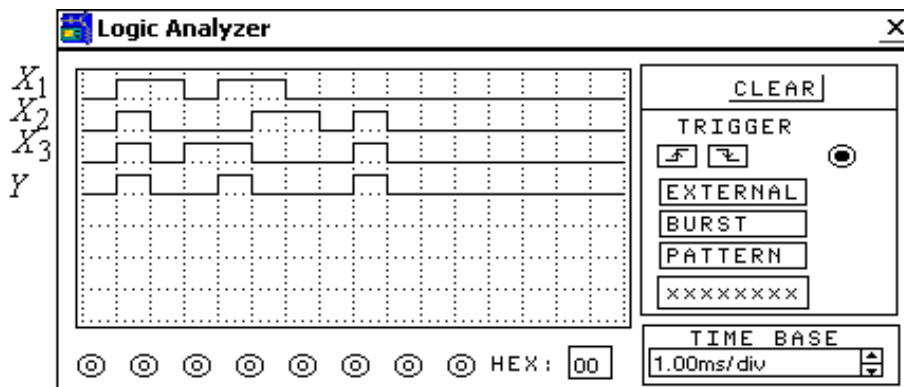
Рис. 2.25. Принципиальная схема цифрового автомата

Окончательная проверка цифрового автомата, собранного на микросхеме 74LS51, проведена в программной среде Electronics Workbench. Результаты моделирования представлены на рис. 2.26.

Анализ результатов моделирования показывает, что разработанная схема полностью соответствует заданию (см. табл. 2.7).



а



б

Рис. 2.26. Электронное моделирование на микросхеме 74LS51:
а – модель электрической схемы; б – логический анализатор

2.7. Порядок выполнения работы на лабораторном стенде

1. Ознакомиться с описанием лабораторного стенда.
2. Убедитесь, что устройства, используемые в эксперименте, отключены от сети электропитания.
3. Соедините аппаратуру в соответствии со схемой электропитания.
4. Соберите исследуемую логическую цепь на наборном поле блока испытания цифровых устройств А1.
5. Включите устройство защитного отключения и автоматический выключатель в однофазном источнике питания Q1.
6. Включите выключатель «СЕТЬ» блока испытания цифровых устройств А1.
7. Протестируйте работу логической схемы НЕ. Установите в разъем блока испытания цифровых устройств мини-блок с исследуемым логическим элементом. Вариант подключения логического элемента НЕ на наборном поле блока испытания цифровых устройств приведен на рис. 2.27.

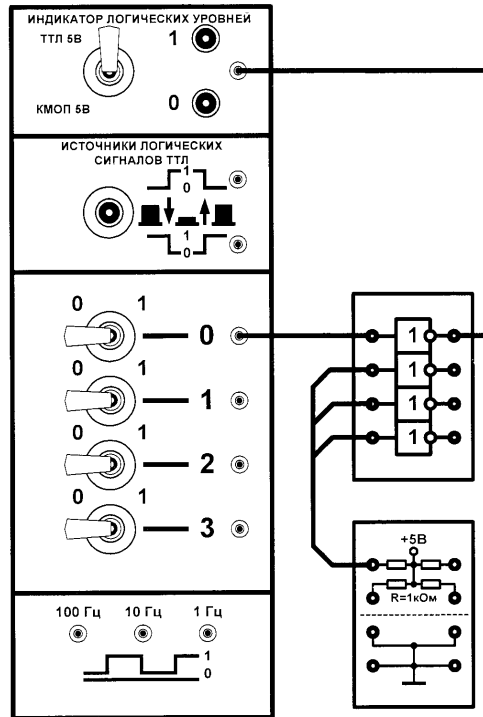


Рис. 2.27. Схема тестирования логической схемы НЕ

В результате тестирования необходимо установить соответствие функционального назначения элемента состоянию сигналов на его входе и выходе. Для формирования необходимого логического уровня на входе элемента необходимо подключить его вход к тумблеру 0 блока испытания цифровых устройств, как показано на рис. 2.27, а уровень логического сигнала задавать переключением тумблера 0. Логический уровень на выходе элемента DD1 можно контролировать с помощью осциллографа, цифрового вольтметра на пределе измерения 20 В или индикатора логических уровней лабораторного стенда. В этом случае переключатель логических уровней необходимо установить в положение ТТЛ 5 В. Результаты исследований занести в табл. 2.8.

Таблица 2.8

Входной логический уровень	Выходной логический уровень	
	Теория	Эксперимент
0		
1		

При необходимости изменения исследуемой схемы отключите выключатель «СЕТЬ» блока испытания цифровых устройств А1, измените схему, включите выключатель «СЕТЬ».

8. По завершении работы отключите выключатель «СЕТЬ» блока испытания цифровых устройств $A1$ и автоматический выключатель в однофазном источнике питания $C1$.

9. Измерить с помощью цифрового вольтметра на пределе измерения 20 В напряжения на выходе Y логического элемента $DD1$, соответствующие логической единице и логическому нулю. Данные эксперимента сравнить с результатами, приведенными на рис. 2.19 для соответствующей температуры.

10. Исследовать элементы И, ИЛИ, И-НЕ, ИЛИ-НЕ, 2И-2ИЛИ-НЕ транзисторно-транзисторной логики (по указанию преподавателя). Установить соответствие функционального назначения элемента состоянию сигналов на его входах и выходе. Результаты исследований занести в табл. 2.9.

Таблица 2.9

Входные уровни сигналов		Выходные уровни сигналов	
X_1	X_2	теория	эксперимент
0	0		
0	1		
1	0		
1	1		

11. Для указанного преподавателем варианта табл. 2.10 составить, а затем собрать схему соединения двух логических элементов.

Таблица 2.10

№ варианта	1	2	3	4	5	6	7	8
Соединение схем	НЕ, И	НЕ, ИЛИ	И, ИЛИ	ИЛИ, И	И, ИЛИ-НЕ	И-НЕ, ИЛИ	ИЛИ-НЕ, И	И, И

Заполнить таблицу истинности схемы и записать логическое выражение.

12. Для указанной преподавателем таблицы истинности (Приложение 1) составить выражение для логической функции. Используя законы алгебры логики, преобразовать логическую функцию к виду, удобному для реализации на элементах лабораторного стенда. Разработать принципиальную схему логического устройства и собрать её на лабораторном стенде.

Проверить соответствие работы логического устройства заданной таблицы истинности. Данные исследований занести в табл. 2.11.

Таблица 2.11

Строка	Параметры			Выходные уровни сигналов	
	X_1	X_2	X_3	теория	эксперимент
1	0	0	0		
2	1	0	0		
3	0	1	0		
4	1	1	0		
5	0	0	1		
6	1	0	1		
7	0	1	1		
8	1	1	1		

2.8. Порядок выполнения работы в программной среде Electronics Workbench

1. Ознакомиться с элементной базой и инструментальными средствами программы Electronics Workbench.

2. Исследовать работу элемента ИЛИ-НЕ резистивно-транзисторной логики. Установить соответствие логической функции схемы ИЛИ-НЕ состоянию сигналов на ее входах и выходе.

Для этого соберите схему по рис. 2.15, используя необходимые элементы из библиотеки. Установите курсор мыши на необходимый элемент схемы и, нажав левую кнопку, перемещая мышью, установите элемент на требуемое место экрана. Отпустите кнопку.

Соединения между элементами выполнить в следующей последовательности:

- нажать левую кнопку мыши;
- установить курсор на вывод одного из элементов (соединение с выводом элемента курсора покажет появившаяся стрелка вместо ладони и черная точка в месте соединения);
- не отпуская левую кнопку, протянуть провод мышью до клеммы другого элемента, после чего отпустить кнопку. Проводник соединит элементы, изгибаясь под прямым углом.

Подключите двухканальный осциллограф к входу и выходу схемы.

Подключите вход U_1 к функциональному генератору, задав на нем прямоугольный сигнал амплитудой +5 В.

Подключите вход U_2 сначала к логическому нулю, а затем к логической единице. Уровень логического нуля задается заземлением соот-

ветствующего входа, уровень логической единицы – подключением его к источнику +5 В.

После сборки схемы и задания всех параметров элементов схемы и испытательных приборов исследуйте соответствие работы схемы ее назначению.

Включение схемы в работу осуществляется нажатием кнопки ПУСК.

3. Исследовать элементы И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ (по указанию преподавателя). Установить соответствие назначения схемы состоянию сигналов на ее входах и выходе.

Соберите схему для проведения испытаний, подключив к входам логического элемента генератор двоичных слов. Подключите входы логического анализатора к входам и выходу логического элемента. Раскройте лицевую панель логического анализатора (*двойной щелчок левой кнопкой мыши*). Раскройте лицевую панель генератора слов (рис. 2.28). Сместите лицевые панели приборов на рабочем поле так, чтобы они были полностью видны.

В генераторе слов в строке Binary заполнить адреса значениями двоичных слов в соответствии с заданием, предварительно указав редактируемый (Edit) адрес. Установить значения начального (Initial) и конечного (Final) адреса.

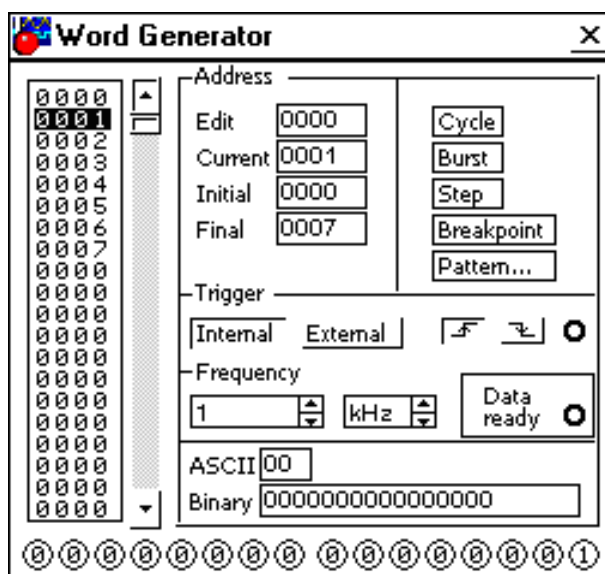


Рис. 2.28. Лицевая панель генератора слов

Выбрав режим работы STEP или CYCLE, проверить работу схемы нажатием кнопок STEP или тумблера питания соответственно.

Распечатайте данные экспериментов.

Очистите экран.

4. Для указанной преподавателем таблицы истинности (Приложение 1) найдите логическую функцию. Поместите логический преобразователь (Logic Converter) на рабочем поле. Двойным щелчком левой кнопки мыши увеличьте его лицевую панель. Активизировав нижнее окно логического преобразователя, запишите в нем найденное выражение логической функции, используя буквы английского алфавита от А до Н (логическое отрицание записывается как А').

Щелкните левой кнопкой мыши по клавише $A \mid B \quad \overline{10 \overline{1}}$ панели CONVERSIONS. На экране Logic Converter получите таблицу истинности. Проверьте соответствие заданной и полученной таблиц истинности.

Щелкните левой кнопкой мыши по клавише $A \mid B \quad \supset$ панели CONVERSIONS. На рабочем поле получите реализацию устройства в базе логических элементов 2И, 2ИЛИ, 2И-НЕ, НЕ.

Данные экспериментов выведите на лист бумаги с помощью принтера.

2.9. Содержание отчета

1. Цель работы.
2. Исследуемая схема в соответствии со стандартами, ее уравнение и теоретическая таблица состояний.
3. Экспериментальные исследования в виде таблиц и графиков.
5. Выводы о проделанной работе и полученных результатах.

2.10. Задания для самопроверки

Выполняя задания, проверьте, хорошо ли вы усвоили изложенный материал.

1. Запишите логическое выражение для элемента И с тремя входами; для элемента ИЛИ с четырьмя входами.

2. Если на все входы схемы (рис. 2.3) поданы логические сигналы высокого уровня, то какого уровня сигнал появится на выходе?

А для схемы рис. 2.6, рис. 2.7?

3. Что означает окружность на выводе в условном графическом изображении логического элемента?

4. Запишите логическое выражение, описывающее действие инвертора.

5. Если на входе схемы (рис. 2.5) подан сигнал низкого уровня, то сигнал какого уровня установится на выходе?

6. Какую логическую операцию необходимо совершить над 0, чтобы получить 1?

7. Нарисуйте схему многоэмиттерного транзистора.

8. Для питания ИС ТТЛ используется источник постоянного или переменного напряжения?

9. На какой вывод простых комбинационных ИС серии 555 подключается положительный вывод источника питания?

10. Как найти 4-й вывод микросхемы 555 серии?

11. Что обозначают символы $\&$, 1, \bigoplus , =1 на условных графических обозначениях микросхемы?

12. Как понимаются обозначения на корпусах микросхем: К555ЛА2, К155ЛИ1, К1533ЛН2, К531ЛР3?

13. Если на выводы 4 и 5 микросхемы рис. ПЗ подан высокий уровень напряжения, то сигнал какого уровня снимается с выхода?

14. Чем объясняется запаздывание в передаче импульса элементом ИС ТТЛ-серии?

15. Чему равно напряжение низкого логического уровня для схем ТТЛ?

16. Как понимается L-уровень сигнала?

17. Чему равно напряжение высокого логического уровня для схем ТТЛ?

18. Если на все входы схемы рис. 2.4 поданы логические сигналы высокого уровня, то какого уровня сигнал появится на выходе?

2.11. Список литературы

1. Бойко В.И. Схемотехника электронных систем. Цифровые устройства / В.И. Бойко и др. – Санкт-Петербург : БХВ-Петербург, 2004. – 496 с.

2. Титце У. Полупроводниковая схемотехника : справочное руководство / У. Титце, К. Шенк; пер. с нем. – Москва : Мир, 1982. – 512 с., ил.

3. Хоровиц П. Искусство схемотехники. В 3 томах. Том 1 / П. Хоровиц, У. Хилл ; пер. с англ. – 4-е изд. перераб и доп. – Москва : Мир, 1993. – 413 с.

4. Шило В.Л. Популярные цифровые микросхемы : справочник / В.Л. Шило. – Москва : Металлургия, 1988. – 352 с.

5. Цифровая и вычислительная техника : учебник для вузов / Э.В. Евреинов, Ю.Т. Бутыльский, И.А. Мамзелев и др. ; под ред. Э.В. Евреинова. – Москва : Радио и связь, 1991. – 464 с.

Приложение 2.1

Строка	Параметры			Выходное напряжение $Y_{\text{ВЫХ}}$ (№ варианта)									
	X_1	X_2	X_3	1	2	3	4	5	6	7	8	9	10
1	0	0	0	0	0	1	0	0	0	0	0	0	0
2	1	0	0	1	1	0	0	0	0	1	0	0	0
3	0	1	0	0	0	1	1	0	0	1	1	1	0
4	1	1	0	0	0	0	0	1	0	1	0	1	1
5	0	0	1	0	1	1	1	0	1	0	0	0	0
6	1	0	1	1	1	0	0	1	0	0	0	0	0
7	0	1	1	0	0	0	1	0	1	0	1	0	1
8	1	1	1	1	0	0	0	1	1	0	1	1	1

Строка	Параметры			Выходное напряжение $Y_{\text{ВЫХ}}$ (№ варианта)									
	X_1	X_2	X_3	11	12	13	14	15	16	17	18	19	20
1	0	0	0	1	0	0	0	1	0	0	1	1	0
2	1	0	0	1	1	0	0	0	0	0	1	0	1
3	0	1	0	0	0	0	1	1	0	0	1	0	0
4	1	1	0	0	1	0	1	1	0	0	0	0	1
5	0	0	1	0	0	1	0	0	1	0	0	1	0
6	1	0	1	1	1	1	0	0	1	1	0	1	0
7	0	1	1	0	0	0	1	0	1	1	0	0	0
8	1	1	1	0	0	1	0	0	0	1	0	0	1

Приложение 2.2

Примеры микросхем логических элементов ТТЛ

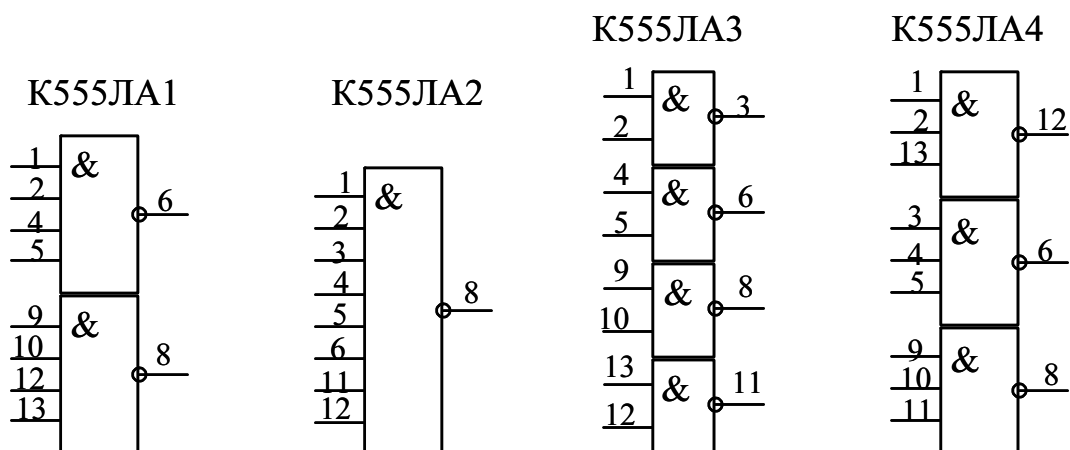


Рис. П1. Микросхемы И-НЕ

К555ЛН1

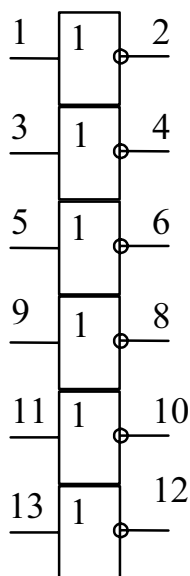


Рис. П.2.
Микросхемы НЕ

К555ЛИ1

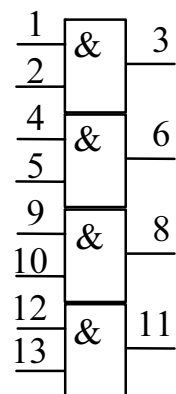


Рис. П.3.
Микросхемы И

К555ЛП5

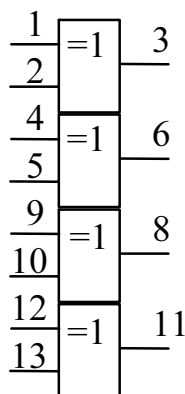


Рис. П.4.
Микросхемы
ИСКЛЮЧАЮЩЕЕ-ИЛИ

К555ЛЕ1

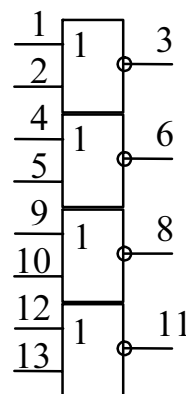
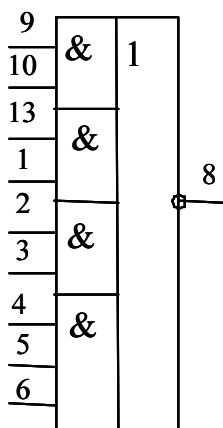
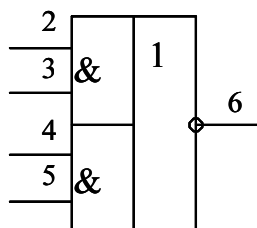


Рис. П.5.
Микросхемы
ИЛИ-НЕ

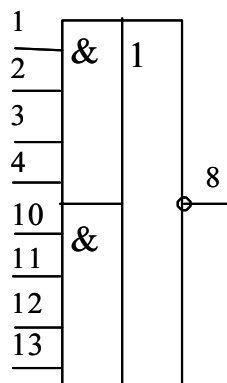
К555ЛР3



К555ЛР1



К555ЛР4



К555ЛР11

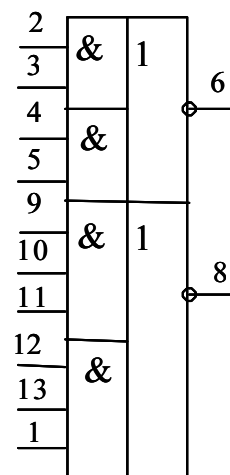


Рис. П.6. Микросхемы И-ИЛИ-НЕ

Приложение 2.3

Динамические параметры микросхем ТТЛ логики

Серия ТТЛ		Параметр						
Отечест- венная	Зарубеж- ная	$P_{ср}$, мВ	$t_{зд.р}^{0,1}$, нс	$t_{зд.р}^{1,0}$, нс	$I_{вх}^0$, мА	$I_{вх}^1$, мА	$I_{вых}^0$, мА	$I_{вых}^1$, мА
К155	74	10	20	14	1,6	0,04	16	0,4
К555	74LS	2	18	12	0,4	0,02	8	0,4
К1533	74ALS	1,2	14	10	0,2	0,01	8	0,4

Приложение 2.4

Соответствие наименований зарубежных и отечественных логических элементов микросхем ТТЛ

74, 74LS, 74S, 74F, 74ALS	К155, К555, К531 К1531, К1533	74, 74LS, 74S, 74F, 74ALS	К155, К555, К531 К1531, К1533
NAND	И-НЕ	NOT	НЕ
74LS00	К555ЛА3	74ALS04	К1533ЛН1
7401	ЛА8	7405	ЛН2
7403	ЛА9	7406	ЛН3
7410	ЛА4	7407	ЛН4
7412	ЛА10	7416	ЛН5
7420	ЛА1	OR	И-ИЛИ-НЕ
7422	ЛА7	7450	К155ЛР1
7426	ЛА11	7451	ЛР11
7430	ЛА2	7453	ЛР3
7437	ЛА12	7454	ЛР13
7440	ЛА6	7455	ЛР4
NOR	ИЛИ-НЕ	AND	И
7402	ЛЕ1	7408	ЛИ1
7423	ЛЕ2	7415	ЛИ4
7425	ЛЕ3	7421	ЛИ6
7427	ЛЕ4	OR	ИЛИ
7428	ЛЕ5	7432	ЛЛ1
		74136	ЛЛ3

3. ИССЛЕДОВАНИЕ ГЕНЕРАТОРОВ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

Лабораторная работа № 3

Цель работы: изучение принципов действия генераторов на интегральных микросхемах, получение практических навыков по их сборке, настройке и исследованию работы.

3.1. Общие положения

Электронными генераторами называются устройства, преобразующие постоянный ток в переменный с выходным сигналом синусоидальной, прямоугольной, пилообразной и специальной формы. Генераторы сигналов прямоугольной формы иногда называют мультивибраторами.

Ни одна электронная система не обходится без внутренних или внешних генераторов, задающих темп ее работы. Основные требования к генераторам – стабильность частоты колебаний и возможность снятия с них сигналов для дальнейшего использования. В настоящей лабораторной работе рассматриваются мультивибраторы, выполненные на цифровых интегральных микросхемах транзисторно-транзисторной логики (ТТЛ). У таких генераторов выходная частота колебаний находится в диапазоне от сотых долей Гц до десятков МГц.

Принципы действия генераторов, собранных на интегральных микросхемах ТТЛ, основаны на следующих свойствах интегральных схем:

- задержка распространения входного сигнала;
- инвертирование входного сигнала;
- усиление входного сигнала.

3.2. Генераторы на трех элементах ТТЛ

Генераторы импульсов, основанные на собственных временных задержках интегральных схем (ИС), можно построить на последовательно соединенных элементах И-НЕ, охваченных положительной обратной связью (рис. 3.1). При подаче на вход управления V логического сигнала высокого уровня – 1 схема начинает генерацию импульсов с периодом

$$T = m \cdot (t_{3,p}^{0,1} + t_{3,p}^{1,0}), \quad (3.1)$$

где m – число логических устройств в цепочке; $t_{3,p}^{0,1}$ – время задержки распространения входного сигнала при его изменении с низкого на высокий уровень; $t_{3,p}^{1,0}$ – время задержки распространения входного сигнала при его изменении с высокого на низкий уровень.

Общее число m логических устройств в цепочке для создания положительной обратной связи должно быть нечетным.

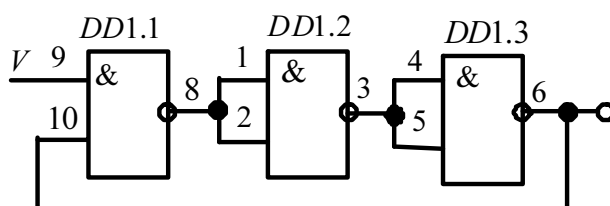


Рис. 3.1. Генератор на собственных временных задержках логических интегральных схем

Работа генератора становится понятной из рассмотрения временных диаграмм, приведенных на рис. 3.2.

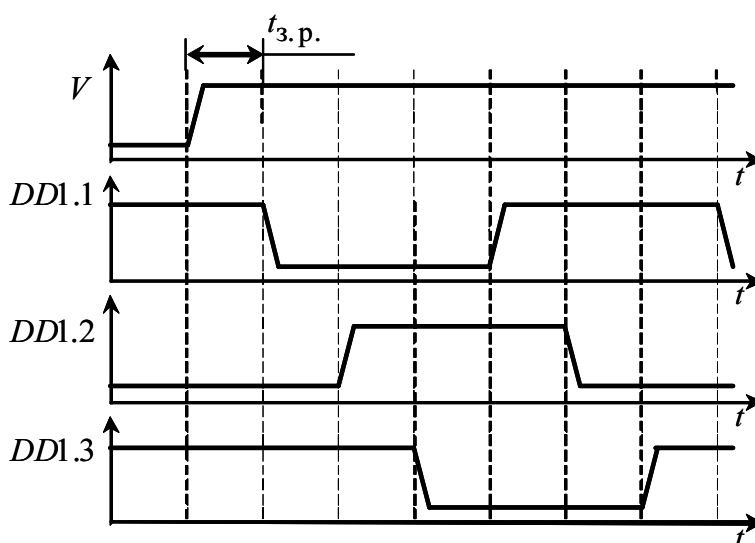


Рис. 3.2. Временные диаграммы работы генератора на собственных временных задержках ИС

Как следует из (3.1), увеличение периода T следования импульсов генератора связано с возрастанием числа элементов в цепочке. Однако на практике число последовательно включенных логических элементов редко превышает трех-пяти.

В практических схемах увеличивают время переключения микросхем введением времязадающих конденсаторов. В таком генераторе

(рис. 3.3) период следования импульсов определяется в основном не собственной задержкой переключения интегральных микросхем, а значением емкости $C1$ и внутренними сопротивлениями интегральных схем $DD1.1$ и $DD1.2$. Инвертор $DD1.3$ служит для создания положительной обратной связи и усиления сигнала.

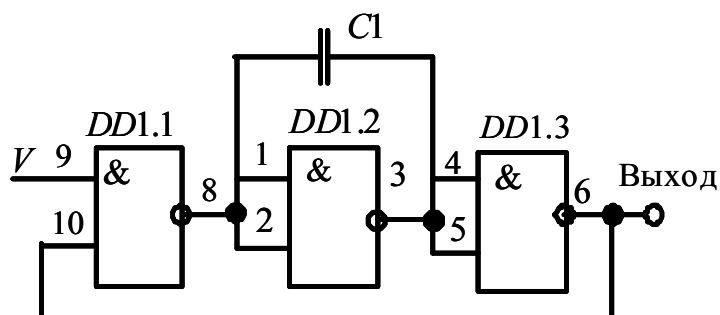


Рис. 3.3. Генератор с времязадающей емкостью

Работу генератора целесообразно рассмотреть, раскрыв функционально интегральные схемы $DD1$ (рис. 3.4).

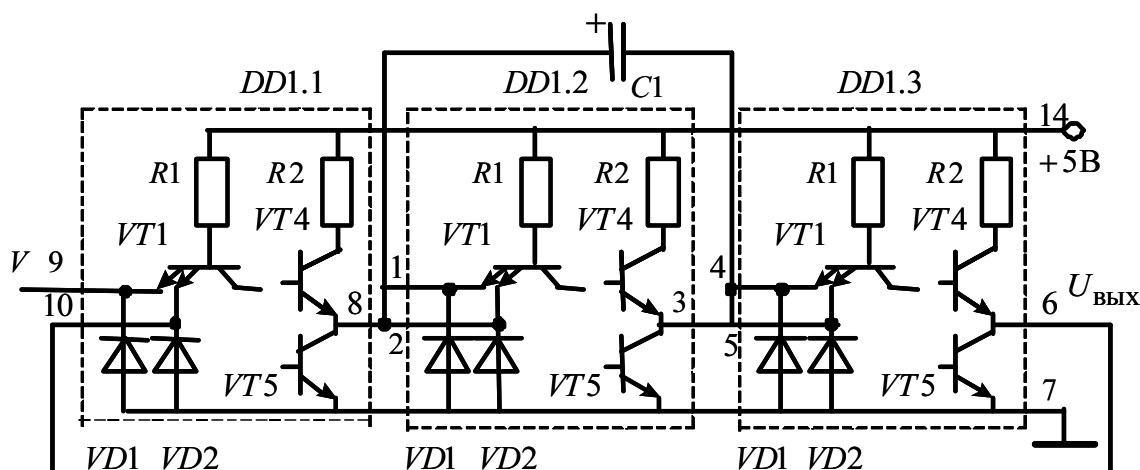


Рис. 3.4. Функциональная схема генератора с времязадающей емкостью

В исходном состоянии, когда на вход V подан низкий уровень напряжения U_v^0 , на выходе 8 ($DD1.1$) устанавливается высокий уровень напряжения – 1, а на выходе 3 ($DD1.2$) – низкий, т. е. 0 (рис. 3.5). Конденсатор $C1$ заряжен по цепи: «+» источника питания +5 В, резистор $R2$, транзистор $VT2$ логического элемента $DD1.1$, конденсатор $C1$, транзистор $VT5$ логического элемента $DD1.2$, «-» источника питания, так, что у него на левой обкладке положительный потенциал.

Генератор начинает работать при подключении ко входу V сигнала высокого уровня. В этом случае на оба входа элемента $DD1.1$ будут

поданы сигналы высокого логического уровня и, согласно логике работы микросхемы 2И-НЕ, на выходе 8 устанавливается низкий уровень напряжения (рис. 3.5), причем транзистор $VT3$ $DD1.1$ открывается. Конденсатор $C1$ разряжается по цепи: «+» на левой обкладке, транзистор $VT5$ логического элемента $DD1.1$, диоды $VD1$, $VD2$ логического элемента $DD1.3$, «-» на правой обкладке. Через время задержки распространения входного сигнала логического элемента $DD1.2$ его транзистор $VT4$ откроется, а транзистор $VT5$ закроется. После разряда конденсатора $C1$ начинается его заряд по цепи: «+» источника питания +5 В, резистор $R2$, транзистор $VT4$ логического элемента $DD1.2$, конденсатор $C1$, транзистор $VT5$ логического элемента $DD1.1$. Положительный потенциал появляется на правой обкладке конденсатора $C1$, а отрицательный – на левой. Напряжение на выходе элемента $DD1.2$ (вывод 3) в момент времени t_1-t_2 увеличивается по экспоненциальному закону (рис. 3.5).

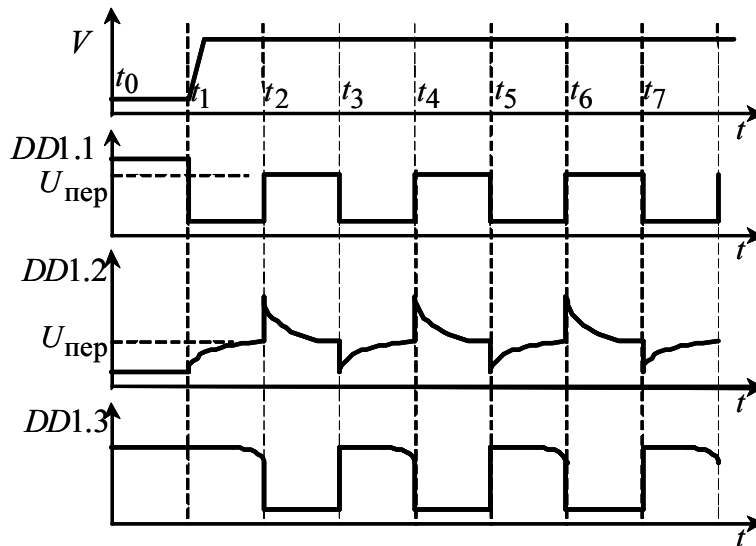


Рис. 3.5. Диаграммы напряжений генератора по схеме рис. 2.3

При достижении на выходе 3 логического элемента $DD1.2$ напряжения равного напряжению переключения $U_{пер}$ логического элемента $DD1.3$ в момент времени t_2 , происходит переключение логического элемента $DD1.3$ с высокого логического уровня на низкий. Очевидно, что логический элемент $DD1.1$ в момент времени t_2 переключится с низкого уровня на высокий уровень (через время распространения сигнала). Левая обкладка конденсатора $C1$, накопившая отрицательный потенциал, подключается к высокому уровню напряжения на выходе 8 логического элемента $DD1.1$.

За счет суммирования высокого уровня напряжения на выходе логический элемент $DD1.1$ и напряжения конденсатора $C1$ в момент времени t_2 происходит скачкообразное увеличение уровня напряжения на выходе логического элемента $DD1.2$ до напряжения $2 \cdot U_{\text{пер}}$. На интервале времени $t_2 - t_3$ начинаются два процесса:

- разряд конденсатора $C1$ по цепи: «+» на правой обкладке $C1$; открытый транзистор $VT4$, резистор $R2$, резистор $R1$, эмиттерный переход транзистора $VT1$ логического элемента $DD1.2$, «-» левой обкладки конденсатора. Этот процесс поддерживает в приоткрытом состоянии транзисторы $VT4$ и $VT1$ и обеспечивает снижение уровня напряжения на выходе 3 логического элемента $DD1.2$ по экспоненциальному закону
- перезаряд конденсатора $C1$ по цепи: «+» источника питания +5 В резистор $R2$, транзистор $VT2$ логического элемента $DD1.1$ и параллельно соединенный база – эмиттерный переход транзистора $VT1$, резистор $R1$ логического элемента $DD1.2$, конденсатор $C1$, приоткрытый транзистор $VT5$ логического элемента $DD1.2$, «-» источника питания.

Таким образом, за счет включения $C1$, шунтирующего логический элемент $DD1.2$, происходит перевод цифрового инвертора $DD1.2$ на работу в усилительный режим с коэффициентом усиления по напряжению $k_u \approx 10$. Напряжение на выходе 8 логического элемента $DD1.1$ за счет приоткрытого состояния цепи база–эмиттер транзистора $VT4$ ограничивается на уровне напряжения переключения $U_{\text{пер}}$, а на выходе 3 логического элемента $DD1.2$ снижается до уровня $U_{\text{пер}}$ за счет перезаряда $C1$. Полярность напряжения на $C1$: «+» на левой обкладке, «-» на правой. В момент времени t_3 напряжение на выходе логического элемента $DD1.3$ меняет свое состояние – переключается с низкого уровня на высокий. Через время задержки распространения на выходе 8 сигнал с высокого уровня $U_{\text{пер}}$ переключается на низкий. Транзисторы $VT5$ логического элемента $DD1.1$ и $VT1$ логического элемента $DD1.2$ открыты, а $VT4$ логического элемента $DD1.2$ и $VT5$ логического элемента $DD1.2$ закрыты.

Напряжение на выходе 3 логического элемента $DD1.2$ в момент времени t_3 скачкообразно уменьшается с уровня $U_{\text{пер}}$ до низкого уровня за счет отрицательного потенциала на правой обкладке конденсатора $C1$. Конденсатор $C1$ с момента времени t_3 начинает перезарядаться по цепи, указанной для момента времени t_1 , и процесс формирования выходных импульсов генератора аналогичен рассмотренному выше.

Генератор (рис. 2.3) позволяет регулировать частоту колебаний выходного сигнала изменением постоянной времени

$$\tau = k \cdot C1, \quad (3.2)$$

где k – коэффициент, зависящий от порога переключения микросхемы и ее коэффициента усиления.

Для увеличения постоянной времени τ в цепи времязадающего конденсатора $C1$ включают резисторы. Варианты реализации генераторов с внешней RC -цепью приведены на рис. 3.6–3.11.

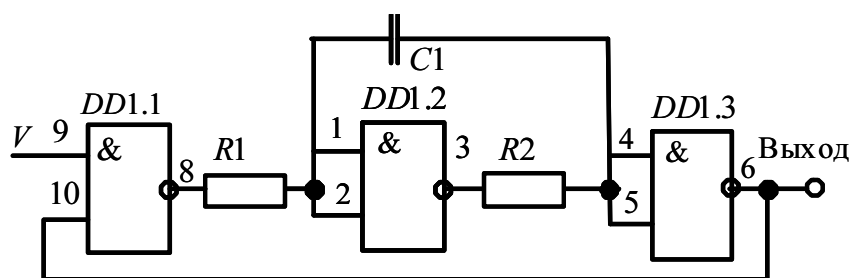


Рис. 3.6. Генератор с времязадающей RC -цепью

В генераторе рис. 3.6 период T вырабатываемых импульсов определяется постоянной времени $\tau = R1 \cdot C1$, причем $T = (1...2)\tau$. При использовании инвертора ТТЛ серии 555 сопротивление $R1$ лежит в диапазоне от 0 до 2 кОм. Резистор $R2$ включают тогда, когда требуется формировать импульсы с относительной продолжительностью, близкой к 0,5. В этом случае период T увеличивается. Особенностью схем на рис. 3.1, 3.3, 3.6 является наличие управляющего входа V . При подключении к входу V сигнала низкого уровня генерация импульсов прекращается.

Генератор рис. 3.7 также снабжен входом разрешения генерации. Элементы $DD1.2$ и $DD1.4$ образуют RS -триггер. В таком применении его называют защелкой. Если на вход V элемента $DD1.4$ подать сигнал высокого уровня, на его выходе установится низкий уровень напряжения и генерация в линейке $DD1.1$ – $DD1.3$ прекратится, причем генератор прекратит свою работу не мгновенно, а только после формирования очередного полного импульса. На выходе генератора по окончании генерации устанавливается положительный потенциал.

В генераторах (рис. 3.6, 3.7) увеличение сопротивления $R1$ на величину более 2 кОм уменьшает глубину положительной обратной связи, и генерация прекращается. Поэтому для получения импульсов низкой частоты приходится применять большие емкости $C1$, что не всегда удобно на практике. Для согласования высокоомного каскада с низкоомным в электронике применяются эмиттерные повторители.

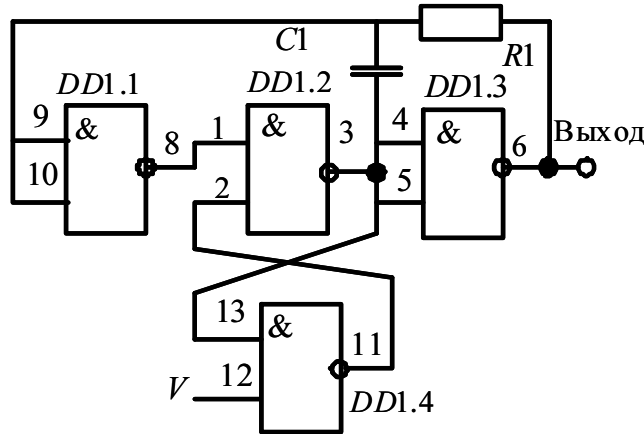


Рис. 3.7. Генератор с «защелкой»

Если схему на рис. 3.6 дополнить эмиттерным повторителем $VT1$, как это показано на рис. 3.8, то сопротивление резистора $R1$ можно увеличить до 10–20 кОм.

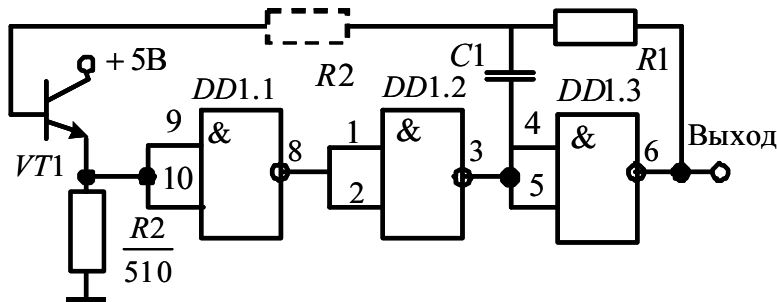


Рис. 3.8. Генератор с эмиттерным повторителем

Дальнейшее увеличение сопротивления $R1$ в генераторе (рис. 3.6) возможно при замене инвертора ТТЛ, имеющего коэффициент усиления порядка 10, на транзисторный инвертор. Используя в генераторе (рис. 3.9) инвертор на транзисторе $VT1$, который имеет статический коэффициент усиления тока базы порядка 100–300, можно увеличить сопротивление резистора $R1$ до 30...100 кОм, расширив тем самым частотный диапазон работы генератора. Резистор $R2$ включают тогда, когда требуется формировать импульсы с относительной продолжительностью, близкой к 0,5.

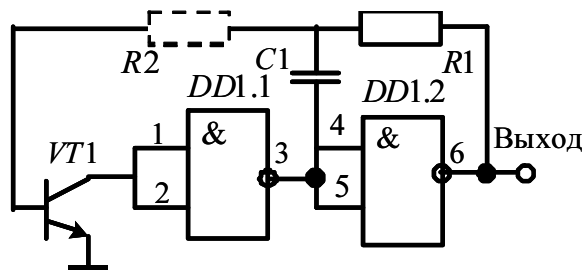


Рис. 3.9. Генератор с инвертором на транзисторе

Установив переменный резистор (рис. 3.10), несложно выполнить генератор с регулируемым периодом колебаний выходного сигнала.

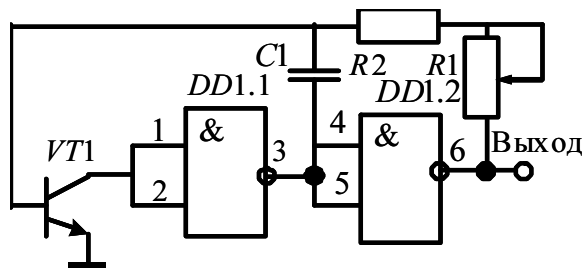


Рис. 3.10. Генератор регулируемой частоты

Генератор ультразвуковых частот можно выполнить, если эмиттерный повторитель (рис. 3.8) заменить на истоковый повторитель на полевом транзисторе (рис. 3.11). Период следования импульсов такого генератора может достигать нескольких секунд.

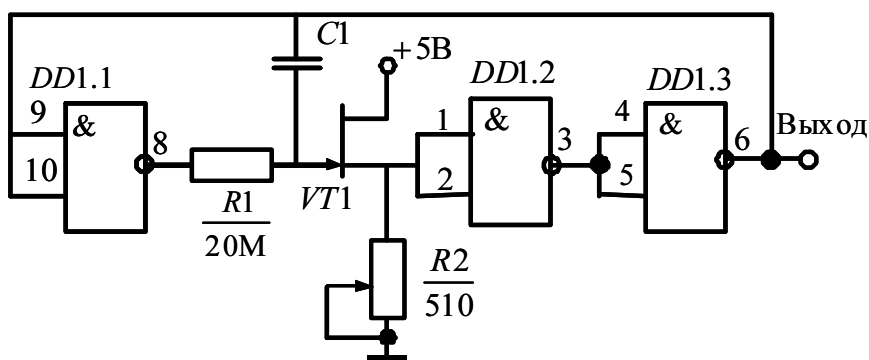


Рис. 3.11. Генератор с истоковым повторителем

3.3. Генератор на двух интегральных микросхемах

В генераторе по схеме рис. 3.12 резистор $R1$ охватывает логический элемент $DD1.1$ отрицательной обратной связью, уменьшая и стабилизируя его коэффициент усиления. Этот же резистор является разрядным для конденсатора $C1$. Вход V является управляющим.

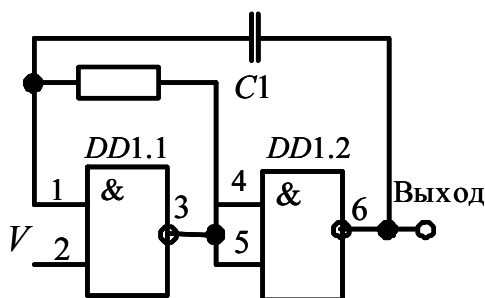


Рис. 3.12. Генератор на двух логических элементах

Рассмотрим работу генератора, раскрыв функционально логические элементы $DD1.1$ и $DD1.2$ (рис. 3.13).

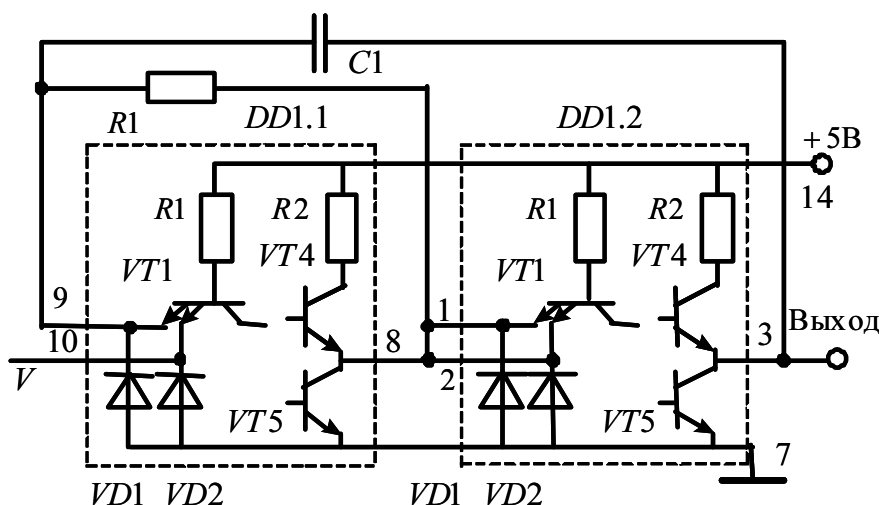


Рис. 3.13. Функциональная схема генератора

В исходном состоянии, когда на вход V подан низкий уровень напряжения $V = 0$ (рис. 3.14), на выходе логического элемента $DD1.1$ устанавливается высокий уровень напряжения – 1, а на выходе логического элемента $DD1.2$ – низкий уровень. Конденсатор $C1$ заряжен по цепи: «+» источника питания, транзистор $VT4$ логического элемента $DD1.1$, резистор $R1$, конденсатор $C1$, транзистор $VT5$ логического элемента $DD1.2$, «-» источника питания – так, что у него на левой обкладке положительный потенциал.

Генератор начинает работать при подключении к входу V сигнала высокого уровня, момент времени t_1 (рис. 3.14). В этом случае логические элементы $DD1.1$ и $DD1.2$ меняют свое состояние. На выходе элемента $DD1.1$ устанавливается низкий уровень напряжения, а на выходе $DD1.2$ – высокий уровень, причем открываются транзисторы $VT5$ $DD1.1$ и $VT4$ элемента $DD1.2$. Конденсатор $C1$ начинает перезаряжаться по следующей цепи: «+» источника питания, транзистор $VT4$ элемента $DD1.2$, конденсатор $C1$, резистор $R1$, транзистор $VT5$ элемента $DD1.1$ «-» источника питания. Положительный потенциал на входе 9 элемента $DD1.1$ снижается, и при достижении порогового значения $U_{пер}$ (рис. 3.14) транзистор $VT1$ элемента $DD1.1$ открывается, а потенциал на его эмиттере изменяется скачком (момент времени t_2). В первый момент эмиттерный ток транзистора $VT1$ элемента $DD1.1$ протекает через внешний резистор $R1$ и открытый транзистор $VT5$ элемента $DD1.1$. Логический элемент $DD1.1$ изменяет свое состояние так, что его транзи-

стор $VT4$ открывается. На выходе 8 элемента $DD1.1$ устанавливается высокий логический уровень напряжения.

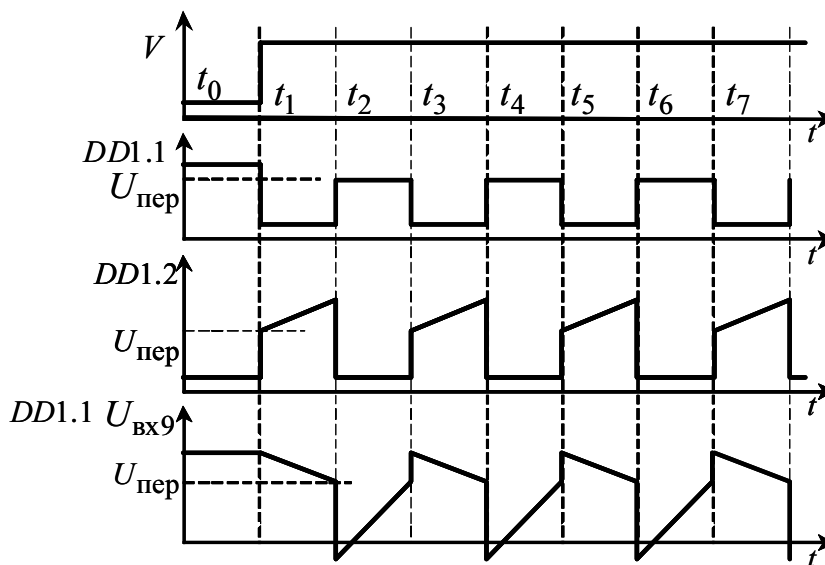


Рис. 3.14. Диаграммы напряжений

С задержкой распространения меняет свое состояние и логический элемент $DD1.2$, у него открывается транзистор $VT5$, и, следовательно, на выходе 3 логического элемента $DD1.2$ устанавливается низкий логический уровень напряжения. Конденсатор $C1$ начинает перезаряжаться по цепи: «+» источника питания, транзистор $VT4$ элемента $DD1.2$, конденсатор $C1$, внешний резистор $R1$ транзистор $VT5$ логического элемента $DD1.1$, «-» источника питания. Далее процессы повторяются.

Регулируют период следования импульсов генератора изменением значения сопротивления $R1$ и емкости $C1$. Однако при больших значениях сопротивления $R1$ (более 2 кОм) транзистор $VT1$ логического элемента $DD1.1$ не открывается и генерация не возникает. В этом случае для уменьшения частоты импульсов генератора, выполненного на двух элементах ТТЛ, или увеличивают емкость конденсатора $C1$, или при той же емкости оба логических элемента охватывают обратной связью с помощью резисторов $R1$ и $R4$, а также вводят дополнительные резисторы $R2$ и $R3$ (рис. 3.15).

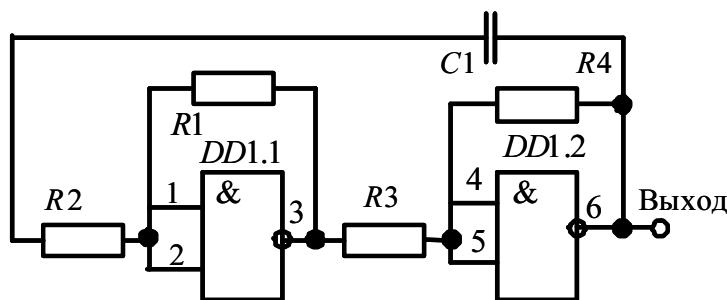


Рис. 3.15. Генератор

Вариант генератора с изменяющейся относительной продолжительностью импульса приведен на рис. 3.16.

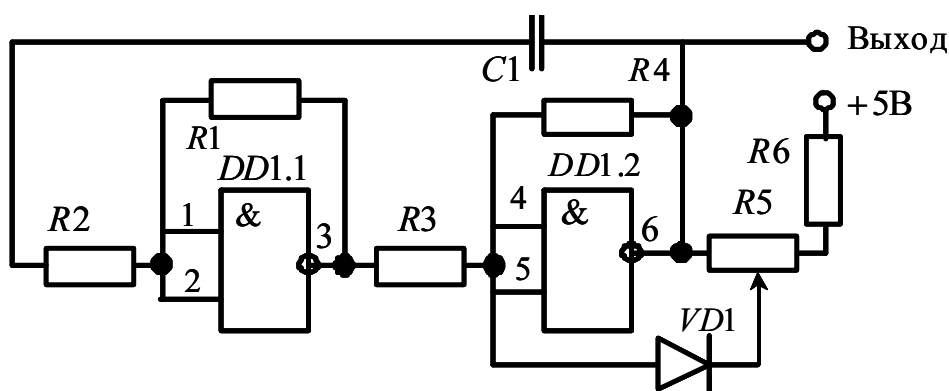


Рис. 3.16. Генератор с регулируемой продолжительностью импульса

Еще один вариант генератора на цифровых интегральных схемах и двумя вреязадающими цепями приведен на рис. 3.17.

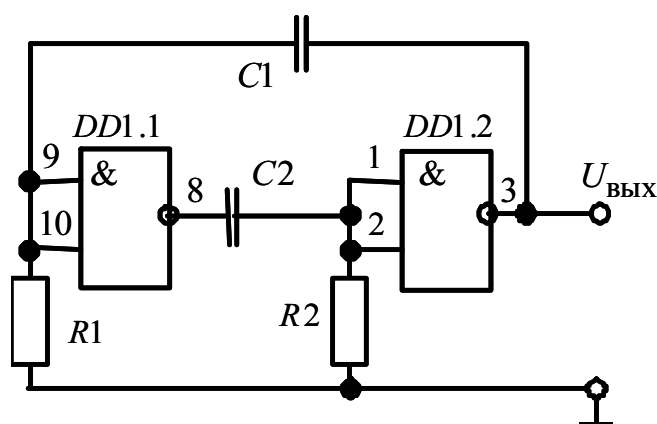


Рис. 3.17. Генератор с двумя вреязадающими конденсаторами

3.4. Порядок выполнения работы на лабораторном стенде

1. Ознакомьтесь с описанием лабораторного стенда.
2. Убедитесь, что устройства, используемые в эксперименте, отключены от сети электропитания.
3. Соедините аппаратуру в соответствии со схемой электропитания.
4. Изобразите принципиальную схему выбранного генератора на черновике с учетом имеющихся в наличии логических устройств. Очевидно, возможна их взаимная замена. Так, например, большинство логических устройств 2И-НЕ, входящих в схемы генераторов, выполняют функцию НЕ, так как оба их входа объединены.

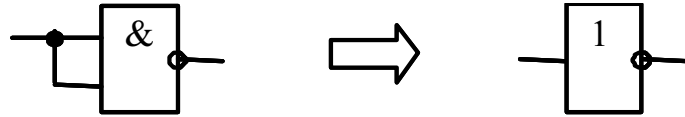


Рис. 3.18. Вариант замены одного логического устройства другим

5. Соберите исследуемый генератор на наборном поле блока испытания цифровых устройств А1, используя рекомендации по проведению экспериментов лабораторной работы № 2 (раздел 2.7.7).

6. Включите устройство защитного отключения и автоматический выключатель в однофазном источнике питания Q1.

7. Включите выключатель «СЕТЬ» блока испытания цифровых устройств А1.

8. Установите времязадающие емкости генераторов в соответствии с табл. 3.1 для указанного преподавателем варианта.

Таблица 3.1

Вариант, №	1	2	3	4	5	6	7	8	9
С, мкф	0,01	0,022	0,1	0,22	0,47	1	0,032	0,11	0,32

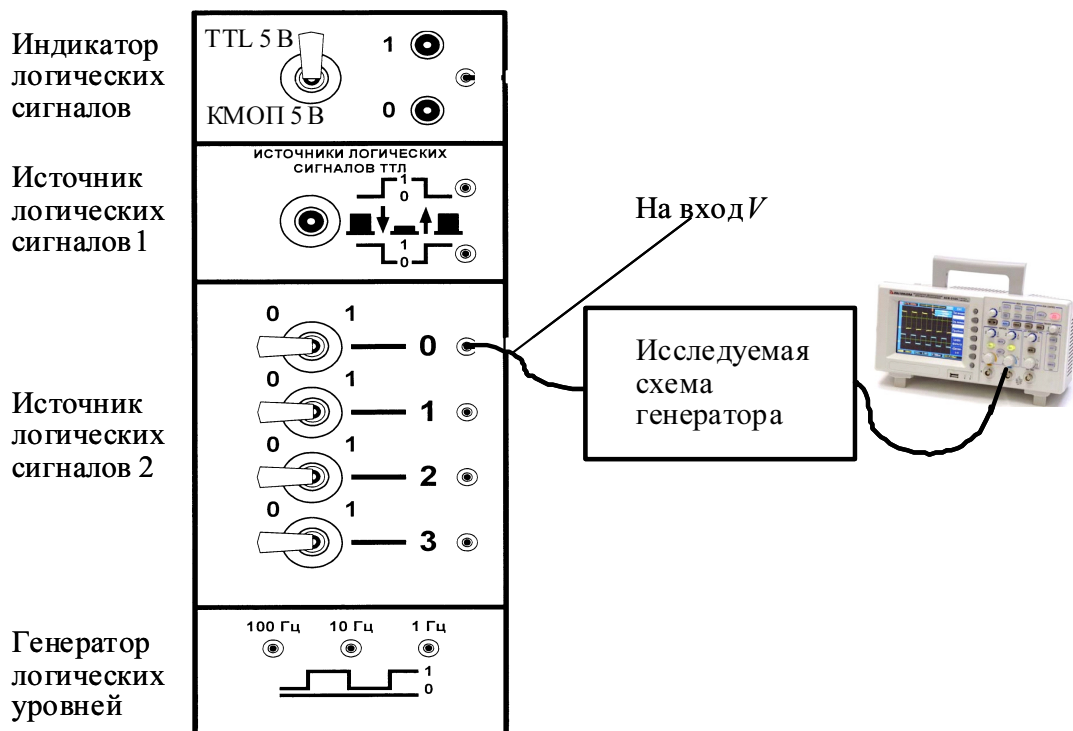


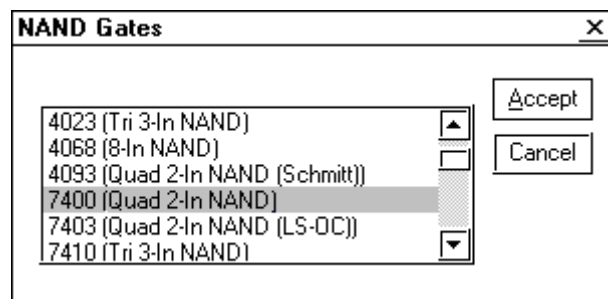
Рис. 3.19. Схема для тестирования генераторов

9. Исследуйте работу генератора с использованием цифрового осциллографа. Результаты исследования должны быть представлены в виде собранных схем, синхронизированных во времени диаграмм напряжений и т. д.

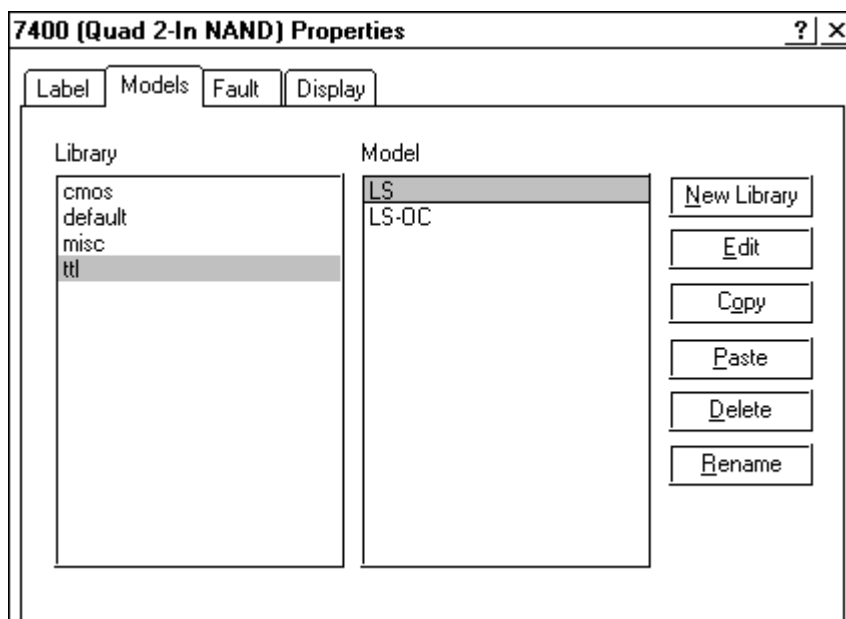
3.5. Порядок выполнения работы в программной среде Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Соберите генератор (по указанию преподавателя) на реальных элементах. Для этого вызовите библиотеку логических элементов (Logic Gates).

Установите курсор мыши на элемент **NAND** (И-НЕ) и, нажав левую кнопку, перемещая мышь, поставьте элемент на требуемое место наборного поля. Отпустите кнопку. Дважды щелкните по выделенному элементу. Когда появится диалоговое окно, однократным щелчком выберите элемент **Quad 2-In NAND** серии **7400**, затем щелкните по кнопке **Accept**.



Вновь дважды щелкните по выделенному элементу. В появившемся диалоговом окне выберите элементы **ttl**, а затем – модель **LS**, щелкнув по ним левой клавишей.



Нажмите кнопку **ОК**.

Подключив выход (выходы) генератора к осциллографу, исследуйте работу генератора.

Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам так, чтобы рядом появился символ ✓, а затем выполните команду **Print**.

3.6. Содержание отчета

1. Цель работы.
2. Принципиальные схемы исследуемых генераторов в соответствии со стандартами, с описанием принципа их действия.
3. Таблицы, осциллограммы, комментарии и пояснения к ним.
4. Определить с помощью осциллограмм период и частоту следования импульсов каждого из собранных генераторов.
5. Выводы о проделанной работе.

3.7. Задания для самопроверки

1. Что называют электронным генератором импульсов?
2. Какими параметрами определяется длительность полупериода мультивибратора?
3. В чем отличие симметричного мультивибратора от несимметричного?
4. Чем определяется длительность периода генератора на интегральных микросхемах?

3.8. Список литературы

1. Бойко В.И. и др. Схемотехника электронных систем. Аналоговые и импульсные устройства / В.И. Бойко и др. – Санкт-Петербург : БХВ-Петербург, 2004. – 496 с.
2. Шило В.Л. Популярные цифровые микросхемы : справочник / В.Л. Шило. – Москва : Металлургия, 1989. – 352 с.
3. Хоровиц П., Хилл У. Искусство схемотехники. В 3 томах ; пер. с англ. – 4-е изд. перераб и доп. – Москва : Мир. 1993. – Т. 1. – 413 с.
4. Титце У. Полупроводниковая схемотехника : справочное руководство / У. Титце, К. Шенк ; пер. с нем. – Москва : Мир, 1982. – 512 с.
5. Гутников В.С. Интегральная электроника в измерительных устройствах / В.С. Гутников. – Ленинград : Энергоатомиздат, 1988. – 304 с.

4. ИССЛЕДОВАНИЕ ОДНОВИБРАТОРОВ

Лабораторная работа № 4

Цель работы: изучение принципа действия одновибраторов, получение практических навыков по их исследованию.

4.1. Общие положения

Одновибратор – это электронное устройство с одним устойчивым состоянием равновесия. В технической литературе встречается еще одно название одновибратора – ждущий мультивибратор.

Одновибратор обладает одним длительно устойчивым состоянием равновесия, в котором он находится до подачи запускающего импульса. Второе возможное состояние является временно устойчивым. В это состояние одновибратор переходит под действием запускающего импульса и может находиться в нем конечное время t_B , после чего автоматически возвращается в исходное состояние.

Основными требованиями к одновибраторам являются стабильность длительности выходного импульса и устойчивость его исходного состояния.

Одновибраторы применяются прежде всего для расширения импульсов по длительности, задержки кратковременных импульсов на требуемое время, получения определенного временного интервала, деления частоты повторения импульсов.

В настоящей лабораторной работе рассматриваются одновибраторы, выполненные на транзисторах и цифровых интегральных микросхемах.

4.2. Одновибратор на транзисторах

Схема одновибратора на транзисторах $VT1$ и $VT2$ с эмиттерной связью приведена на рис. 4.1, диаграммы напряжений, поясняющие его работу, на рис. 4.2.

Одновибратор характеризуется наличием емкостной связи между коллектором транзистора $VT1$ и базой транзистора $VT2$ и вторым элементом положительной обратной связи – резистором $R5$.

Одновибратор работает следующим образом.

В исходном состоянии на интервале времени t_0-t_1 транзистор $VT2$ полностью открыт.

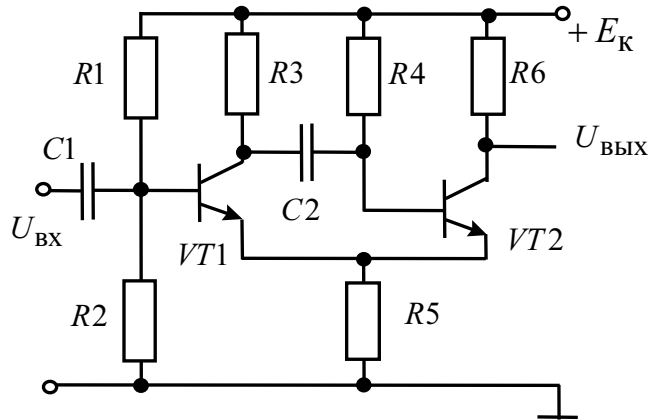


Рис. 4.1. Одновибратор на транзисторах

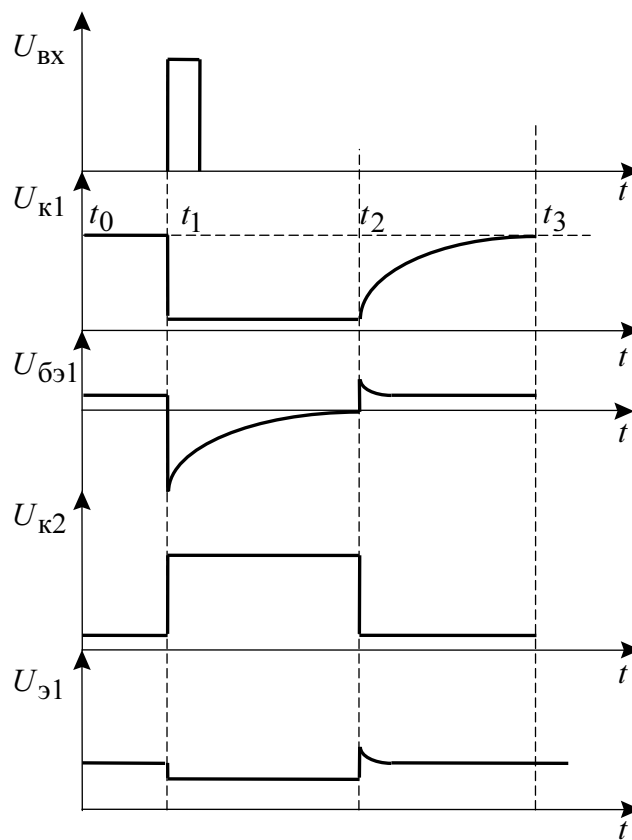


Рис. 4.2. Диаграммы напряжений

Глубина насыщения транзистора $VT2$ определяется соотношением сопротивлений в цепях его базы $R4$ и коллектора $R6$. Транзистор $VT1$ закрыт благодаря падению напряжения на резисторе $R5$ и смещению на его базе, определяемому делителем напряжения $R1-R2$. Конденсатор $C2$ заряжен по цепи: «+» источника питания E_k , резистор $R3$, конденсатор $C2$, эмиттерный переход транзистора $VT2$, резистор $R5$ – так, что на его левой обкладке положительный потенциал

$$U_c = E_k - U_{э0},$$

где $U_{э0}$ – падение напряжения на эмиттере транзистора $VT2$ в исходном состоянии.

При появлении короткого запускающего импульса положительной полярности транзистор $VT1$ приоткрывается, и его коллекторный ток вызывает дополнительное падение напряжения на резисторе $R5$. В результате чего поднимается потенциал на эмиттере транзистора $VT2$ и он выходит из состояния насыщения. Как только транзистор $VT2$ оказывается в активной области, начинается регенеративный процесс, во время которого транзистор $VT1$ скачком отпирается, а транзистор $VT2$ запирается.

При насыщенном транзисторе $VT1$ напряжение между его коллектором и эмиттером мало и все напряжение U_c , до которого заряжен конденсатор $C2$, в исходном состоянии прикладывается к базе транзистора $VT2$, поддерживая его в закрытом состоянии.

Конденсатор $C2$ начинает перезаряжаться по цепи: «+» источника питания E_k , резистор $R4$, конденсатор $C2$, транзистор $VT1$, резистор $R5$, «-» источника E_k (интервал времени t_1-t_2).

Как только напряжение на конденсаторе $C2$ достигнет нуля (момент времени t_2), напряжение между базой и эмиттером транзистора $VT2$ также станет равным нулю, и транзистор $VT2$ начнет отпираться. После отпирания транзистора $VT2$ его эмиттерный ток возрастает, что вызывает падение напряжения на резисторе $R5$. Транзистор $VT1$ выходит из состояния насыщения, переходит в активную область, и в схеме начинается скачкообразно протекающий регенеративный процесс возврата транзисторов в исходное состояние.

После окончания этого процесса транзистор $VT2$ насыщается, а $VT1$ запирается. Возврат одновибратора в исходное состояние продолжается в течение еще некоторого времени t_2-t_3 перезаряда конденсатора $C2$ по цепи: «+» источника питания E_k , резистор $R3$, конденсатор $C2$, транзистор $VT2$, резистор $R5$, «-» источника питания. Процесс восстановления исходного состояния завершается, когда напряжение на конденсаторе $C2$ достигнет исходного значения:

$$U_c = E_k - U_{э0}.$$

4.3. Одновибратор на логических элементах

Одновибратор построен на двух логических элементах 2И-НЕ ($DD1.1$ и $DD1.2$), (рис. 4.3). Диаграммы напряжений, поясняющие его работу, представлены на рис. 4.4.

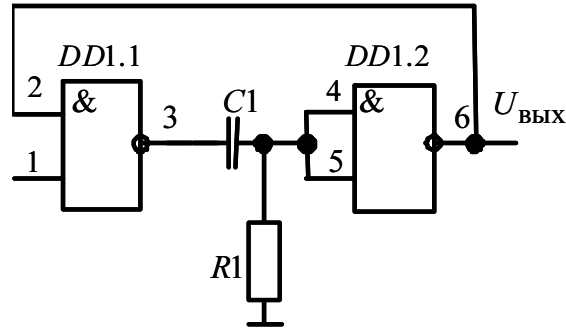


Рис. 4.3. Одновибратор на интегральных схемах

При рассмотрении работы одновибратора целесообразно раскрыть принципиальную электрическую схему каждого элемента (рис. 4.5).

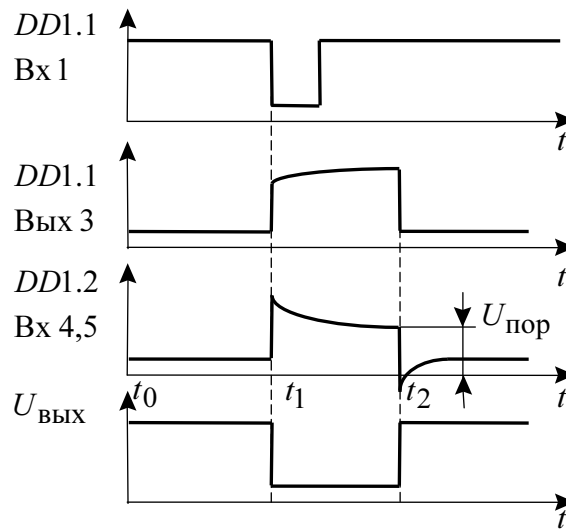


Рис. 4.4. Диаграммы напряжений

В исходном состоянии на входе V схемы (вывод 1 элемента $DD1.1$) высокий уровень напряжения U (момент времени $t=0$ на рис. 4.4). На входе элемента $DD1.2$ (выводы 4 и 5) низкий уровень – 0, который подан на вход схемы через внешний резистор $R1$. Следовательно, на выходе одновибратора (вывод 6 элемента $DD1.2$) – высокий уровень – 1, который по цепи обратной связи поступает на вход 2 элемента $DD1.1$. В соответствии с логикой работы логической схемы И-НЕ на выходе элемента $DD1.1$ устанавливается низкий уровень, и конденсатор $C1$ шунтирован резистором $R1$ через открытый транзистор $VT5$ элемента $DD1.1$.

Поданный на вход V схемы запускающий импульс низкого логического уровня $V=0$ (время t_1 на рис. 4.4) устанавливает на выходе $DD1.1$ высокий уровень – 1. При этом транзистор $VT5$ элемента $DD1.1$ закрывается и начинается заряд конденсатора $C1$ по цепи: «+» источника питания,

транзистор $VT4$ элемента $DD1.1$, конденсатор $C1$, резистор $R1$, « \leftrightarrow » источника питания. По мере заряда конденсатора напряжение на резисторе $R1$ и, соответственно, на входе элемента $DD1.2$ падает. Как только это напряжение достигнет порогового уровня $U_{пор}$ (время t_2 на рис. 4.4), на выходе элемента $DD1.2$ установится высокий уровень напряжения, а на выходе элемента $DD1.1$ – низкий уровень напряжения. После этого начинается разряд конденсатора $C1$ через открытый транзистор $VT5$ элемента $DD1.1$ и диоды $VD1$, $VD2$ элемента $DD1.2$. По окончании процесса разряда одновибратор возвращается в исходное состояние.

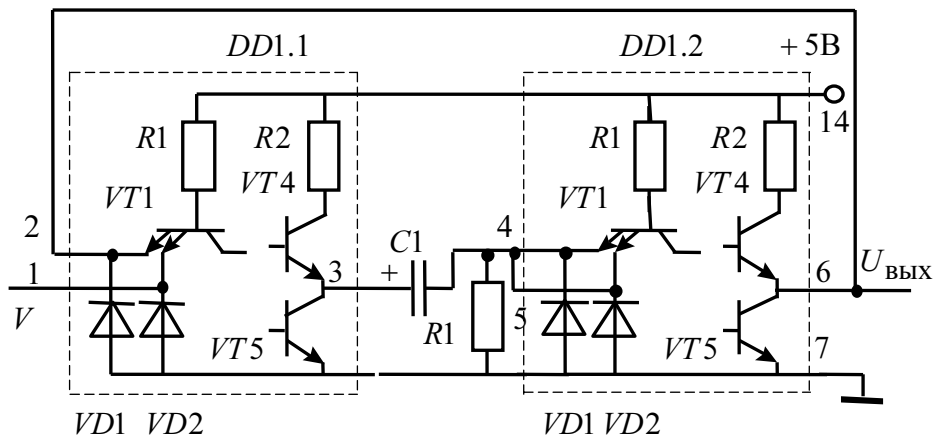


Рис. 4.5. Одновибратор с времязадающей емкостью

Другие возможные варианты одновибраторов показаны на рис. 4.6 и рис. 4.7.

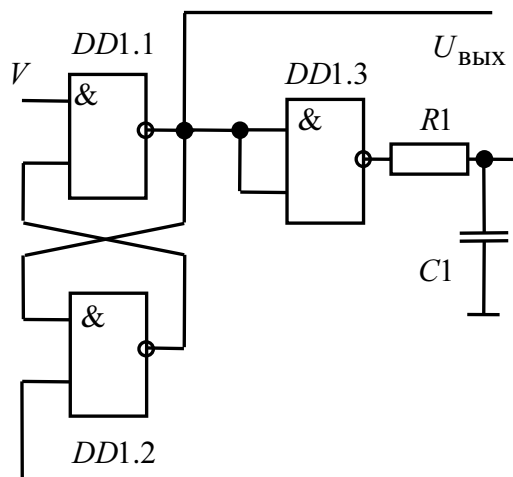


Рис. 4.6. Одновибратор с RS-триггером

В одновибраторе по схеме рис. 4.6 элементы $DD1.1$ и $DD1.2$ образуют RS -триггер. Длительность выходного импульса одновибратора определяется разрядом конденсатора $C1$.

В одновибраторе по схеме рис. 4.7 длительность импульса также определяется зарядом конденсатора $C1$.

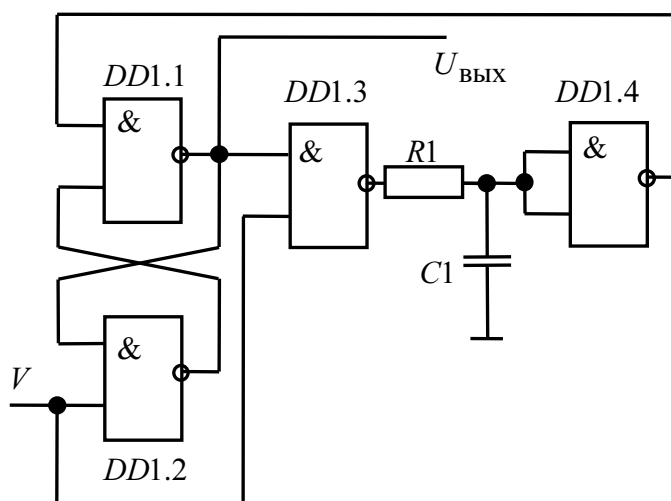


Рис. 4.7. Одновибратор

4.4. Порядок выполнения работы на лабораторном стенде

1. Ознакомьтесь с описанием лабораторного стенда.
2. Убедитесь, что устройства, используемые в эксперименте, отключены от сети электропитания.
3. Соедините аппаратуру в соответствии со схемой электропитания.
4. Изобразите принципиальную схему выбранного одновибратора на черновике с учетом имеющихся в наличии логических устройств. Очевидно, возможна их взаимная замена. Некоторые из логических устройств 2И-НЕ, входящих в схемы одновибраторов, выполняют функцию НЕ, так как их оба входа объединены.

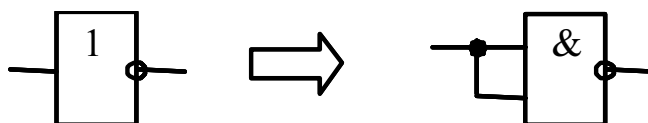


Рис. 4.8. Вариант замены одного логического устройства другим

5. Соберите исследуемый одновибратор на наборном поле блока испытания цифровых устройств $A1$, используя рекомендации по проведению экспериментов лабораторной работы № 2 (раздел 2.7.7). Для запуска одновибратора используйте генератор прямоугольных импульсов лабораторного стенда.

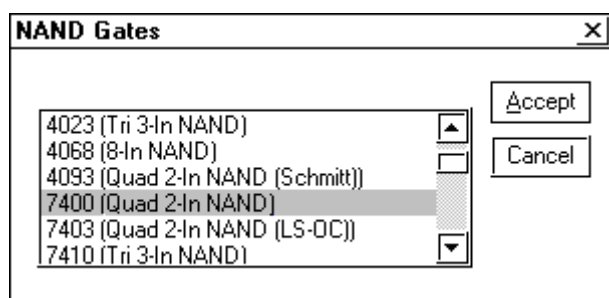
6. Включите устройство защитного отключения и автоматический выключатель в однофазном источнике питания $Q1$.

7. Включите выключатель «СЕТЬ» блока испытания цифровых устройств А1.

8. Исследуйте работу генератора с использованием цифрового осциллографа. Результаты исследования должны быть представлены в виде собранных схем, временных диаграмм синхронизированные во времени и т. д.

4.5. Порядок выполнения работы в программной среде Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Соберите одновибратор (по указанию преподавателя) на реальных элементах. Для этого вызовите библиотеку логических элементов (Logic Gates).



Установите курсор мыши на элемент **NAND (И-НЕ)** и, нажав левую кнопку, перемещая мышь, поставьте элемент на требуемое место наборного поля. Отпустите кнопку. Дважды щелкните по выделенному элементу. Когда появится диалоговое окно, однократным щелчком выберите элемент **Quad 2-In NAND** серии 7400, затем щелкните по кнопке **Accept**. Вновь дважды щелкните по выделенному элементу.

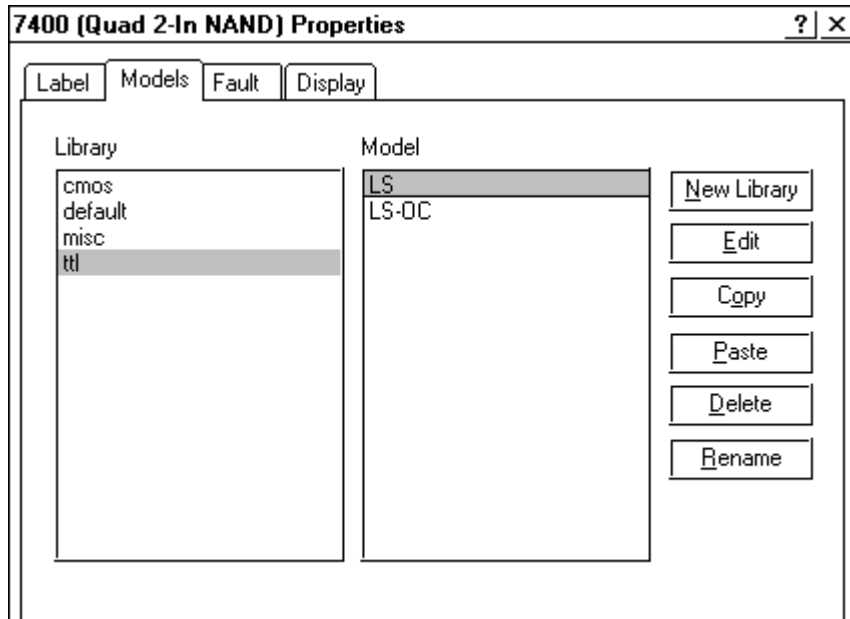
В появившемся диалоговом окне выберите элементы **ttl**, а затем – модель **LS**, щелкнув по ним левой клавишей.

Нажмите кнопку **OK**.

Соберите полную схему одновибратора.

Подключив вход и выход (выходы) одновибратора к осциллографу, исследуйте его работу.

Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам так, чтобы рядом появился символ ✓, а затем выполните команду **Print**.



4.6. Содержание отчета

1. Цель работы.
2. Принципиальные схемы исследуемых одновибраторов в соответствии со стандартами, с описанием принципа их действия.
3. Таблицы, осциллограммы, комментарии и пояснения к ним.
4. Выводы о проделанной работе и полученных результатах.
5. Ответы на контрольные вопросы, указанные преподавателем.

4.7. Контрольные вопросы

1. Какие параметры схемы определяют длительность генерируемого импульса одновибратора?
2. Какими способами можно регулировать длительность импульса одновибратора?
3. Покажите цепи заряда и разряда времязадающего конденсатора.
4. Поясните работу одновибратора в режиме деления частоты.

4.8. Список литературы

1. Гутников В.С. Интегральная электроника в измерительных устройствах / В.С. Гутников. – Ленинград : Энергоатомиздат, 1988. – 304 с.

5. ИССЛЕДОВАНИЕ ТРИГГЕРОВ НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

Лабораторная работа № 5

Цель работы – экспериментальное исследование работы триггеров, выполненных на интегральных микросхемах, и закрепление знаний по последовательностной цифровой логике.

5.1. Общие положения

подавляющее большинство цифровых устройств содержит в качестве основных элементов различные типы триггеров.

Триггерами, или, точнее, триггерными системами называют большой класс электронных устройств, обладающих способностью длительно находиться в одном из двух устойчивых состояний и чередовать их под воздействием внешних сигналов. Каждое состояние триггера легко распознается по значению выходного напряжения.

Триггеры можно классифицировать по ряду признаков:

1. По способу записи информации – асинхронные и синхронные.
2. По способу синхронизации – синхронные со статическим управлением записью, синхронные двухступенчатые, синхронные с динамическим управлением.
3. По способу организации логических связей:
 - триггеры с отдельной установкой 0 и 1 (*RS*-триггеры);
 - триггеры со счетным входом (*T*-триггеры);
 - универсальные триггеры с отдельной установкой 0 и 1 (*JK*-триггеры);
 - триггеры задержки (*D*-триггеры);
 - триггеры задержки с управлением приемом информации по одному входу (*DU*-триггеры);
 - комбинированные триггеры (*RST*-, *JKRS*-, *DRS*-триггеры и др.);
 - триггеры со сложной входной логикой.

Входы триггеров и сигналы, подаваемые на них, делятся на информационные – управляющие состоянием триггера – и вспомогательные, которые служат для предварительной установки триггера в заданное состояние и его синхронизацию.

В табл. 5.1 приведены условные обозначения и назначения входов триггеров.

Поскольку функциональные свойства триггеров определяются их входной логикой, то по названиям основных входов называют и триггер.

Например: *RS*-триггер, *D*-триггер, *RST*-триггер (комбинированный, способный выполнять функции *T*- и *RS*-триггеров).

Таблица 5.1

Условное обозначение	Назначение
	<i>Информационные входы</i>
<i>S</i>	Вход для раздельной установки триггера в состояние 1
<i>R</i>	Вход для раздельной установки триггера в состояние 0
<i>J</i>	Вход для установки триггера в состояние 1
<i>K</i>	Вход для установки триггера в состояние 0
<i>T</i>	Вход двоичного счетчика (счетный вход)
<i>D</i>	Вход для установки триггера в состояние 1 или 0
	<i>Вспомогательные входы</i>
<i>U</i>	Подготовительный вход для разрешения приема информации
<i>C</i>	Исполнительный вход для осуществления приема информации (вход синхронизации или тактирующий вход)

5.2. *RS*-триггеры (асинхронные, нетактируемые)

RS-триггер можно получить, охватив, как показано на рис. 5.1, два логических элемента ИЛИ-НЕ обратными связями. *RS*-триггер выпускается также в интегральном исполнении – в этом случае он может быть изображен в виде отдельного устройства, как показано на рис. 5.2.

Он имеет два выходных сигнала: Q и \bar{Q} , инверсные друг другу, и два входных: *S* (Set) – установка и *R* (Reset) – сброс. Имеется в виду сброс выхода Q -триггера в нулевое состояние.

Если входные сигналы взаимно инверсные, причем $S = 1$ и $R = 0$, то

$$\bar{Q} = \overline{S + Q} = \overline{1 + Q} = 0,$$

$$Q = \overline{R + \bar{Q}} = \overline{0 + 0} = 1.$$

Следовательно, оба выходных сигнала действительно находятся в инверсных друг другу состояниях.

При $R = 1$ и $S = 0$ можно получить обратные значения выходных сигналов триггера. Если $R = S = 0$, то состояние выходных сигналов сохраняется. Поэтому *RS*-триггер можно использовать для запоминания

информации. При $R=S=1$ оба выходных сигнала равны нулю. Однако, если в какой-либо момент оба входных сигнала одновременно станут равными нулю, состояние выходных сигналов триггера не будет определено. Поэтому комбинация входных сигналов $R=S=1$, как правило, является запрещенной. Все возможные состояния триггера на элементах ИЛИ-НЕ отображены в табл. 5.2.

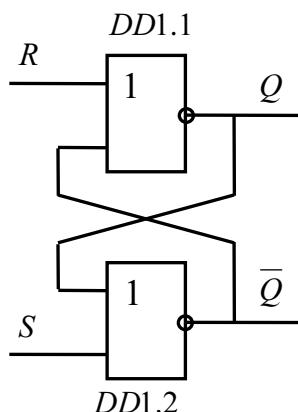


Рис. 5.1. RS-триггер на элементах ИЛИ-НЕ

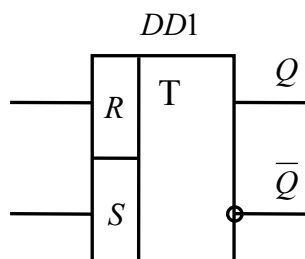


Рис. 5.2. Условное графическое изображение RS-триггера

Таблица 5.2

Состояния для RS-триггера на элементах ИЛИ-НЕ

Режим работы	Входы		Выходы			
	S	R	Q	\bar{Q}	Влияние на выход Q	
Запрещенное состояние	1	1	0	0	Запрещено – как правило, не используется	
Установка 1	1	0	1	0	Для установки Q в 1	
Установка 0	0	1	0	1	Для установки Q в 0	
Хранение	0	0	Q	\bar{Q}	Зависит от предыдущего состояния	

Как следует из табл. 5.2, при выполнении RS-триггера на элементах ИЛИ-НЕ активным уровнем R и S сигналов является высокий уровень – 1. При необходимости, если требуется установить активным низкий уровень входных сигналов, то возможна принципиальная схема RS-триггера, приведенная на рис. 5.3.

В лабораторной работе № 2 было отмечено, что логическое тождество не изменится, если все переменные инвертировать, а операции сложения и умножения поменять местами (теорема де Моргана). Используя это правило, можно получить RS-триггер, построенный на элементах И-НЕ (рис. 5.4) с таблицей состояний 5.3. Следует обратить

внимание на то, что в RS -триггере на элементах И-НЕ входными сигналами активного уровня является 0 и используются переменные \bar{R} и \bar{S} .

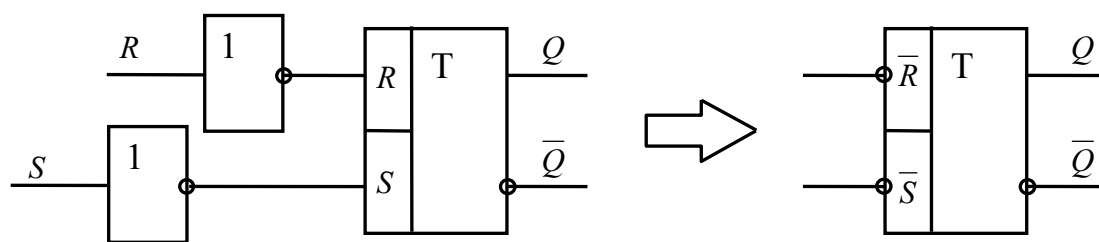


Рис. 5.3. RS -триггер с низким активным уровнем входных сигналов

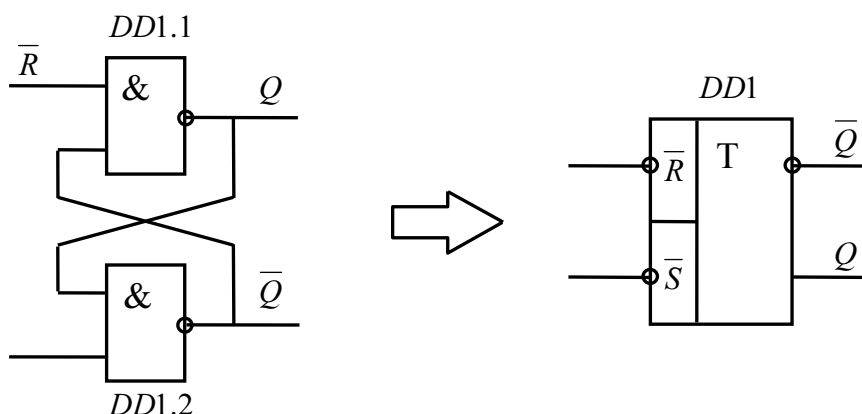


Рис. 5.4. RS -триггер на элементах И-НЕ

Рис. 5.5. Условное графическое изображение RS -триггера на элементах И-НЕ

В данной лабораторной работе RS -триггер на элементах И-НЕ является основным, базовым.

Таблица 5.3

Состояния для RS -триггера на элементах И-НЕ

Режим работы	Входы		Выходы		
	\bar{S}	\bar{R}	Q	\bar{Q}	Влияние на выход Q
Запрещенное состояние	0	0	1	1	Запрещено – как правило, не используется
Установка 1	0	1	1	0	Для установки Q в 1
Установка 0	1	0	0	1	Для установки Q в 0
Хранение	1	1	Q	\bar{Q}	Зависит от предыдущего состояния

Поскольку изменение состояния RS -триггера обусловлено появлением уровня логического 0 на одном из его входов, то, вероятно, более точным обозначением для этой схемы было бы условное графическое

обозначение, приведенное на рис. 5.5. Обратите внимание на инвертирующие окружности по входам R и S . Они показывают, что активным уровнем сигнала для изменения состояния триггера является уровень логического 0 на одном из входов.

При описании работы последовательностных логических схем очень часто используют временные диаграммы сигналов. Временные диаграммы рис. 5.6 фактически содержат ту же информацию, что и таблица истинности.

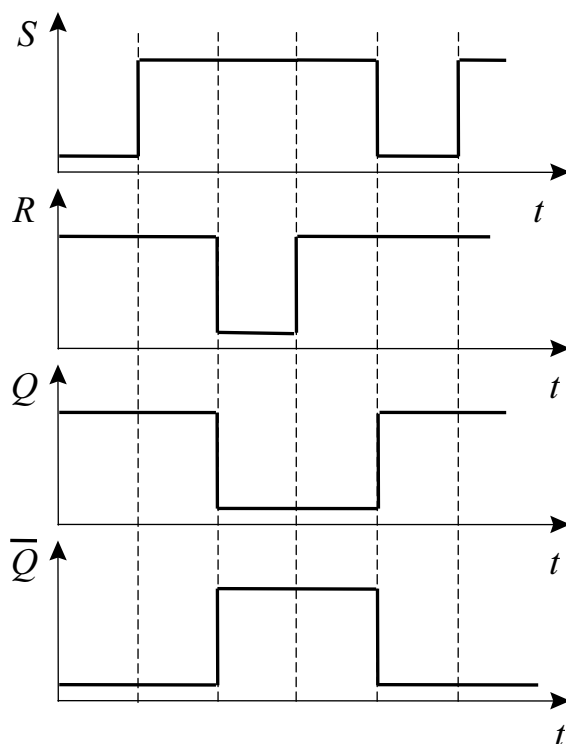


Рис. 5.6. Временные диаграммы для RS-триггера на элементах И-НЕ

При подаче входной комбинации $S=0, R=1$ на выходе Q независимо от предыдущего состояния появится 1, что приведет к появлению нуля на выходе \bar{Q} . При возвращении к комбинации $S=1, R=1$ состояние на выходах сохранится $Q=1, \bar{Q}=0$. Аналогично входная комбинация $S=1, R=0$ однозначно дает: $Q=0$ и $\bar{Q}=1$. Две последние комбинации входных сигналов могут быть использованы для приведения триггера в одно из двух устойчивых состояний.

В трех используемых комбинациях входных сигналов состояние на выходе Q всегда противоположно состоянию на выходе \bar{Q} . Принято два устойчивых состояния триггера сопоставлять с двумя значениями логической переменной, например, состояние $Q=1, \bar{Q}=0$ считать соответствующим логической единице, а состояние $Q=0, \bar{Q}=1$ – соответ-

вующим логическому нулю. Выход, на котором состояние совпадает со значением логической переменной, называют прямым, в нашем случае это выход Q , а другой – инверсным \bar{Q} .

5.3. Синхронизированные RS-триггеры

Синхронизированные триггеры получают из асинхронного RS-триггера путем подключения к его входам схемы управления. На рис. 5.7 показана логическая структура синхронизированного RS-триггера со статическим управлением, выполненного на элементах И-НЕ. Он состоит из собственно RS-триггера ($DD1.3, DD1.4$) и элементов $DD1.1–DD1.2$, образующих схему управления.

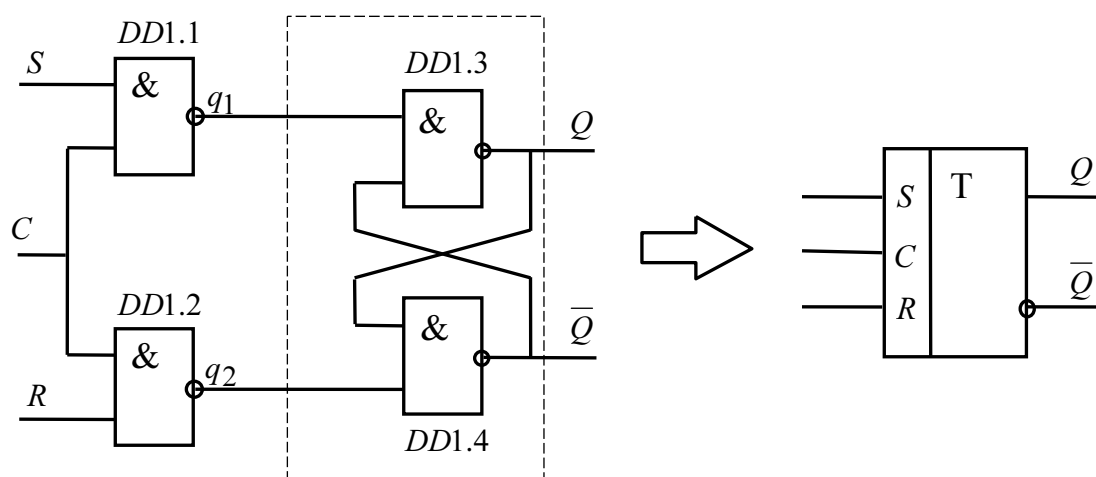


Рис. 5.7. Схема синхронизированного RS-триггера

Входы R и S – информационные, вход C – синхронизирующий (тактовый). Каждый из информационных входов связан с синхронизирующей операцией И-НЕ, поэтому информация с входов S и R может быть передана на собственно триггер ($DD1.3, DD1.4$) только при $C = 1$.

Временные диаграммы, иллюстрирующие работу синхронизированного RS-триггера, показаны на рис. 5.8.

Внутренние сигналы (q_1 и q_2) управляют собственно RS-триггером, который, как и его асинхронный аналог на элементах И-НЕ (см. рис. 5.5), переключается сигналами нулевого уровня. Поскольку на элементах $DD1.1$ и $DD1.2$ происходит инверсия, то для записи информации в триггер потребуются входные сигналы S и R , равные логической 1. Подключать тактовый вход C прямо к элементам $DD1.3$ и $DD1.4$ нельзя, поскольку триггер будет принимать неопределенное состояние при $C = 0$.

Если сигнал на входе $C = 0$, то входные элементы $DD1.1$ и $DD1.2$ заблокированы и их состояние не зависит от сигналов на информацион-

ных входах S и R , выходные сигналы q_1 и q_2 равны 1. Это является нейтральной комбинацией для RS -триггера, который хранит свое предыдущее состояние. Работу триггера рассмотрим на примере, допустим, что $Q=1$, $R=1$, а $S=0$.

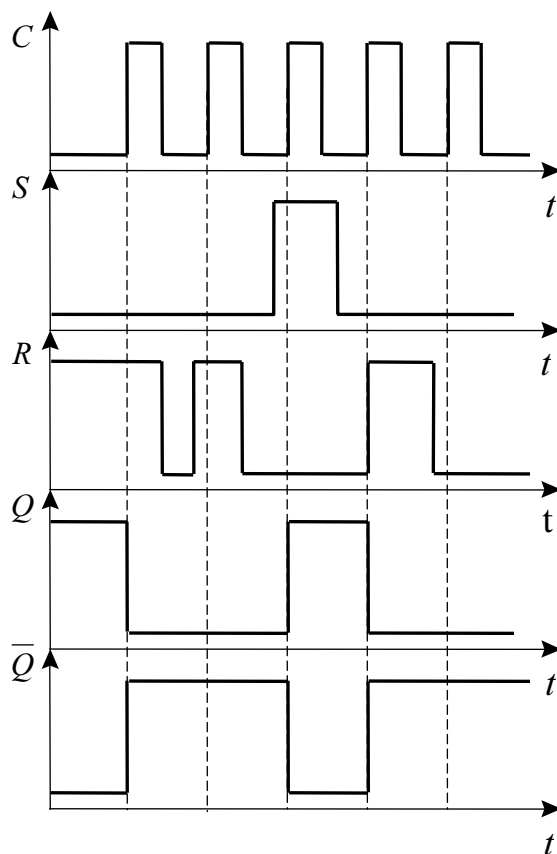


Рис. 5.8. Диаграммы напряжений

С приходом тактового импульса ($C=1$) входные логические элементы $DD1.1$ и $DD1.2$ устанавливают на выходах q_1 и q_2 следующие сигналы: $q_1=1$, $q_2=0$, отчего на выходах RS -триггера формируются сигналы $\bar{Q}=1$ и $Q=0$.

С окончанием тактового импульса для RS -триггера снова возникает нейтральная комбинация, благодаря которой на выходах сохранится записанная информация.

Обратный перебор в состояние $Q=1$ входным сигналом $S=1$ произойдет аналогично.

Входная комбинация $S=R=1$ недопустима, так как при $C=1$ на промежуточных шинах возникает сочетание $q_1=q_2=0$, которое создаст состояние на выходе RS -триггера $Q=\bar{Q}=1$.

5.4. JK-триггеры

JK-триггер является весьма распространенным, универсальным типом триггера. Условное графическое изображение простейшего JK-триггера приведено на рис. 5.9. Он обычно имеет два информационных входа J и K , вход тактовых импульсов C , входы установки S и сброса K , а также комплиментарные выходы Q и \bar{Q} .

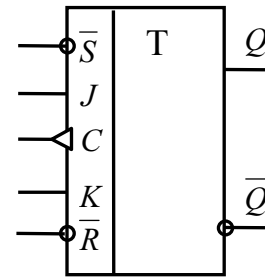


Рис. 5.9. Графическое изображение JK-триггера

Работу JK-триггера поясняют временные диаграммы (рис. 5.10).

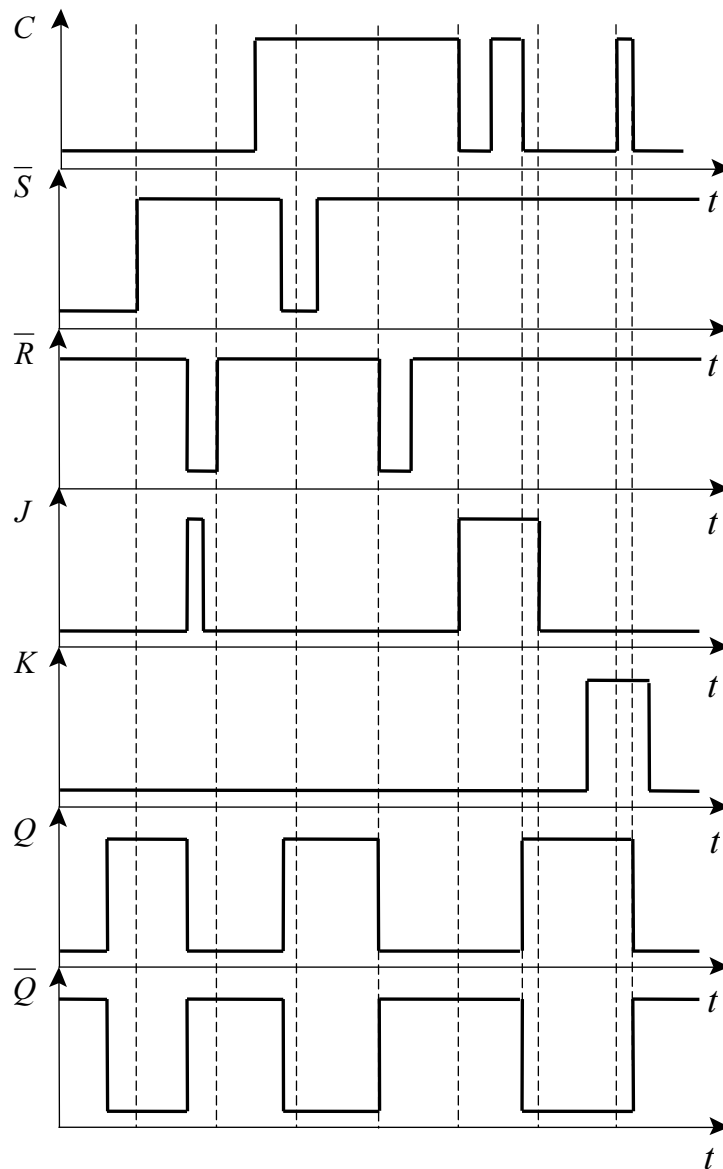


Рис. 5.10. Временные диаграммы

Как правило, JK -триггер реализуется на основе синхронного двухступенчатого RS -триггера структуры «мастер–помощник». Как следует из графического изображения триггера и временных диаграмм его работы, входы S и R с активным низким уровнем. Когда на один из этих входов подан сигнал низкого уровня, информация с входов C , J и K восприниматься не будет, то есть входы S и R имеют приоритет над остальными входами. Информация со входов J и K записывается в триггер в два приема фронтом и срезом положительного тактового импульса по входу C . Причем фронтом импульса по входу C сигнал высокого уровня с J входа записывается сначала в синхронизированный RS -триггер «мастер», а срезом – в синхронизированный RS -триггер «помощник», и сигнал высокого уровня появляется на выходе Q .

В ТТЛ-логике характерным примером JK -триггера со структурой «мастер–помощник» (рис. 5.11) является микросхема К555ТВ1.

На рис. 5.12 приведено условное графическое обозначение, а на рис. 5.13 – цоколевка микросхемы К555ТВ1. Входы установки S и сброса R имеют низкие логические уровни. У микросхемы есть три входа J ($J1$ – $J3$) и три входа K ($K1$ – $K3$), тактовый вход C и выходы Q и \bar{Q} .

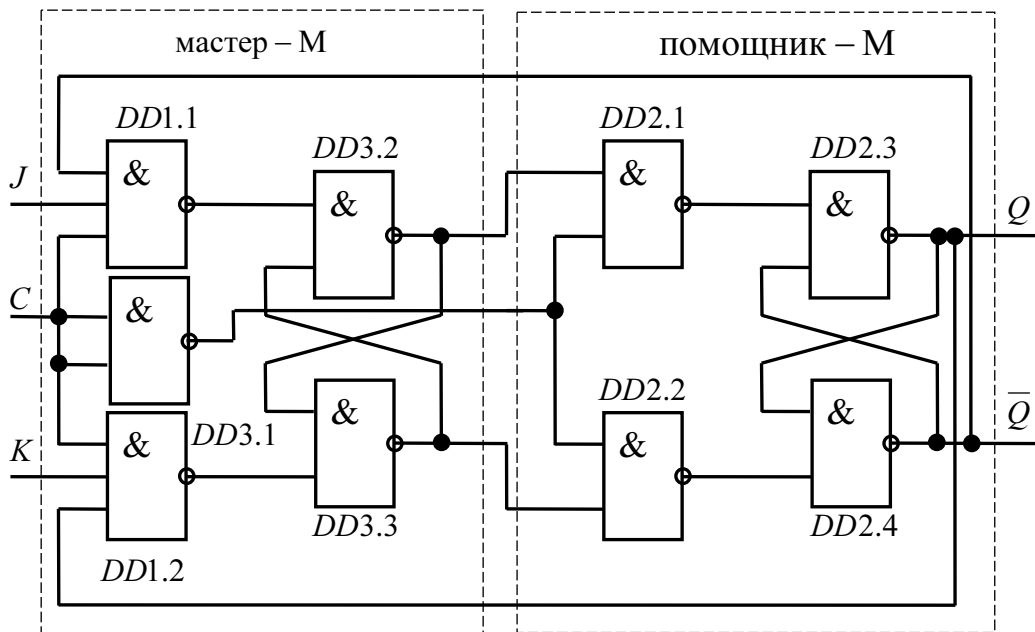


Рис. 5.11. Структурная схема микросхемы К555ТВ1

Входы S и R являются приоритетными. Нулевой сигнал на входе S устанавливает выход Q в единичное состояние вне зависимости от уровней сигналов на J , K и C входах. При $S=R=1$ разрешается син-

хронное управление по J - и K -входам. Вход J устанавливает на выходе Q сигнал, равный 1, а вход K – сигнал, равный 0.

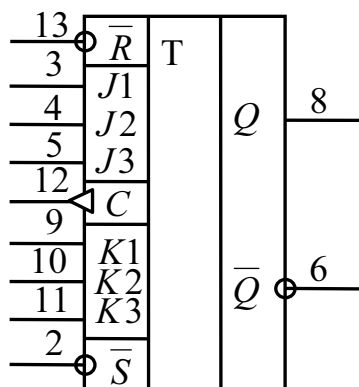


Рис. 5.12. Графическое изображение микросхемы K555TB1

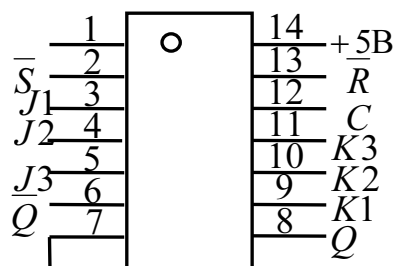


Рис. 5.13. Цоколевка микросхемы K555TB1

Управление состоянием JK -триггера происходит согласно табл. 5.4.

Таблица 5.4

J	K	C	Q	\bar{Q}	Примечание
1	0		1	0	Запись единицы в JK -триггер
0	1		0	1	Запись нуля в JK -триггер
0	0		Q	Q	Триггер не меняет состояние
1	1		Q	Q	Триггер меняет состояние на инверсное

Состояние двухступенчатого триггера переключается фронтом и срезом положительного тактового импульса. JK -информация загружается в триггер-«мастер» ($DD3.2$ – $DD3.3$), когда напряжение на входе C переходит на высокий уровень ($0 \rightarrow 1$) и переносится в триггер-«помощник» ($DD2.3$ – $DD2.4$) по отрицательному ($1 \rightarrow 0$) перепаду импульса на входе C .

Отличие JK -триггера от синхронизированного RS -триггера состоит в отсутствии запрещенных входных комбинаций. При подаче на оба входа J и K сигнала, равного 1, триггер изменяет свое состояние на противоположное (инверсное) по срезу сигнала на входе C .

Из схемы следует, что состояние JK -триггера зависит не только от сигналов на входах J и K , но и от логически связанных с ними сигналов с выходов Q и \bar{Q} . Наличие цепей обратной связи наряду с информационными входами J и K присуще всем JK -триггерам.

5.5. D-триггеры

Наиболее часто в цифровых интегральных микросхемах, а также в импульсных устройствах применяют триггеры с единственным входом данных D (DATA) – так называемые D -триггеры.

D -триггеры, в отличие от рассмотренных ранее типов, имеют для установки выхода в состояние 1 или 0 один информационный вход D и вход C для синхронной записи.

Функциональная особенность этого типа триггеров состоит в том, что сигнал на выходе Q после такта записи повторяет информацию на входе и запоминает это состояние до следующего такта записи.

Один из вариантов схемы D -триггера на элементах И-НЕ представлен на рис. 5.14, условное графическое изображение D -триггера приведено на рис. 5.15. Элементы $DD1.3$ и $DD1.4$ образуют ячейку памяти, а $DD1.1$ и $DD1.2$ – схему управления.

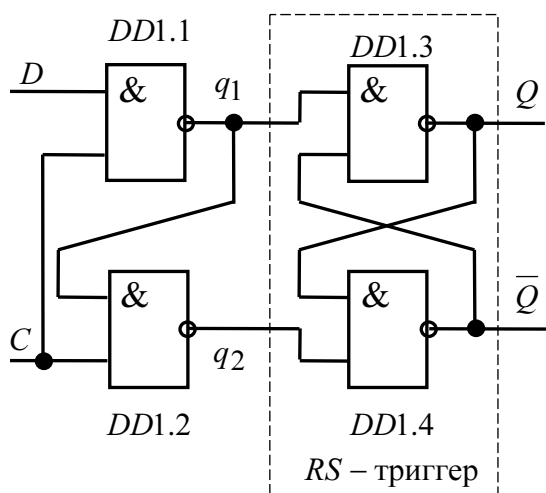


Рис. 5.14. D -триггер на элементах И-НЕ

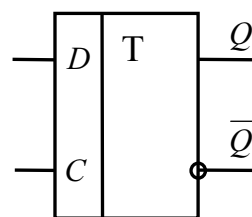


Рис. 5.15. Условное графическое изображение D -триггера

При нулевом сигнале на входе C состояние триггера от изменения входного сигнала на входе D не зависит, т. к. логические элементы $DD1.1$ и $DD1.2$ закрыты и на их выходах установились сигналы высокого уровня независимо от сигнала на D -входе, что служит нейтральной комбинацией для RS -триггера, выполненного на элементах $DD1.3$ и $DD1.4$. Изменение состояния D -триггера происходит только при высоком уровне сигнала на входе C , т. е. D -триггер записывает информацию со входа D на выход Q при положительном импульсе на входе C .

Так, например, в момент времени t_1 (рис. 5.16) на входе C появляется сигнал, равный 1, а на входе D действует сигнал, равный 0. Тогда на выходе элемента $DD1.1$ устанавливается сигнал, равный 1. Так как на входы эле-

мента $DD1.2$ поданы сигналы, равные 1, то на его выходе устанавливается сигнал, равный нулю. Сигналы с выходов элементов $DD1.1$ и $DD1.2$ устанавливает RS -триггер, выполненный на элементах $DD1.3$ и $DD1.4$ в состояние, когда на выходе Q сигнал равен 0, а на выходе \bar{Q} равен 1.

Дальнейшая работа D -триггера становится понятной при рассмотрении диаграмм на рис. 5.16.

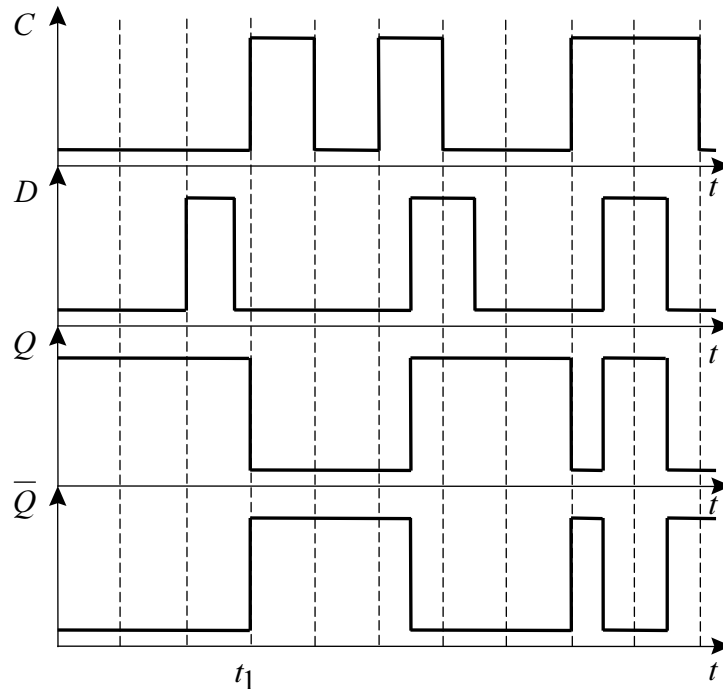


Рис. 5.16. Диаграммы напряжений, поясняющие работу D -триггера

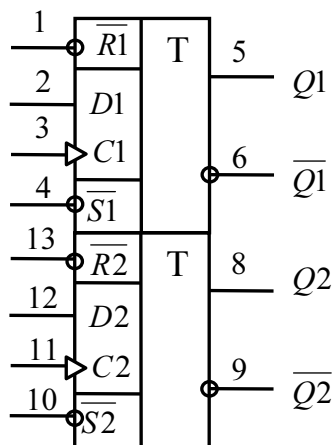


Рис. 5.17. Условное графическое изображение динамического D -триггера ($K555TM2$)

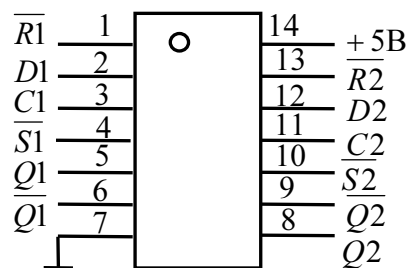


Рис. 5.18. Цоколевка микросхемы $K555TM2$

Широко применяют D -триггеры с динамическим управлением (микросхема типа $K555TM2$). Выходной сигнал таких триггеров переключается только по положительному перепаду импульса на тактовом

входе C . Условное графическое обозначение такого триггера приведено на рис. 5.17, цоколевка микросхемы К555ТМ2 – на рис. 5.18, а временные диаграммы, поясняющие его работу, – на рис. 5.19.

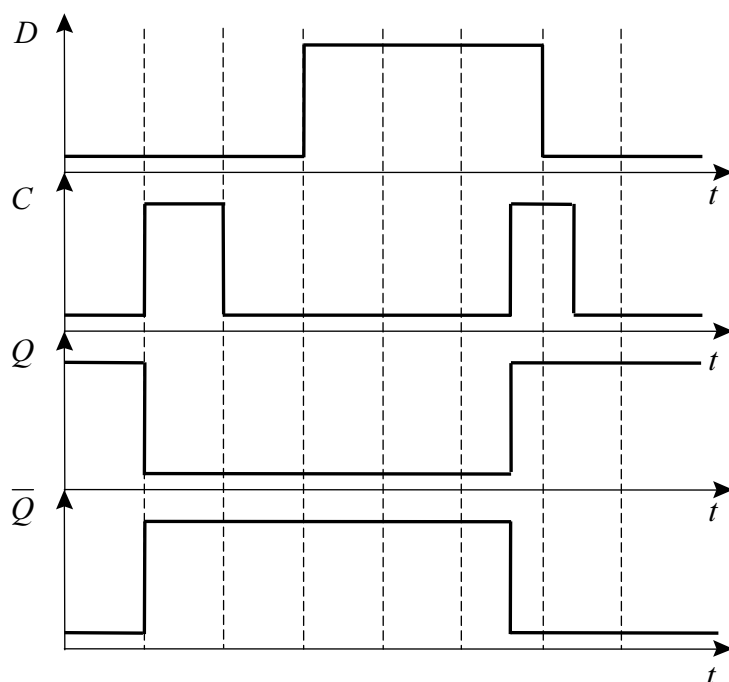


Рис. 5.19. Диаграммы напряжений, поясняющие работу динамического D -триггера

Возможные состояния D -триггера на микросхеме К555ТМ2 сведены в табл. 5.5.

В тех случаях, когда запись информации в динамический D -триггер необходимо производить по заднему фронту (срезу импульса), D -триггер можно выполнить на базе JK -триггера (рис. 5.20). Для этого потребуется дополнительный элемент – инвертор, который в схеме рис. 5.20 выполнен на элементе 2И-НЕ – микросхема $DD1$.

Таблица 5.5

Режим работы	Вход				Выход	
	\bar{S}	\bar{R}	C	D	Q	\bar{Q}
Асинхронная установка	0	1	x	x	1	0
Асинхронный сброс	1	0	x	x	0	1
Неопределенность	0	0	x	x	1	1
Установка 1	1	1	↑	1	1	0
Установка 0	1	1	↓	0	0	1

x – безразличное состояние.

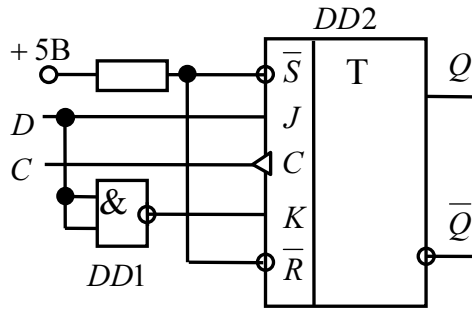


Рис. 5.20. Схема выполнения D-триггера на основе JK-триггера

5.6. T-триггеры

T-триггер, или двоичный счетчик, имеет один управляющий вход T и отличается простотой принципа действия. Смена состояний выходного сигнала на инверсное здесь происходит всякий раз, когда управляющий сигнал меняет свое значение в одном направлении. В зависимости от того, какой из фронтов входного сигнала используется для управления (от 0 до 1 или от 1 к 0), считается, что T-триггер имеет прямой или инверсный динамический вход.

По способу ввода информации T-триггеры могут быть асинхронными и синхронными.

T-триггер – вид триггера, текущее состояние которого определяется его же состоянием в предыдущем такте. На рис. 5.21 представлены временные диаграммы работы T-триггера.

Поскольку управление происходит по одному входу, T-триггеры неопределенных состояний не имеют.

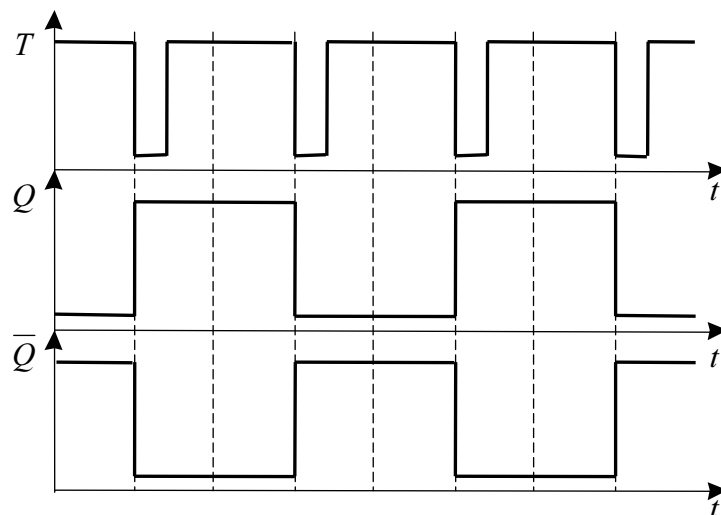


Рис. 5.21. Диаграммы напряжений, поясняющие работу T-триггера

В интегральном исполнении T -триггеры не производятся, т. к. легко выполняются на базе JK или D -триггеров путем определенных соединений внешних выводов. Общий принцип построения счетных триггеров состоит во введении обратной связи с выходов на входы так, чтобы обеспечить смену сигналов на информационных входах после каждого такта.

На рис. 5.22 показана схема получения T -триггера из универсального JK -триггера (например, К555ТВ1). В асинхронном режиме тактовый вход исполняет роль счетного, в синхронном режиме используется по прямому назначению. В обоих случаях триггер переключается при переходе сигнала на входе C с 1 на 0.

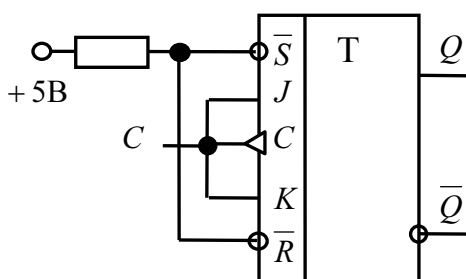


Рис. 5.22. Схема T -триггера на базе JK -триггера

На рис. 5.23 показана схема получения T -триггера из D -триггера. Отличительной особенностью такого триггера является переключение по переднему фронту, то есть при переходе сигнала на входе C с 0 на 1.

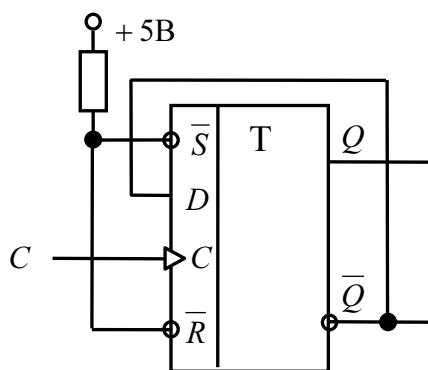


Рис. 5.23. Схема преобразования T -триггера из D -триггера

5.7. Порядок выполнения работы на лабораторном стенде

1. Ознакомьтесь с описанием лабораторного стенда.
2. Убедитесь, что устройства, используемые в эксперименте, отключены от сети электропитания.
3. Соедините аппаратуру в соответствии со схемой электропитания.

4. Соберите схему тестирования RS -триггера на элементах И-НЕ (ИЛИ-НЕ) и убедитесь, что они функционируют в соответствии с их назначением. Вариант схемы тестирования RS -триггеров на наборном поле блока испытания цифровых устройств А1 приведен на рис. 5.24.

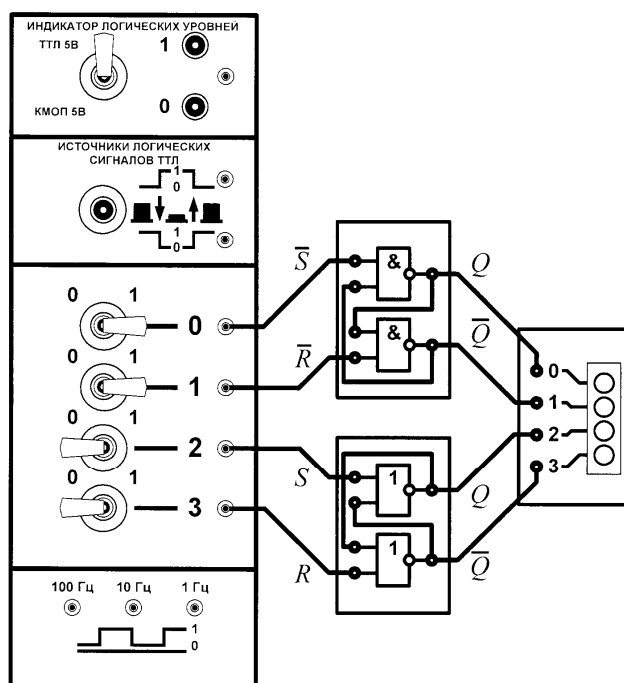


Рис. 5.24. Схема тестирования RS -триггеров

Результаты исследований занесите в табл. 5.6.

Таблица 5.6

Режим работы	Теория				Эксперимент			
	S	R	Q	\bar{Q}	S	R	Q	\bar{Q}
Запрещенное состояние								
Установка 1								
Установка 0								
Хранение								

5. Соберите схему тестирования JK -триггера и убедитесь, что он функционирует в соответствии с его назначением. Вариант схемы тестирования JK -триггера на наборном поле блока испытания цифровых устройств А1 приведен на рис. 5.25.

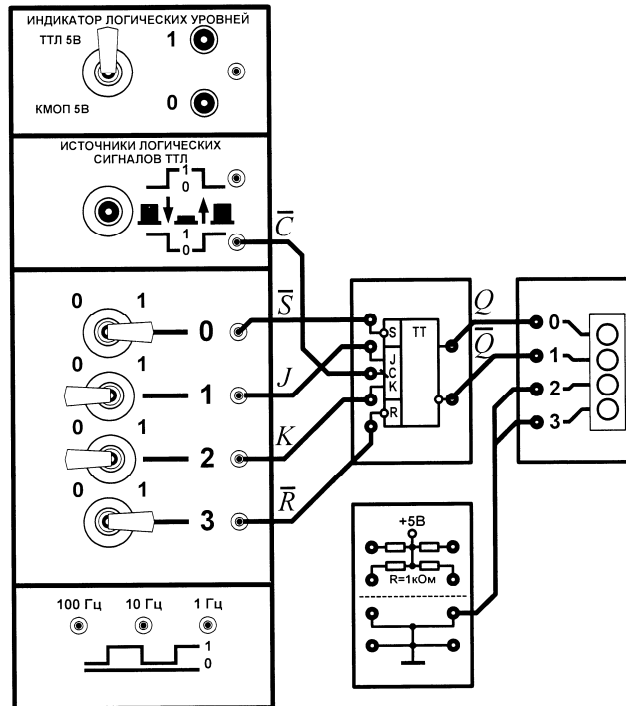


Рис. 5.25. Схема тестирования JK-триггера

Обнулите триггер. Последовательно подавая на входы J и K триггера различные комбинации сигналов в соответствии с табл. 5.4, убедитесь в соответствии состояния схемы назначению сигналов на ее входах и выходах. Результаты исследований занесите в таблицу.

6. Соберите схему тестирования D -триггера и убедитесь, что он функционирует в соответствии с его назначением. Вариант схемы тестирования D -триггера на наборном поле блока испытания цифровых устройств А1 приведен на рис. 5.26.

Обнулите триггер. Последовательно подавая на входы R , S , D и C триггера различные комбинации сигналов в соответствии с табл. 5.5, убедитесь в соответствии состояния схемы назначению сигналов на ее входах и выходах. Результаты исследований занесите в таблицу.

7. Соберите схему тестирования T -триггера, выполненного на JK -или D -триггерах, и убедитесь, что они функционируют в соответствии с их назначениями. Вариант схемы тестирования T -триггера, выполненного на D -триггере на наборном поле блока испытания цифровых устройств А1, приведен на рис. 5.27.

Нажимая кнопку источника логических сигналов, убедитесь, что T -триггер меняет свое состояние с приходом очередного импульса на счетный вход. Определите экспериментально фронт (или срез) импульса, по которому происходят переключения в схеме. Приведите диаграммы напряжений, поясняющие работу различных по исполнению T -триггеров.

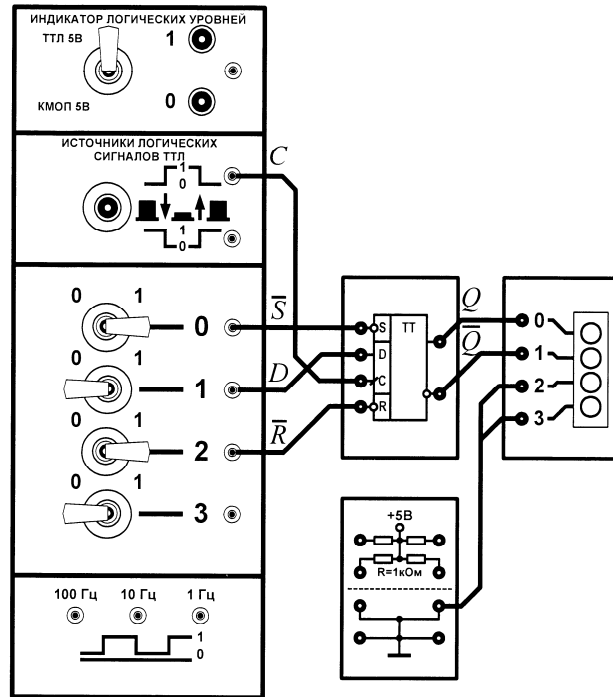


Рис. 5.26. Схема тестирования D-триггера

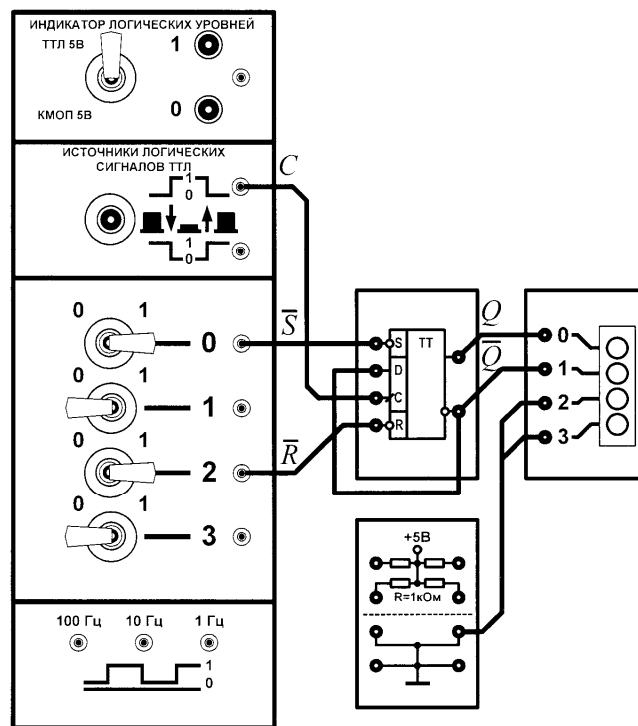


Рис. 5.27. Схема тестирования T-триггера, выполненного на D-триггере

Проведите так же исследования T-триггеров, используя цифровой осциллограф и генератор логических сигналов лабораторного стенда.

Результаты исследования должны быть представлены в виде собранных схем, временных диаграмм, синхронизированных во времени, и т. д.

При необходимости изменения исследуемой схемы отключите выключатель «СЕТЬ» блока испытания цифровых устройств А1, измените схему, включите выключатель «СЕТЬ».

8. По завершении работы отключите выключатель «СЕТЬ» блока испытания цифровых устройств А1 и автоматический выключатель в однофазном источнике питания С1.

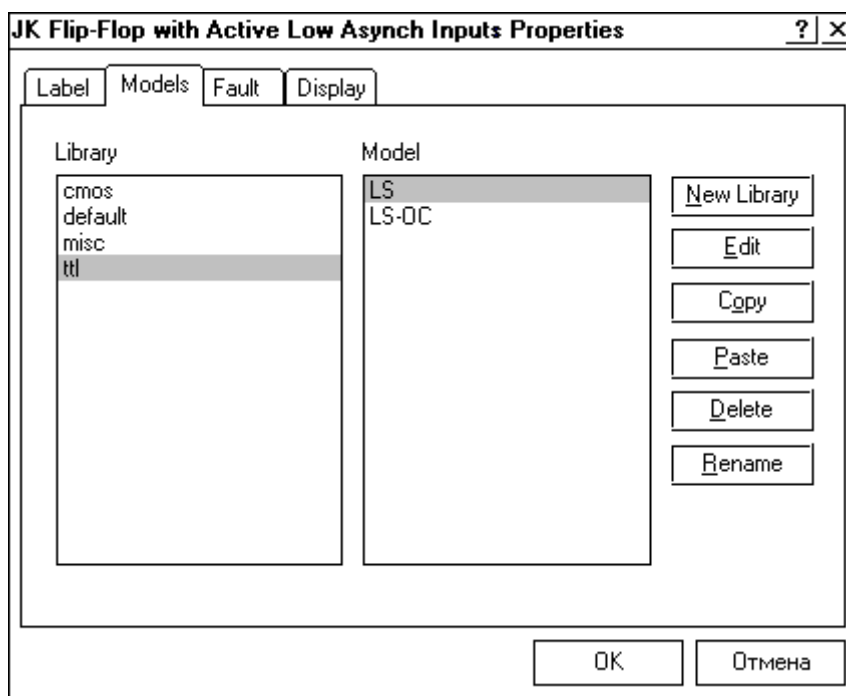
5.8. Порядок выполнения работы в программной среде Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.

2. Изучите методические указания к лабораторной работе.

3. Произведите исследование триггера из библиотеки последовательностных элементов (по указанию преподавателя). Для этого вызовите библиотеку **Digital**. Установите курсор мыши на необходимый триггер и, нажав левую кнопку, перемещая мышь, поставьте триггер на требуемое место наборного поля. Отпустите кнопку. Дважды щелкните по выделенному элементу. В появившемся диалоговом окне выберите элементы **ttl**, а затем – модель **LS**, щелкнув по ним левой клавишей. Нажмите кнопку **OK**.

4. Соберите схему для проведения испытаний, подключив к входам исследуемого триггера генератор двоичных слов. Подключите входы логического анализатора к входам и выходам триггера.

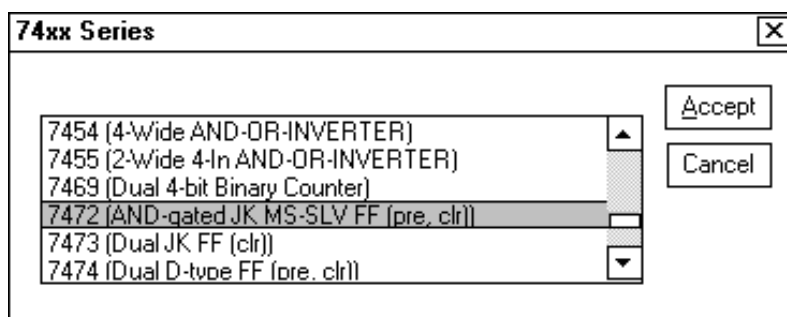


Раскройте лицевую панель логического анализатора (*двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора*). Раскройте лицевую панель генератора слов. Сместите лицевые панели приборов на рабочем поле так, чтобы они были полностью видны.

Заполните генератор слов так, чтобы получились необходимые комбинации сигналов логического уровня. Установив режим работы STEP или CYCLE, проверьте работу схемы нажатием кнопок **STEP** или тумблера питания соответственно.

Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам так, чтобы рядом появился символ ✓, а затем выполните команду **Print**.

5. Для работы с реальными микросхемами триггеров серии ТТЛ выберите из библиотеки Digital ICs серии 74xx необходимый триггер.



Соответствие наименований зарубежных и отечественных микросхем триггеров на элементах ТТЛ приведено в табл. 5.7. Исследуйте триггер в соответствии с заданиями раздела 7.

Таблица 5.7

74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533
74SL72	K555TB1	74113	TB10
7474	TM2	74114	TB11
7475	TM7	74174	TM9
7477	TM5	74175	TM8
74107	TB6	74373	ИР22
74109	TB15	74374	ИР23
74112	TB9	74377	ИР27

5.9. Содержание отчета

1. Цель работы.
2. Исследуемые схемы в соответствии со стандартами.
3. Таблицы, диаграммы напряжений, комментарии и пояснения к ним.
4. Выводы о проделанной работе.

5.10. Список литературы

1. Бойко В.И. Схемотехника электронных систем. Цифровые устройства / В.И. Бойко и др. – Санкт-Петербург : БХВ-Петербург, 2004. – 496 с.
2. Калабеков Б.А. Цифровые устройства и микропроцессорные системы / Б.А. Калабеков. – Москва : Горячая линия – Телеком, 2002. – 336 с.
3. Титце У. Полупроводниковая схемотехника / У. Титце, К. Шенк. – Москва : Мир, 1982. – 512 с.

6. ИССЛЕДОВАНИЕ СЧЕТЧИКОВ

Лабораторная работа № 6

Цель работы – экспериментальное исследование работы двоично-десятичного и двоично-десятичного реверсивного счетчиков, а также двоичных счетчиков, выполненных на последовательно соединенных триггерах.

6.1. Общие положения

Счетчиком называется цифровое устройство, осуществляющее счет поступающих на его вход импульсов и запоминание результатов подсчета в заданном коде.

По целевому назначению счетчики подразделяются на нереверсивные и реверсивные. В свою очередь, нереверсивные счетчики подразделяются на суммирующие и вычитающие.

Суммирующие счетчики служат для сложения последовательности импульсов напряжения, то есть для счета импульсов в прямом направлении.

Вычитающие счетчики предназначены для вычитания последовательности импульсов, то есть для счета импульсов в обратном направлении.

Реверсивные счетчики служат для выполнения операции счета как в прямом, так и в обратном направлении.

Основой любой из схем счетчиков является последовательное соединение триггеров. Обычно для построения счетчиков используются T -триггеры, выполненные на базе D - или JK -триггеров.

Одним из основных параметров счетчика является **модуль коэффициента счета** (коэффициент счета, емкость счетчика) $k_{сч}$, который определяет число устойчивых состояний, т. е. предельное число импульсов, которое может быть им зафиксировано. Модуль коэффициента счета счетчика, состоящего из n последовательных триггеров типа T , составляет 2^n .

Счетчик, составленный из последовательно соединенных T -триггеров, называется **двоичным**. За счет внутренних обратных связей или соединений с помощью дополнительной логики модуль коэффициента счета счетчика можно уменьшить. Счетчик с емкостью 10 называется

двоично-десятичным. Промышленность выпускает счетчики в интегральном исполнении с модулем коэффициента счета, равным 2^n , 10, 12, и программируемым коэффициентом счета.

Различают **асинхронные** и **синхронные** счетчики.

В **асинхронном** счетчике каждый триггер вносит в процесс счета определенную задержку, поэтому младшие разряды результирующего кода появляются на выходах триггеров не одновременно, т. е. не синхронно с соответствующим синхронизирующим импульсом.

В **синхронном** счетчике все триггеры получают синхронизирующий импульс одновременно, поскольку синхронизирующие входы их соединяются параллельно. Поэтому триггеры переключаются практически одновременно. Синхронная схема счетчика значительно сложнее асинхронной. На ее выходах данные от каждого разряда появляются одновременно и строго синхронно с последним входным импульсом. В синхронный счетчик разрешается синхронная (с синхронизирующим импульсом) параллельная (в каждый триггер) загрузка начальных данных.

6.2. Двоичные счетчики на T -триггерах

Двоичный суммирующий счетчик можно собрать на T -триггерах в соответствии со схемой рис. 6.1.

Действие счетчиков импульсов основано на двух главных свойствах триггеров: способности изменять свое входное состояние и сохранять полученное состояние до внешнего воздействия. Поступающий на счетный вход сигнал с инверсного выхода \bar{Q} предыдущего триггера включает своим передним фронтом последующий триггер (рис. 6.1).

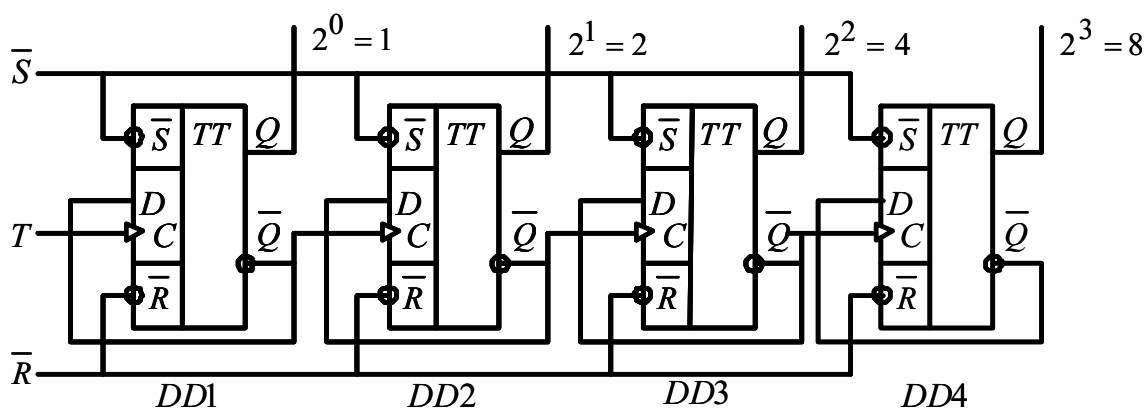


Рис. 6.1. Двоичный суммирующий счетчик

T -триггеры выполнены на основе D -триггеров. Положительный перепад сигнала на входе счетчика T увеличивает содержимое счетчика на 1.

Переход любого триггера счетчика из состояния 1 в 0 приводит к появлению положительного перепада на инверсном выходе этого триггера и переключению триггера следующего разряда. При счете состояние триггеров счетчика меняется в соответствии с табл. 6.1. Диаграммы напряжений, поясняющие работу суммирующего двоичного счетчика, приведены на рис. 6.2.

Таблица 6.1

Десятичное число	Выходы Q			
	$DD4$	$DD3$	$DD2$	$DD1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Для нормальной работы счетчика на входах \bar{S} и \bar{R} триггеров должна быть установлена логическая 1. Переход сигнала на ноль на одном из этих входов немедленно переводит счетчик в состояние $0_{10} = 0000_2$ (вход \bar{R}) или $15_{10} = 1111_2$ (вход \bar{S}) и блокирует счет.

Совокупность выходных сигналов на выходах $Q1-Q8$ соответствует числу импульсов в двоичном коде, поступивших на счетчик к данному моменту времени.

Выход первого триггера Q_1 устанавливается в единичное состояние после каждого второго входного импульса, выход второго триггера Q_2 – после каждого четвертого импульса, выход третьего триггера – после каждого восьмого импульса и т. д. Число триггеров $n=4$ определяет число разрядов счетчиков и его емкость: $N = 2^n = 16$.

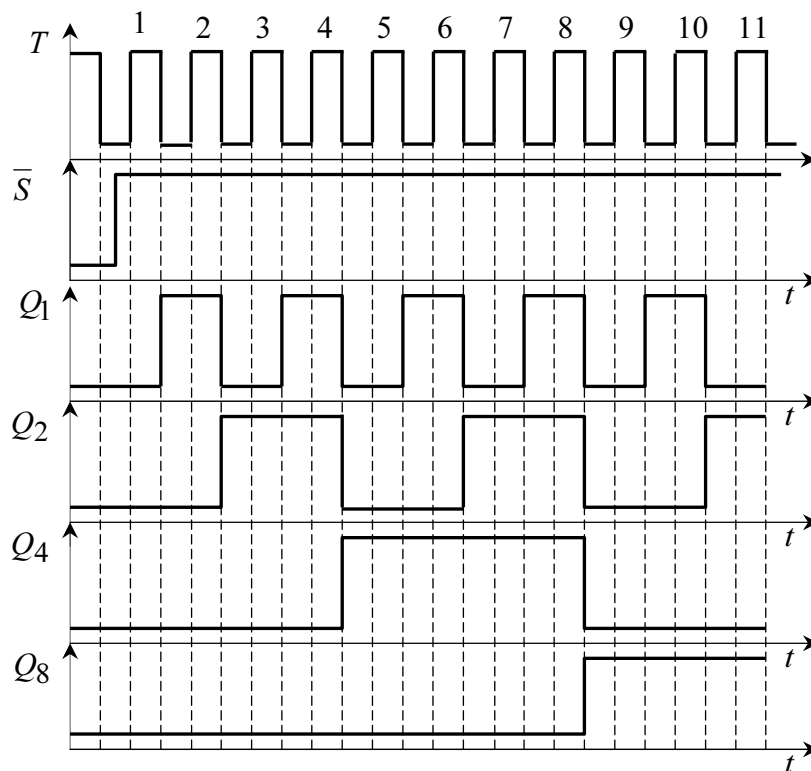


Рис. 6.2. Диаграммы напряжений двоичного суммирующего счетчика

Из приведенных диаграмм следует, что состояния триггеров отвечают в двоичном коде порядковому номеру воздействующего импульса. Так, например, после пятого сосчитанного входного импульса состояние или содержимое счетчика таково: $Q_8 = 0$, $Q_4 = 1$, $Q_2 = 0$, $Q_1 = 1$; т. е. число, записанное счетчиком, равно 0101, или $N = 0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 5$. Здесь первый триггер соответствует старшему разряду числа, а последний – младшему. После девятого входного импульса содержимое счетчика будет 1001, или $N = 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 9$.

Как следует из временных диаграмм работы счетчика, приведенных на рис. 6.2, при каждом переходе младшего разряда (Q_1) к старшему разряду (Q_2 , Q_4 , Q_8) частота выходного сигнала триггера снижается вдвое. Таким образом, данный счетчик одновременно выполняет функцию делителя частоты, в котором частота выходного сигнала старшего разряда определяется соотношением

$$f_{\text{ВЫХ}} = \frac{f_{\text{ВХ}}}{2^n},$$

где $f_{\text{ВХ}}$ – частота сигнала на входе T счетчика, Гц; n – номер триггера.

Одновременно с увеличением числа на прямых выходах триггеров счетчика двоичное число на инверсных выходах триггеров убывает от 1111_2 до 0000_2 . Таким образом, относительно инверсных выходов счетчик можно рассматривать как вычитающий.

Другой вариант вычитающего счетчика можно получить, если на вход следующего триггера подать сигнал с прямого выхода предыдущего триггера. При счете на прямых выходах триггеров будет формироваться убывающее двоичное число (табл. 6.2). Структурная схема вычитающего счетчика приведена на рис. 6.3.

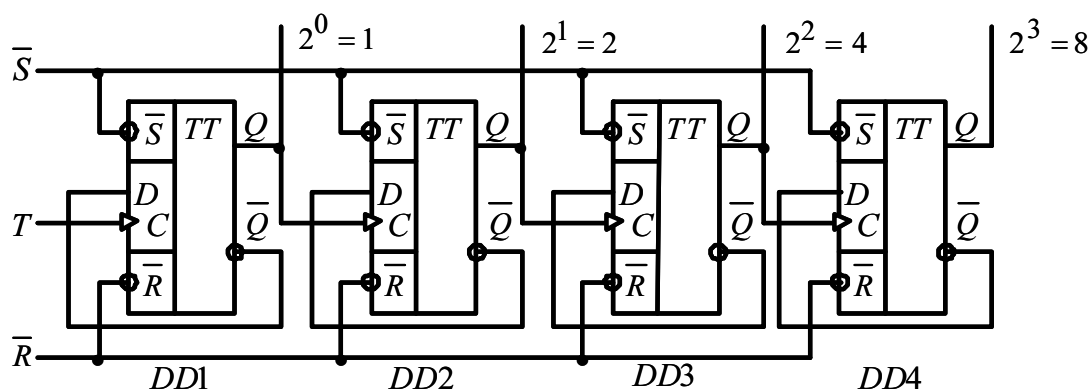


Рис. 6.3. Структурная схема вычитающего счетчика

Если перед началом счета счетчик был установлен в состояние $0_{10} = 0000_2$, то первый положительный перепад на входе T переведет его в состояние $15_{10} = 1111_2$. При поступлении последующих импульсов двоичное число на прямых выходах будет убывать в соответствии с табл. 6.2.

Таблица 6.2

Десятичное число	Выходы Q			
	$DD4$	$DD3$	$DD2$	$DD1$
0	0	0	0	0
15	1	1	1	1
14	1	1	1	0
13	1	1	0	1
12	1	1	0	0
11	1	0	1	1
10	1	0	1	0
9	1	0	0	1
8	1	0	0	0

Десятичное число	Выходы Q			
	$DD4$	$DD3$	$DD2$	$DD1$
7	0	1	1	1
6	0	1	1	0
5	0	1	0	1
4	0	1	0	0
3	0	0	1	1
2	0	0	1	0
1	0	0	0	1

Для нормальной работы счетчика на входах \bar{S} и \bar{R} триггеров должна быть установлена логическая 1. Переход сигнала на ноль на одном из этих входов переводит счетчик в состояние $0_{10} = 0000_2$ (вход \bar{R}) или $15_{10} = 1111_2$ (вход \bar{S}).

Диаграммы напряжений, поясняющие работу вычитающего двоичного счетчика, приведены на рис. 6.4.

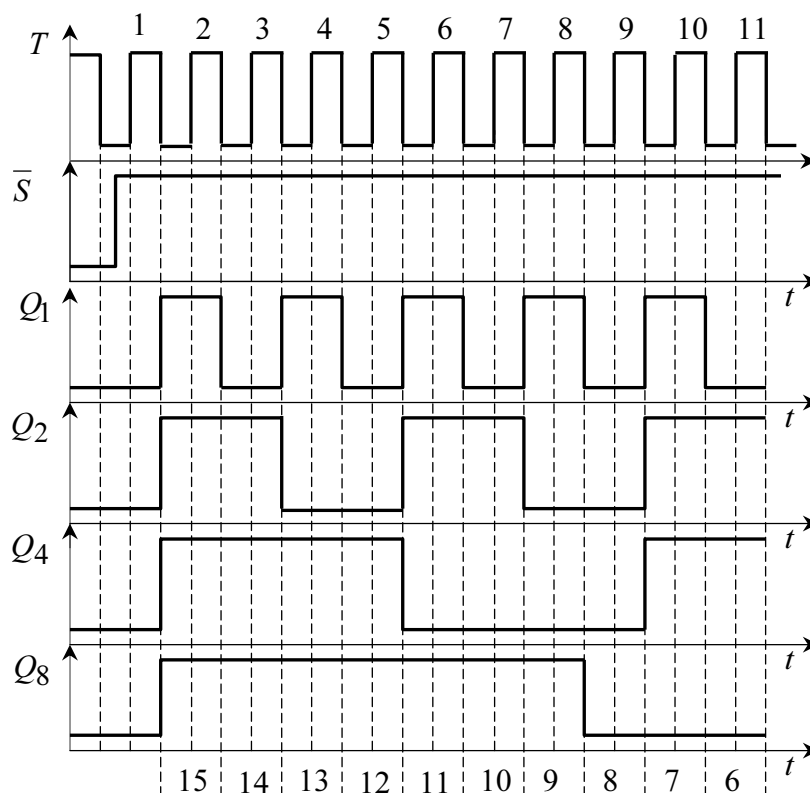


Рис. 6.4. Диаграммы напряжений двоичного вычитающего счетчика

6.3. Двоично-десятичные счетчики

Двоично-десятичный счетчик можно реализовать на основе двоичного суммирующего, добавив дополнительные логические элементы (рис. 6.5).

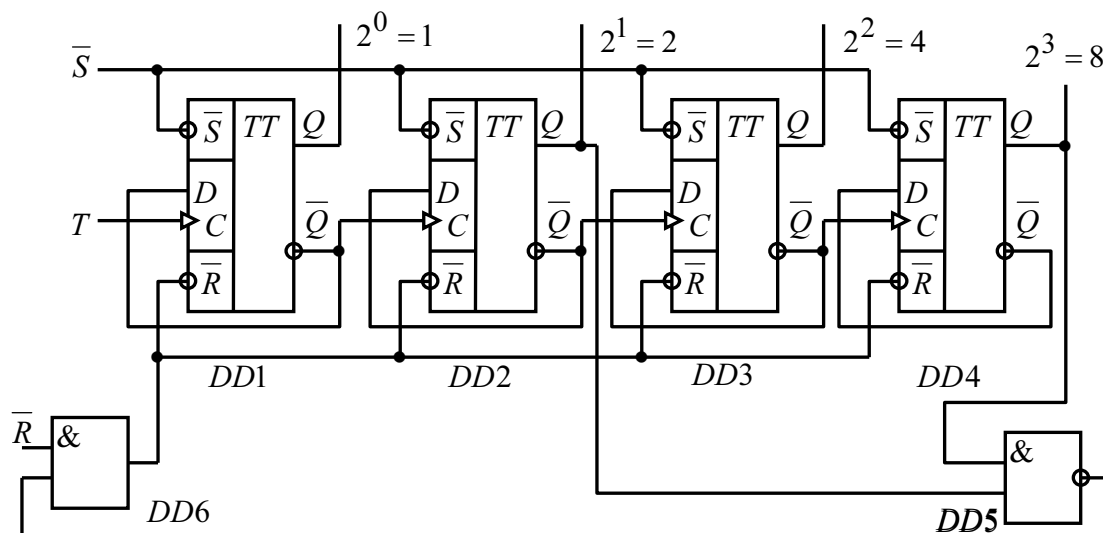


Рис. 6.5. Двоично-десятичный счетчик

Счетная последовательность десятичного счетчика представляется в двоично-десятичном коде ($Q_8, Q_4, Q_2, Q_1 - 8421$). Для девяти входных импульсов счетчик ведет себя подобно двоичному, но десятый импульс, вместо того чтобы установить состояние 1010 (как это происходит у двоичных счетчиков), через дополнительные элементы $DD5$ и $DD6$ возвращает счетчик в нулевое состояние 0000 (табл. 6.3).

Для нормальной работы счетчика на входах \bar{S} и \bar{R} триггеров должна быть установлена логическая 1. Установка 0 на входе \bar{R} приводит к сбросу счетчика.

Попытка установки счетчика в состояние $15_{10} = 1111_2$ сигналом $\bar{S} = 0$ приводит к неопределенным результатам. Действительно, при $\bar{S} = 0$ счетчик переходит в состояние $15_{10} = 1111_2$. Установка в состояние 1 триггеров второго и четвертого разрядов приводит к появлению 0 на выходе элементов И-НЕ, И. Таким образом 0 устанавливается и на входах \bar{R} всех триггеров. При $\bar{R} = \bar{S} = 0$ триггеры переходят в состояние, когда сигналы на прямом и инверсном выходе одинаковы и равны 1. При выходе из этого состояния ($\bar{S} = 1$) состояние триггеров счетчика неопределенно.

Диаграммы напряжений, поясняющие работу счетчика, приведены на рис. 6.6.

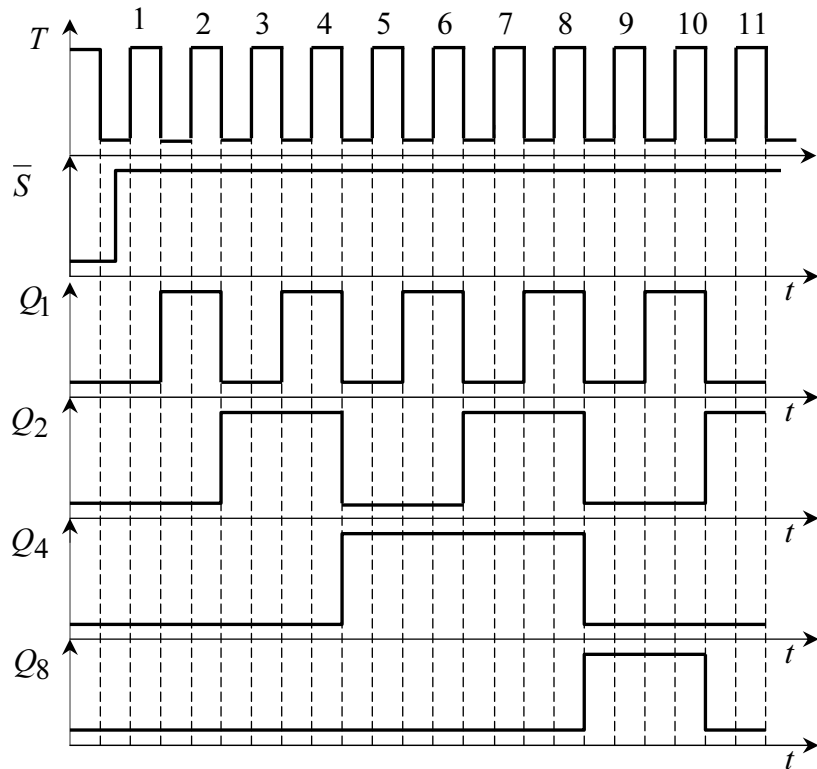


Рис. 6.6. Диаграммы напряжений двоично-десятичного счетчика

Таблица 6.3

Таблица истинности двоично-десятичного счетчика

Десятичное число	Выходы Q			
	$DD4$	$DD3$	$DD2$	$DD1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10 (сброс в состояние $0_{10} = 0000_2$)	0	0	0	0

6.4. Порядок выполнения работы на лабораторном стенде

1. Убедитесь, что устройства, используемые в эксперименте, отключены от сети.

2. Соберите двоичный суммирующий счетчик в соответствии с рис. 6.1. Один из вариантов схемы тестирования суммирующего двоичного счетчика на наборном поле блока испытания цифровых устройств А1 приведен на рис. 6.7. Для отображения двоичной информации на выходах счетчика к схеме необходимо подсоединить мини-блок, содержащий индикатор логических уровней со светодиодами. Импульсы на счетный вход T необходимо подавать нажатием кнопки источника логических сигналов. Вход счетчика может быть переключен на выход генератора прямоугольных сигналов частотой 10 Гц, как показано на рис. 6.7 пунктиром. Снимите с помощью осциллографа диаграммы напряжений на входах и выходах счетчика.

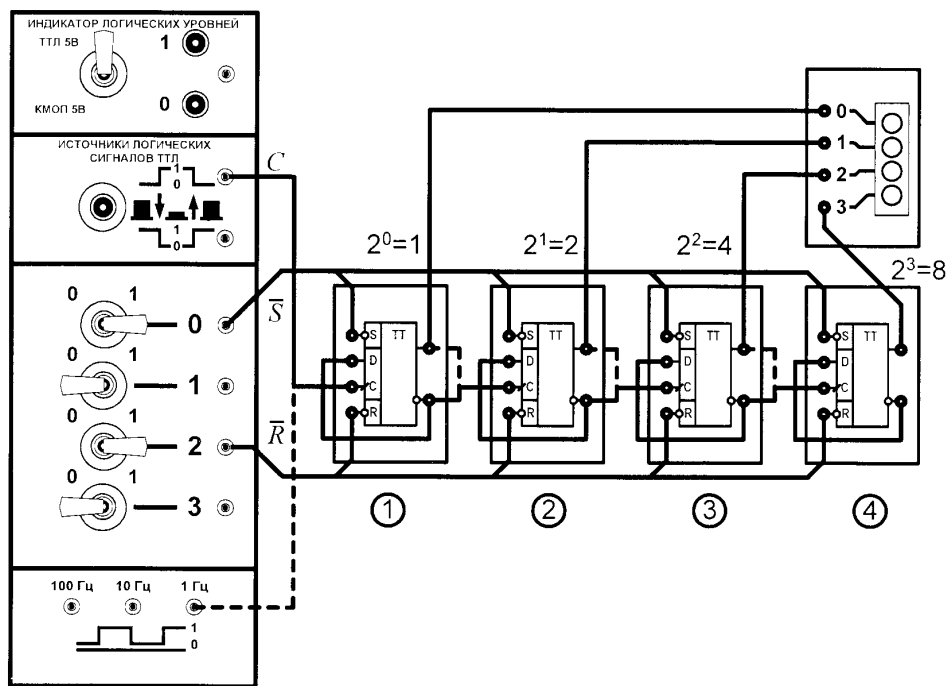


Рис. 6.7. Схема тестирования суммирующего двоичного счетчика

Для сброса двоичного суммирующего счетчика в исходное нулевое состояние тумблер 2 кратковременно переводят из положения 1 в положение 0 и возвращают в исходное состояние. Перевод тумблера 0 в положение 0 устанавливает 1 во всех разрядах счетчика.

Снимите с помощью осциллографа диаграммы напряжений на входах и выходах счетчика.

3. Соберите двоичный вычитающий счетчик. На счетный вход T подайте импульсы нажатием кнопки источника логических сигналов и от генератора 10 Гц. Снимите с помощью осциллографа диаграммы напряжений на входах и выходах счетчика.

4. Соберите схему суммирующего двоично-десятичного счетчика в соответствии с рис. 6.5. Для отображения двоичной информации на выходах счетчика к схеме необходимо подсоединить мини-блок с семисегментными индикаторами. Схема тестирования суммирующего двоично-десятичного счетчика на наборном поле блока испытания цифровых устройств А1 приведена на рис. 6.8.

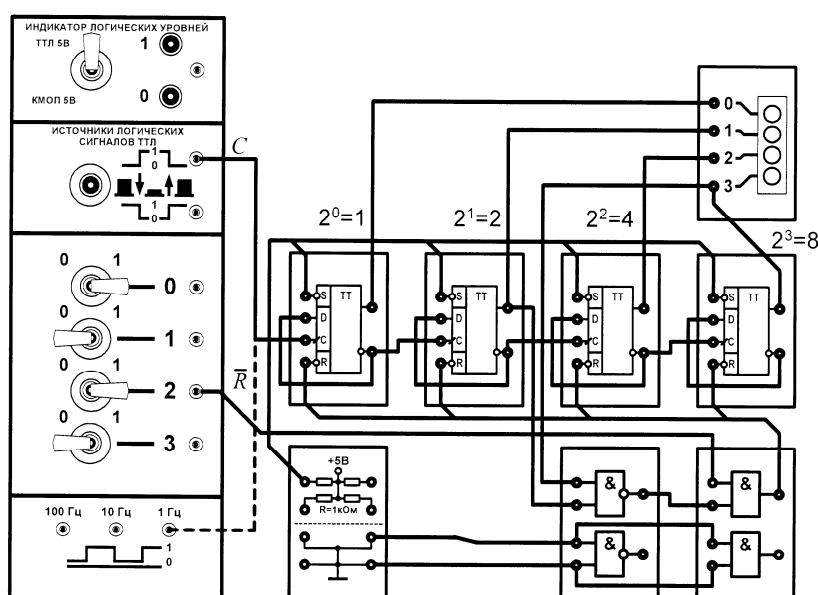


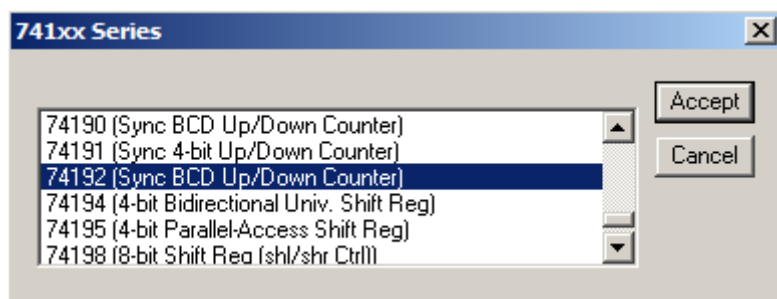
Рис. 6.8. Схема тестирования суммирующего двоично-десятичного счетчика

Все изменения в исследуемых схемах следует производить только при **ОТКЛЮЧЕННОМ ПИТАНИИ**.

6.5. Порядок выполнения работы в программной среде Electronics Workbench

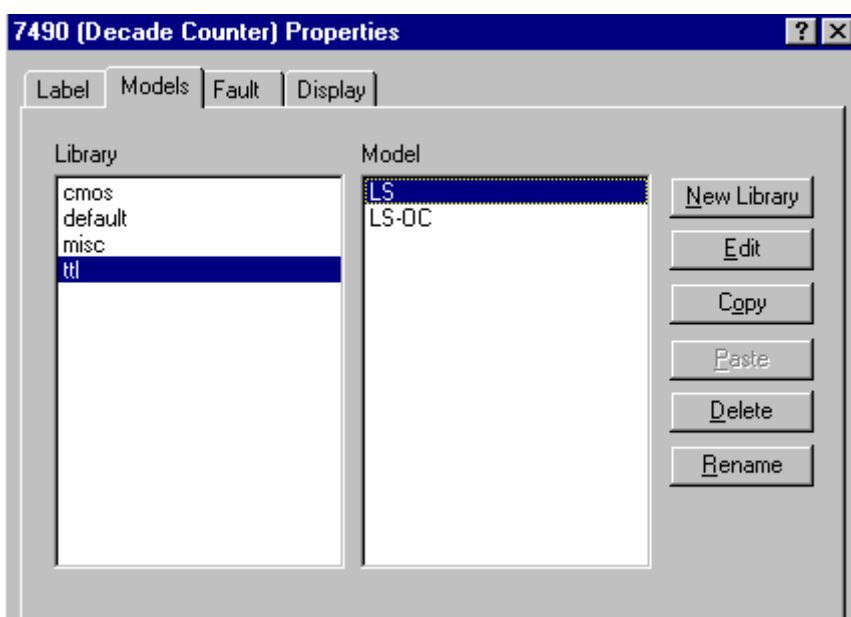
1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Произведите исследование счетчика. Для этого вызовите библиотеку **Digital ICs**. Для работы с реальными микросхемами счетчиков выберите из библиотеки 741xx необходимый счетчик, например 74192 (74ALS192, данная микросхема является аналогом К1533ИЕ6), устано-

вив на него курсор и щелкнув левой кнопкой мыши. Нажмите кнопку **Ассерт**. Соответствие наименований зарубежных и отечественных микросхем счетчиков приведено в табл. 6.4.



Вызовите из библиотеки элементов **Sources** источник постоянного напряжения. Дважды щелкнув по нему левой кнопкой мыши, установите напряжение 5 V. Заземлите источник питания. Подключите вывод 5 (VCC) микросхемы к положительному выводу источника питания, а вывод 10 – к заземлению.

Дважды щелкните по выделенному счетчику. В появившемся диалоговом окне выберите элементы **ttl**, а затем – модель **LS**, щелкнув по ним левой клавишей. Нажмите кнопку **ОК**.



Соберите схему для проведения испытаний, подключив к входам исследуемого счетчика генератор двоичных слов. Установите частоту генератора слов 2 kHz.

Подключите входы логического анализатора к входам и выходам счетчика. Раскройте лицевую панель логического анализатора (*двойной*

щелчок левой кнопкой мыши, курсор на темной верхней строке прибора). Раскройте лицевую панель генератора слов. Сместите лицевые панели приборов на рабочем поле так, чтобы они были полностью видны.

Заполните генератор слов так, чтобы получились необходимые комбинации сигналов логического уровня. Установив режим работы STEP или CYCLE, проверьте работу схемы нажатием кнопок STEP или тумблера питания соответственно.

Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам так, чтобы рядом появился символ ✓, а затем выполните команду **Print**.

Таблица 6.4

74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533
74LS90	K555ИЕ2	7493	ИЕ5
7492	ИЕ4	74160	ИЕ9

6.6. Содержание отчета

1. Цель работы.
2. Исследуемые схемы счетчиков в соответствии со стандартами.
3. Экспериментальные материалы в виде таблиц и осциллограмм.
4. Выводы о проделанной работе.

6.7. Список литературы

1. Браммер Ю.А. Цифровые устройства : учебное пособие для студентов вузов / Ю.А. Браммер. – Москва : Высшая школа, 2004. – 229 с.
2. Красногорцев И.Л. Основы цифровой техники : руководство по выполнению базовых экспериментов / И.Л. Красногорцев. – Челябинск : Учебная техника, 2006. – 97 с.
3. Миловзоров О.В. Электроника / О.В. Миловзоров. – Москва : Высшая школа, 2004. – 288 с.

7. ИССЛЕДОВАНИЕ РЕВЕРСИВНЫХ СЧЕТЧИКОВ

Лабораторная работа № 7

Цель работы: экспериментальное исследование работы реверсивных счетчиков, выполненных на интегральных микросхемах.

7.1. Общие положения

Счетчиком называется последовательностное цифровое устройство, обеспечивающее хранение слова информации и выполнение над ним микрооперации счета. Микрооперация счета заключается в изменении записанного или установленного значения числа C в счетчике на 1. Как уже отмечалось в лабораторной работе № 6, счетчик, в котором выполняется микрооперация счета $C := C + 1$, называется суммирующим, а счетчик, реализующий микрооперацию $C := C - 1$, называется вычитающим. Реверсивный счетчик выполняет обе операции.

Основным параметром счетчика является модуль коэффициента счета k_c , определяемый максимальным числом единичных сигналов, которое может быть сосчитано счетчиком. Счетчик, содержащий n двоичных разрядов, имеет модуль коэффициента счета $k_c = 2^n$. При суммировании сигналов реверсивный счетчик последовательно находится в состояниях $0, 1, 2, \dots, 2^n - 1$. При поступлении на счет следующего импульса суммирующий счетчик с модулем 2^n переходит в состояние 0. Модуль коэффициента счета n -разрядного счетчика может быть меньше 2^n при введении в счетчик внутренних или внешних обратных связей.

Суммирующий счетчик строится путем последовательного соединения T -триггеров, причем со входом каждого последующего триггера соединен инверсный выход предыдущего T -триггера при построении счетчиков на D -триггерах и прямой выход предыдущего T -триггера при построении счетчиков на JK -триггерах.

В реверсивном счетчике, работающем в режиме вычитания, с приходом очередного счетного сигнала содержимое счетчика уменьшается на единицу. В этом режиме в двоичном n -разрядном счетчике реализуется счетная последовательность чисел, начиная с $2^n - 1$ и заканчивая 0. Очередное число в этой последовательности получится вычитанием единицы из предыдущего числа. Поэтому вычитающий счетчик, в отли-

чие от суммирующего, строится так, что со входом каждого последующего T -триггера соединяется прямой выход предыдущего триггера при построении счетчиков на D -триггерах и инверсный выход предыдущего T -триггера при построении счетчиков на JK -триггерах.

Переход от вычитающего к суммирующему счетчику в реверсивном счетчике осуществляется внутренней логикой, которая управляется внешними сигналами.

Реверсивные счетчики характеризуется также быстродействием, которое определяется допустимой частотой входных сигналов и временем установки состояния счетчика.

По способу организации схемы переноса различают счетчики с последовательным, параллельным и параллельно-последовательным переносом. В зависимости от наличия синхронизации различают асинхронные и синхронные реверсивные счетчики.

При маркировке счетчиков российского производства на корпусе счетчика для его обозначения используются буквы ИЕ.

7.2. Реверсивный двоичный счетчик КР1533ИЕ7

Микросхема КР1533ИЕ7 (зарубежный аналог 74ALS192) расположена в 16-контактном корпусе и содержит четырехразрядный реверсивный счетчик (рис. 7.1).

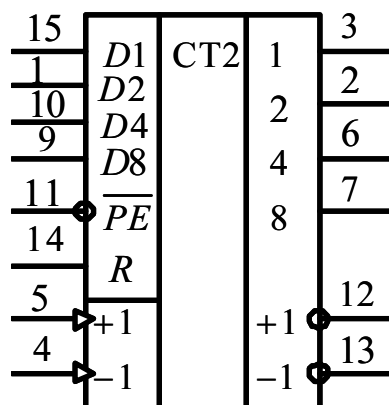


Рис. 7.1. Четырехразрядный реверсивный двоичный счетчик КР1533ИЕ7

Счетчик КР1533ИЕ7 имеет два отдельных тактовых входа для счета на увеличение +1 и (вывод 5) на уменьшение -1 (вывод 4). Содержимое счетчика изменяется по положительному перепаду тактовых импульсов от низкого уровня к высокому.

Для создания реверсивного счетчика с модулем коэффициента счета, превышающим 16, два или более счетчиков соединяются последовательно, а выводы +1 (вывод 12) и -1 (вывод 13) предыдущей микросхе-

мы присоединяются к выводам +1 (вывод 5) и -1 (вывод 4) последующей микросхемы двоичного реверсивного счетчика.

Схема счетчика КР1533ИЕ7 построена таким образом, что счетная последовательность импульсов должна подаваться только на один из входов +1 или -1, на другом входе в это время необходимо поддерживать напряжение высокого логического уровня. Во избежание ошибок менять направление счета следует в моменты времени, когда счетный импульс по любому входу имеет высокий логический уровень. Указанные меры предотвращения сбоев в счете следует применять только по отношению к первому из последовательно соединенных счетчиков, так как для последующих это условие выполняется автоматически.

Счетчик КР1533ИЕ7 позволяет предварительно записать в него любое число в пределах модуля коэффициента счета от 0 до 15 в двоичном коде. Для этого на параллельные входы $D1, D2, D4, D8$ (выводы 15, 1, 10, 9) подается требуемый четырехразрядный код, а на входе разрешения параллельной загрузки \overline{PE} (вывод 11) необходимо сформировать короткий импульс (более 40 нс) низкого логического уровня. Записанный по входам $D1, D2, D4, D8$ код отображается на выходах 1, 2, 4, 8 (выводы 3, 2, 6, 7) микросхемы. Во время счета на входе \overline{PE} должен поддерживаться высокий логический уровень.

При выполнении лабораторной работы № 7 используется мини-блок, в котором выводы предварительной загрузки $D1, D2, D4, D8$ и разрешения загрузки \overline{PE} не выведены на его переднюю панель. Упрощенная схема реверсивного двоичного счетчика, построенная на основе счетчика КР1533ИЕ7, приведена на рис. 7.2.

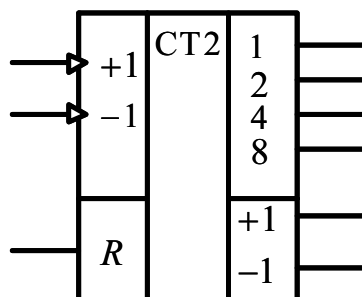


Рис. 7.2. Четырехразрядный реверсивный двоичный счетчик

Четырехразрядный реверсивный двоичный счетчик (рис. 7.2) имеет два отдельных тактовых входа для счета: на увеличение +1 и на уменьшение -1. Информационные выходы 1, 2, 4, 8 и выходы переноса информации на увеличение +1 и на уменьшение -1. Сброс счетчика в исходное нулевое состояние осуществляется высоким логическим

уровнем по входу R . Вход сброса R является приоритетным по отношению ко всем другим входам счетчика.

Режим работы четырехразрядного реверсивного двоичного счетчика поясняет табл. 7.1.

Таблица 7.1

Режим работы	Вход			Выход					
	R	+1	-1	1	2	4	8	+1	-1
Сброс	1	x	0	0	0	0	0	1	0
	1	x	1	0	0	0	0	1	1
Счет на увеличение	0	\uparrow	1	Счет на увеличение				1	1
Счет на уменьшение	0	1	\downarrow	Счет на уменьшение				1	1

В табл. 7.1 приняты следующие обозначения: x – безразличное состояние; \uparrow – перепад напряжения с низкого уровня на высокий.

Построение реверсивных счетчиков с двумя отдельными тактовыми входами для счета на увеличение +1 или на уменьшение -1 не всегда удобно на практике. Для построения реверсивного счетчика с одним источником сигналов для счета на увеличение или на уменьшение и одним управляющим сигналом можно предложить логическое устройство, приведенное на рис. 7.3.

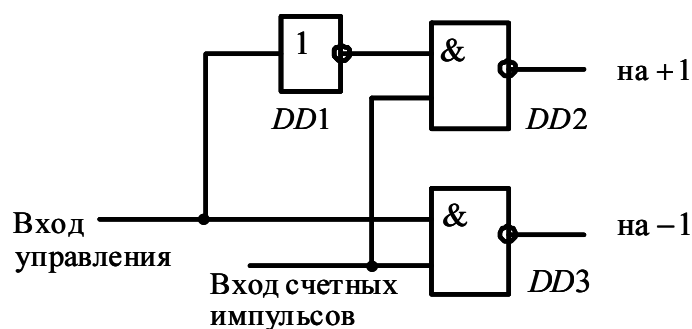


Рис. 7.3. Логическое устройство

При подаче сигнала высокого уровня на вход управления сигнал счета будет формироваться на выходе элемента $DD3$ и счетчик будет работать как вычитающий. При сигнале низкого уровня на входе управления счетные сигналы будут формироваться на выходе элемента $DD2$ и счетчик будет работать как суммирующий.

7.3. Реверсивный двоично-десятичный счетчик КР1533ИЕ6

Микросхема КР1533ИЕ6 представляет собой двоично-десятичный реверсивный счетчик. Цоколевка счетчика КР1533ИЕ6 аналогична цоколевке счетчика КР1533ИЕ7 и представлена на рис. 7.1.

При выполнении лабораторной работы № 7 используется мини-блок, в котором выводы предварительной загрузки $D1, D2, D4, D8$, и разрешения загрузки \overline{PE} не выведены на его переднюю панель. Упрощенная схема реверсивного двоично-десятичного счетчика, построенная на основе счетчика КР1533ИЕ6, приведена на рис. 7.4.

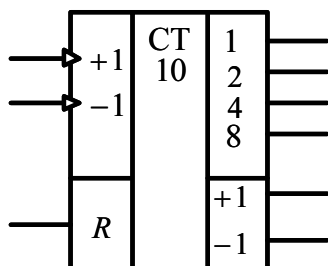


Рис. 7.4. Четырехразрядный реверсивный двоично-десятичный счетчик

Режим работы четырехразрядного реверсивного двоично-десятичного счетчика поясняет табл. 7.2.

Таблица 7.2

Режим работы	Вход			Выход					
	R	+1	-1	1	2	4	8	+1	-1
Сброс	1	x	0	0	0	0	0	1	0
	1	x	1	0	0	0	0	1	1
Счет на увеличение	0	\uparrow	1	Счет на увеличение				1	1
Счет на уменьшение	0	1	\downarrow	Счет на уменьшение				1	1

Отличительной особенностью работы счетчика КР1533ИЕ6 является то, что за счет внутренних обратных связей его счет возможен в пределах от 0 до 9, остальные шесть состояний триггеров запрещены. Счет на увеличение здесь заканчивается при выходном коде 1001 (9), а далее счет начинается с кода 0000 (0). Счет на уменьшение заканчивается при выходном коде 0000 (0), с приходом следующего импульса счет продолжается с кода 1001 (9). При переходе с кода 0 на 9 на выходе -1 формируется логический сигнал низкого уровня – сигнал переноса.

Остальные функции у счетчика КР1533ИЕ6 такие же, как и у счетчика КР1533ИЕ7.

Работу счетчика КР1533ИЕ6 при счете на увеличение поясняют временные диаграммы рис. 7.5.

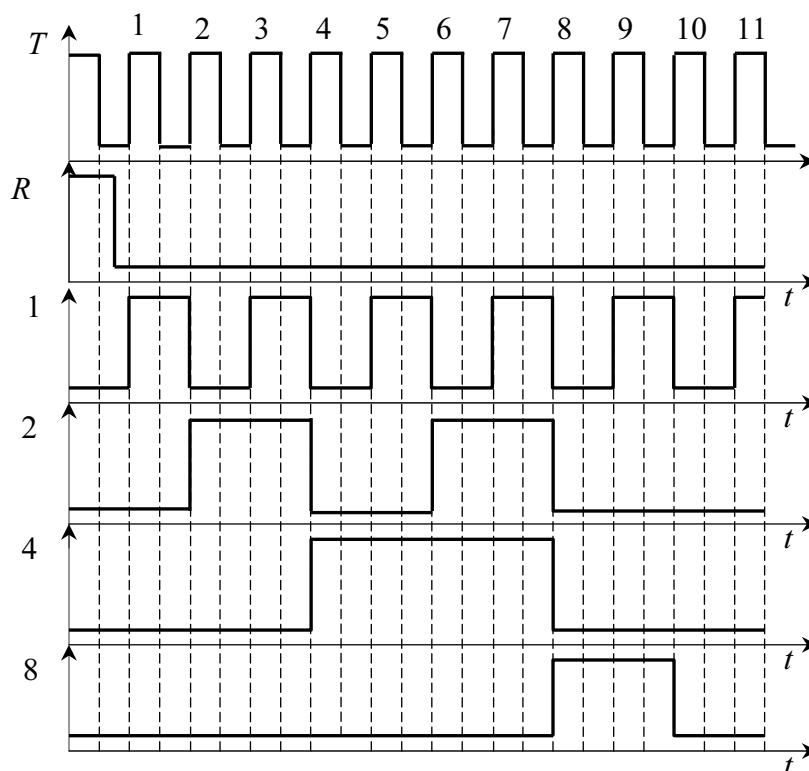


Рис. 7.5. Временные диаграммы

Обратите внимание, что на рис. 7.5 переключение счетчика происходит при положительном перепаде тактовых импульсов от низкого уровня к высокому.

7.4. Счетчик с произвольным модулем коэффициента счета

Для построения счетчиков с произвольным модулем коэффициента счета в схему последовательно соединенных двоично-десятичных счетчиков для исключения лишних состояний вводятся дополнительные логические элементы.

На рис. 7.6 приведена принципиальная схема счетчика с модулем коэффициента счета, равного 35. Начиная с исходного нулевого состояния, двоично-десятичные счетчики $DD1$ и $DD2$ принимают последовательность сигналов счета, и как только они досчитают 35, на всех входах логического элемента И-НЕ $DD3$ установятся высокие логические уровни. На выходе элемента $DD3$ сформируется низкий, а элемента

$DD4$ – высокий логический уровень. Высоким логическим уровнем напряжения по входу R счетчики $DD1$ и $DD2$ возвращаются в исходное нулевое состояние, и далее цикл счета повторяется.

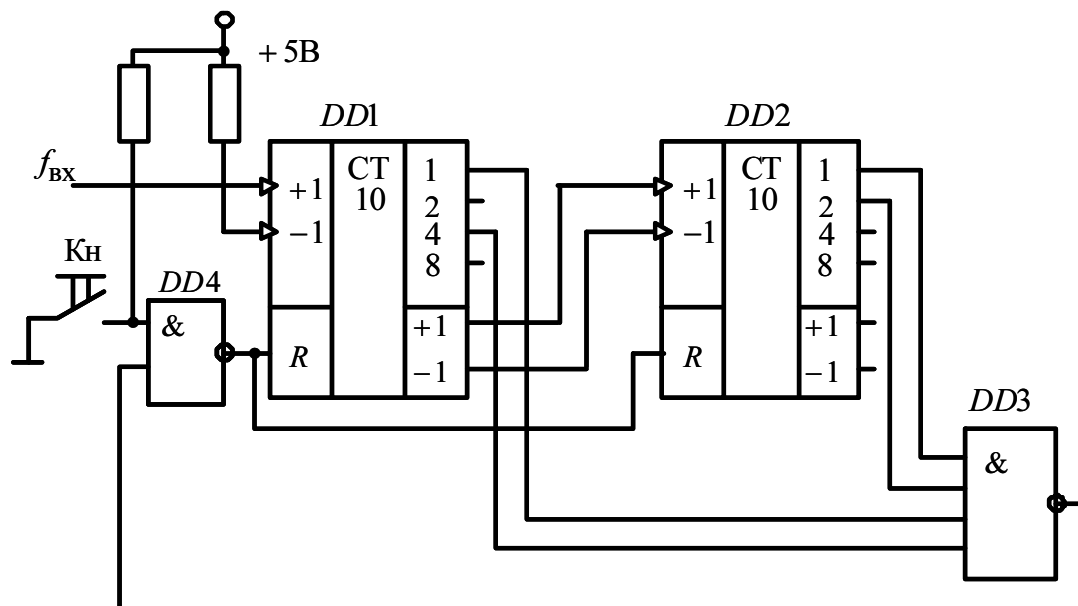


Рис. 7.6. Счетчик с модулем коэффициента счета 35

Счетчик может быть также сброшен в исходное нулевое состояние принудительно нажатием кнопки **Кн**.

7.5. Порядок выполнения работы на лабораторном стенде

1. Убедитесь, что устройства, используемые в эксперименте, отключены от сети.
2. Соберите схему тестирования четырехразрядного реверсивного двоичного счетчика рис. 7.1. Один из вариантов схемы тестирования реверсивного двоичного счетчика на наборном поле блока испытания цифровых устройств А1 приведен на рис. 7.7. Для отображения двоичной информации на выходах счетчика к схеме необходимо подсоединить мини-блок, содержащий индикатор логических уровней со светодиодами. Импульсы на один из счетных входов (+1 или -1) можно подавать нажатием кнопки источника логических сигналов, на другом входе в это время необходимо поддерживать напряжение высокого логического уровня. Счетный вход может быть переключен на выход генератора прямоугольных сигналов частотой 1–100 Гц, как показано на рис. 7.7 пунктиром. Снимите с помощью осциллографа диаграммы напряжений на входах и выходах счетчика.

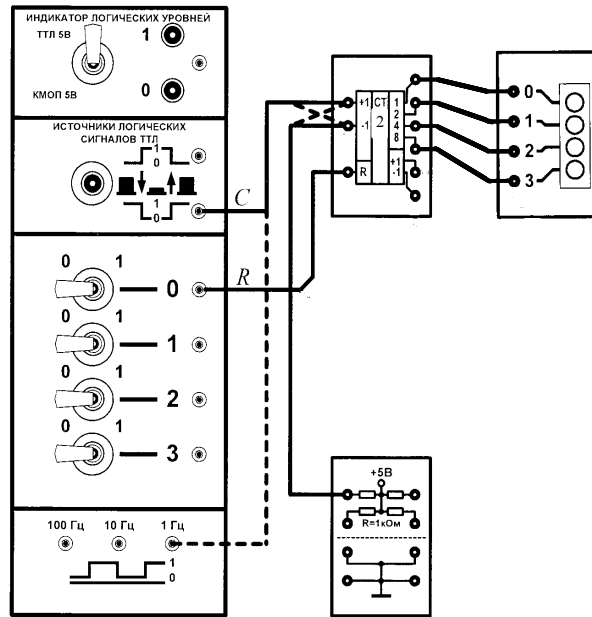


Рис. 7.7. Схема тестирования реверсивного двоичного счетчика

Для сброса реверсивного двоичного счетчика в исходное нулевое состояние тумблер 0 кратковременно переводите из положения 0 в положение 1 и возвратите в исходное состояние. Перевод тумблера 0 в положение 1 устанавливает 0 во всех разрядах счетчика.

Для работы реверсивного двоичного счетчика в режиме вычитающего счетчика необходимо поменять местами проводники, соединяющие счетные входы $+1$ и -1 . В этом случае импульсы от кнопки или генератора будут поступать на вход -1 , а на вход $+1$ будет подана логическая 1 . Переключение входов показано на рис. 7.7 пунктиром.

3. Соберите схему тестирования четырехразрядного реверсивного двоичного счетчика с одним источником сигналов для счета на увеличение или на уменьшение и одним управляющим сигналом с логическим устройством, приведенным на рис. 7.3. Проведите исследования работы счетчика как в режиме сложения, так и в режиме вычитания.

4. Соберите схему тестирования четырехразрядного реверсивного двоично-десятичного счетчика. Один из вариантов схемы тестирования двух последовательно соединенных реверсивных двоично-десятичных счетчиков на наборном поле блока испытания цифровых устройств $A1$ приведен на рис. 7.8. Для отображения информации на выходах счетчика к схеме необходимо подсоединить два мини-блока, содержащих семисегментные светодиодные индикаторы. Импульсы на один из счетных входов ($+1$ или -1) можно подавать нажатием кнопки источника логических сигналов, на другом входе в это время необходимо поддер-

живать напряжение высокого логического уровня. Счетный вход может быть переключен на выход генератора прямоугольных сигналов частотой 1–100 Гц, как показано на рис. 7.8 пунктиром. Снимите с помощью осциллографа диаграммы напряжений на входах и выходах счетчика.

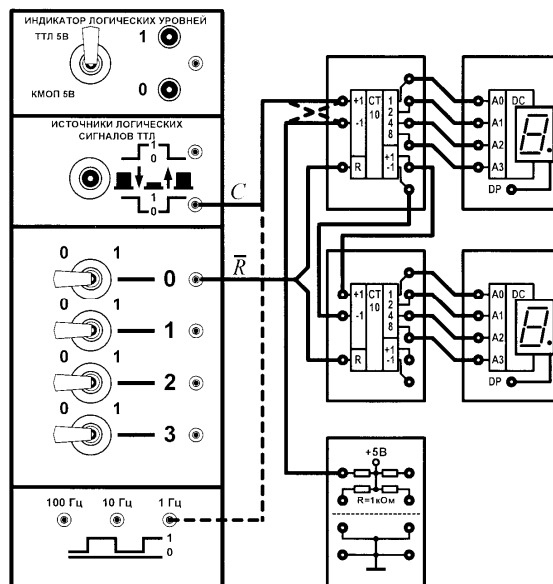


Рис. 7.8. Схема тестирования реверсивного двоично-десятичного счетчика

Исследуйте работу реверсивного двоично-десятичного счетчика в режиме сложения и вычитания импульсов.

5. Соберите схему тестирования счетчика с произвольным (заданным) модулем коэффициента счета, используя два суммирующих двоично-десятичных счетчика, в соответствии с рис. 7.6.

В качестве основы используйте схему тестирования суммирующего двоично-десятичного счетчика на наборном поле блока испытания цифровых устройств А1, приведенную на рис. 7.8, добавив в нее необходимые логические элементы.

Для указанного преподавателем варианта (табл. 7.3) изобразите принципиальную схему, а затем соберите схему реверсивного двоично-десятичного счетчика с заданным модулем коэффициента счета.

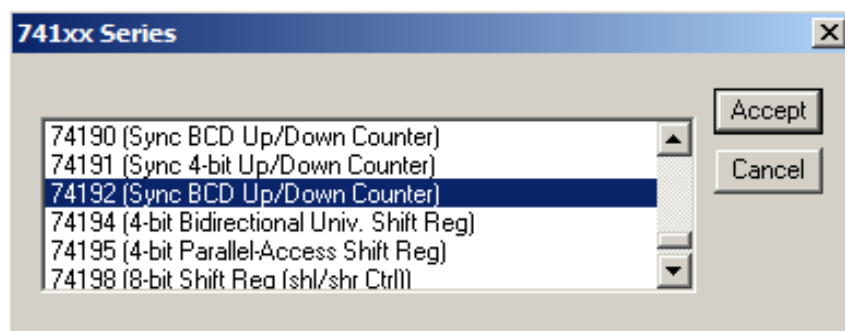
Таблица 7.3

№ варианта	1	2	3	4	5	6	7	8	9	10
Модуль коэффициента счета	36	39	53	59	56	63	66	69	27	47

Все изменения в исследуемых схемах следует производить только при **ОТКЛЮЧЕННОМ ПИТАНИИ**.

7.6. Порядок выполнения работы в программной среде Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Произведите исследование счетчика. Для этого вызовите библиотеку **Digital ICs**. Для работы с реальными микросхемами счетчиков выберите из библиотеки 741xx необходимый счетчик, например 74192 (74ALS192, данная микросхема является аналогом К1533ИЕ6), установив на него курсор и щелкнув левой кнопкой мыши. Нажмите кнопку **Ассепт**. Соответствие наименований зарубежных и отечественных микросхем счетчиков приведено в табл. 7.4.

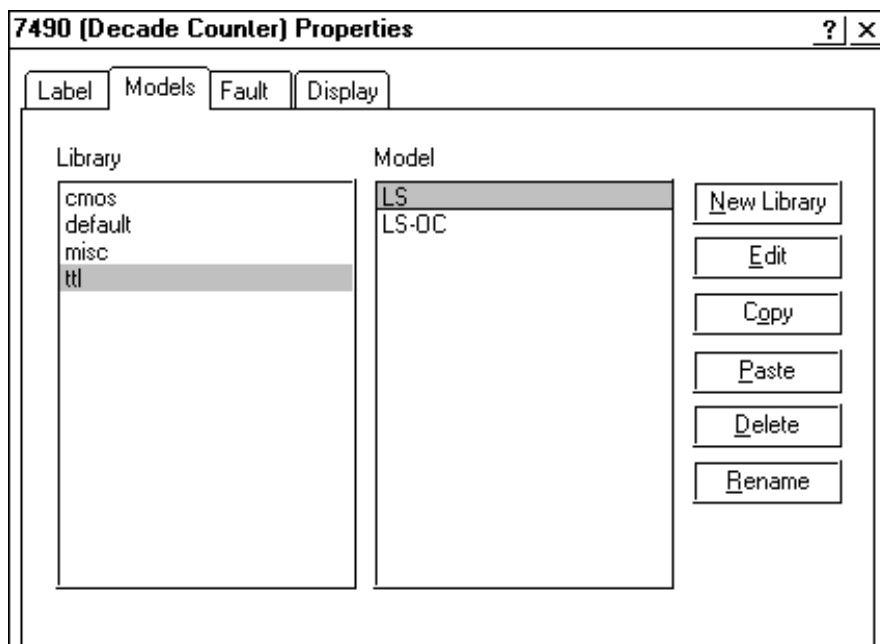


Вызовите из библиотеки элементов **Sources** источник постоянного напряжения. Дважды щелкнув по нему левой кнопкой мыши, установите напряжение 5 V. Заземлите источник питания. Подключите вывод 5 (VCC) микросхемы к положительному выводу источника питания, а вывод 10 – к заземлению.

Дважды щелкните по выделенному счетчику. В появившемся диалоговом окне выберите элементы **ttl**, а затем – модель **LS**, щелкнув по ним левой клавишей. Нажмите кнопку **ОК**.

Соберите схему для проведения испытаний, подключив к входам исследуемого счетчика генератор двоичных слов. Установите частоту генератора слов 2 kHz. Исследование счетчика можно также производить, используя генератор прямоугольных импульсов.

Подключите входы логического анализатора к входам и выходам счетчика. Раскройте лицевую панель логического анализатора (*двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора*). Раскройте лицевую панель генератора слов. Сместите лицевые панели приборов на рабочем поле так, чтобы они были полностью видны.



Заполните генератор слов так, чтобы получились необходимые комбинации сигналов логического уровня. Установив режим работы STEP или CYCLE, проверьте работу схемы нажатием кнопок **STEP** или тумблера питания соответственно.

Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам так, чтобы рядом появился символ ✓, а затем выполните команду **Print**.

Таблица 7.4

74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533
74ALS192	KP1533ИЕ7		KP1533ИЕ6

7.7. Содержание отчета

1. Цель работы.
2. Исследуемые схемы счетчиков в соответствии со стандартами.
3. Экспериментальные материалы в виде таблиц и осциллограмм.
4. Исследование счетчиков в программной среде Electronics Workbench
5. Выводы о проделанной работе.

7.8. Список литературы

1. Браммер Ю.А. Цифровые устройства : учебное пособие для студентов вузов / Ю.А. Браммер. – Москва : Высшая школа, 2004. – 229 с.

2. Красногорцев И.Л. Основы цифровой техники : руководство по выполнению базовых экспериментов / И.Л. Красногорцев. – Челябинск : Учебная техника, 2006. – 97 с.

3. Миловзоров О.В. Электроника / О.В. Миловзоров. – Москва : Высшая школа, 2004. – 288 с.

4. Электротехника и электроника в экспериментах и упражнениях : практикум на Electronics Workbench. В 2 томах. Том 2. Электроника / Д.И. Панфилов, И.Н. Чепурин, В.Н. Миронов и др. ; под общ. ред. Д.И. Панфилова – Москва : ДОДЭКА, 2000. – 288 с.

Приложение 7.1

Шаг	Вариант											
	1	2	3	4	5	6	7	8	9	10	11	12
1	5	6	5	7	6	4	4	6	5	4	7	6
2	1	3	1	3	3	1	1	3	1	2	5	2
3	3	3	3	1	1	3	3	3	1	3	5	3
4	4	5	6	4	5	5	7	5	6	6	2	4
5	4	7	4	6	7	5	5	7	4	6	6	4
6	0	2	0	2	2	0	0	2	0	0	4	0
7	2	2	2	0	0	2	2	2	0	1	4	1
8	5	4	7	5	4	4	6	4	7	4	3	6

8. ИССЛЕДОВАНИЕ РЕГИСТРОВ НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

Лабораторная работа № 8

Цель работы – экспериментальное исследование работы регистров, выполненных на интегральных микросхемах.

8.1. Общие положения

Регистрами называются цифровые устройства, предназначенные для записи, хранения и (или) сдвига информации, представленной в виде многоразрядного кода. Регистр состоит из нескольких триггеров, соединенных последовательно. В отличие от счетчиков-делителей, в регистре нет внутренних обратных связей.

Важнейшими характеристиками регистров являются разрядность и быстродействие. Разрядность регистра соответствует количеству используемых в нем триггеров. Быстродействие характеризуется максимальной тактовой частотой, с которой может производиться запись, чтение и сдвиг информации.

По количеству тактов управления, необходимых для записи кода, различают одно-, двух- и многотактные (n -тактные) регистры.

По количеству каналов, по которым поступает информация на входы разрядов, регистры бывают одно- и парафазными. В однофазных регистрах информация поступает на каждый разряд только по одному каналу (прямому или инверсному), а в парафазных – по обоим каналам. Парафазные регистры реализуются на RS -триггерах, а однофазные – на D -триггерах.

По способу приема, приема и передачи информации различают последовательные, параллельные и параллельно-последовательные регистры.

По виду выполняемых операций различают регистры для приема, хранения, передачи и сдвига информации. По направлению сдвига информации различают регистры прямого сдвига, т. е. вправо, в сторону младшего разряда, обратного сдвига, т. е. влево, в сторону старшего разряда, и реверсивные, в которых возможен сдвиг в обоих направлениях.

По принципу хранения информации регистры делятся на статические и динамические. Статические регистры построены на триггерах и могут

хранить записанную информацию сколь угодно долго при наличии напряжения питания. В динамических регистрах функции элементов памяти выполняют конденсаторы с ключами на полевых транзисторах. Подобный элемент памяти может хранить информацию лишь в течение некоторого интервала времени. Поэтому в динамических регистрах записанная информация находится в постоянном движении.

8.2. Регистры хранения

Регистр с параллельным приемом и выдачей информации называется *регистром хранения, или памяти*.

Регистры хранения строят на основе одноступенчатых асинхронных *RS*- или *D*-триггеров. Для этого могут применяться и *JK*-триггеры, но их возможности больше, чем требуется для регистра хранения.

Условное графическое обозначение регистра хранения приведено на рис. 8.1.

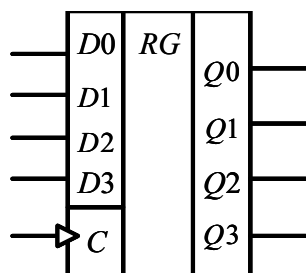


Рис. 8.1. Условное графическое обозначение параллельного регистра

Принципиальная схема четырехразрядного параллельного регистра, выполненного на *D*-триггерах, представлена на рис. 8.2.

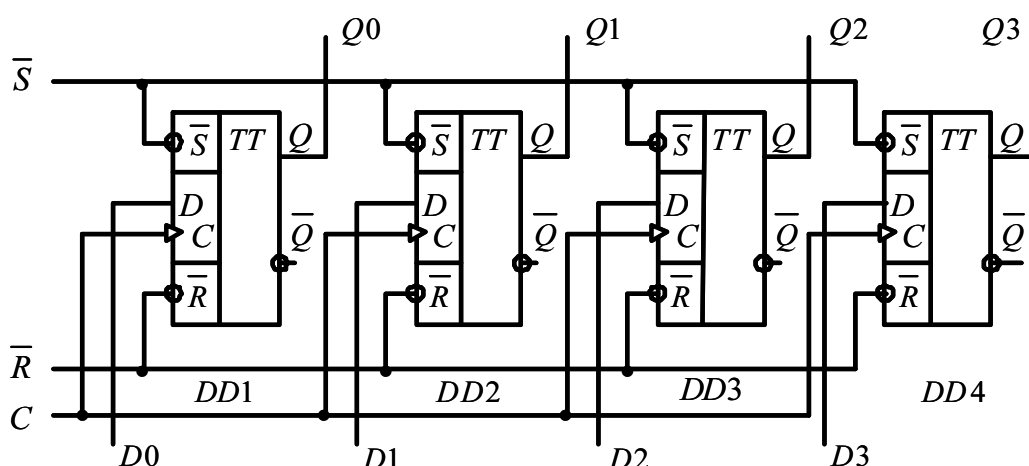


Рис. 8.2. Принципиальная схема четырехразрядного регистра хранения

Двоичный код, установленный на входах D_0-D_3 , записывается в триггеры регистра при положительном перепаде на входе C и сохраняется в регистре до следующей операции записи. Записанный в регистр код может быть считан с прямых выходов триггеров Q_0-Q_3 .

После смены сигнала на входе C на ноль (0) триггеры переходят в режим хранения. В это время ко входам D_0-D_3 , можно подвести следующее число, которое при появлении единичного сигнала на входе C запишется в регистр, заменив в его триггерах предыдущую информацию. Для нормальной работы триггеров регистра необходимо, чтобы на входах \bar{R} и \bar{S} были высокие логические уровни сигналов. Диаграммы напряжений для двух разрядов параллельного регистра хранения приведены на рис. 8.3.

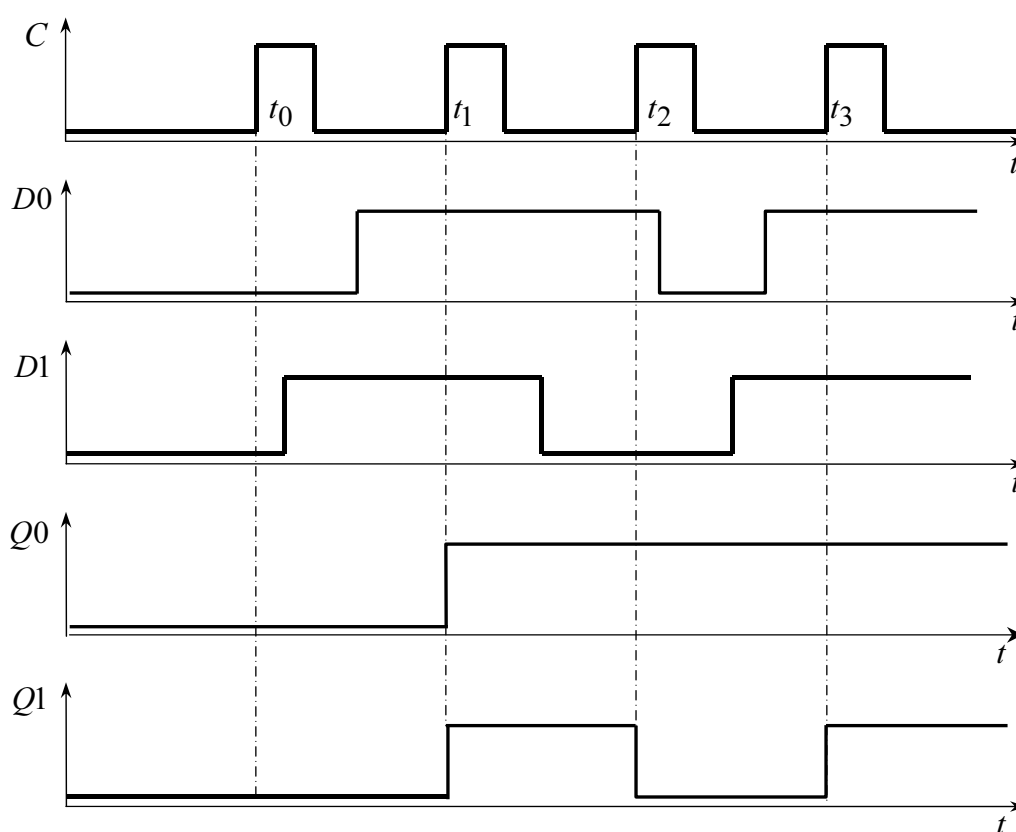


Рис. 8.3. Диаграммы напряжений для двух разрядов параллельного регистра хранения

Как следует из анализа рис. 8.3 в моменты времени t_0-t_3 положительным фронтом импульса по входу C информация со входов D_0 и D_1 записывается на выходы Q_0 и Q_1 параллельного регистра.

Для обнуления регистра, т. е. сброса предыдущей информации, на вход \bar{R} подают импульс низкого уровня на время, достаточное для перевода всех триггеров в нулевое состояние. Пока регистр выполняет свои функции, на установочных входах \bar{R} и \bar{S} поддерживается высокий логический потенциал.

8.3. Регистры сдвига

Регистры сдвига предназначены для преобразования информации путем ее сдвига под воздействием импульсов синхронизации по входу C . Регистры сдвига обычно состоят из последовательно соединенных триггеров.

В регистре сдвига вправо первый разряд x_1 вводимого числа X подается на вход одного, крайнего слева, разряда регистра Q_n и вводится в него при поступлении первого сигнала синхронизации C (рис. 8.4). С приходом следующего сигнала синхронизации значение x_1 с выхода разряда Q_n вводится в разряд Q_{n-1} , а в разряд Q_n поступает второй разряд x_2 числа X . В каждом такте синхронизации производится сдвиг поступающей информации на один разряд вправо. После n сигналов синхронизации весь регистр оказывается заполненным разрядами числа X , и первый разряд x_1 числа X появится на выходе Q_0 . Если далее на вход регистра подать последовательность из n сигналов синхронизации, а на вход разряда Q_n подать $x = 0$, то из регистра будет выводиться число X через выход Q_0 и в конце вывода регистр будет освобожден от хранения числа X .

Условное графическое обозначение регистра сдвига приведено на рис. 8.5.

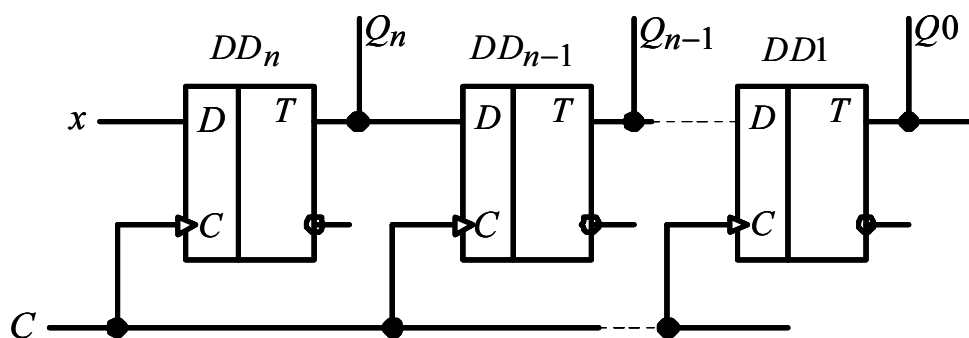


Рис. 8.4. Реализация регистра сдвига на D -триггерах

Принципиальная схема четырехразрядного регистра сдвига, выполненного на D -триггерах, показана на рис. 8.6.

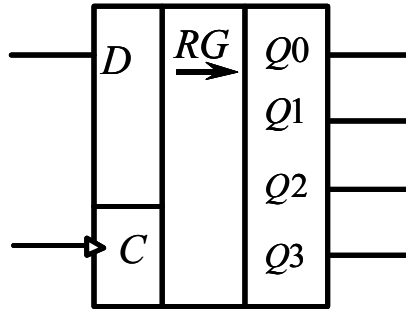


Рис. 8.5. Условное графическое обозначение регистра сдвига

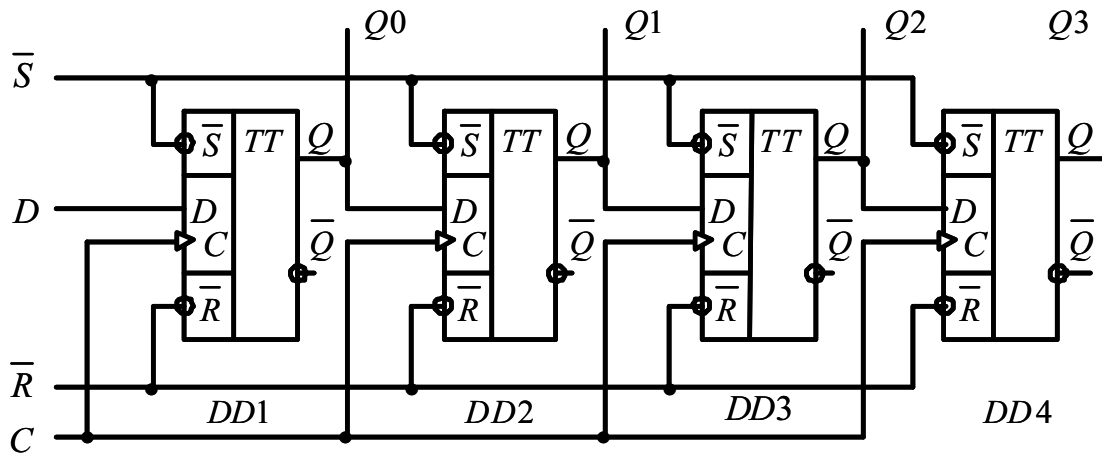


Рис. 8.6. Принципиальная схема четырехразрядного регистра сдвига

При отсутствии импульсов на входе C -триггеры регистра сохраняют свое состояние, которое может быть считано с выходов регистра $Q_0 - Q_3$. Данные с прямого выхода каждого триггера поступают на вход D следующего триггера регистра.

Для нормальной работы триггеров регистра необходимо, чтобы на входах \bar{R} и \bar{S} были высокие уровни сигналов. Диаграммы напряжений для трех разрядов регистра сдвига приведены на рис. 8.7.

Как следует из анализа рис. 8.7, импульсы синхронизации, приходящие на тактовый вход C , своим передним фронтом каждый раз устанавливают последующий триггер в состояние, в котором до этого находился предыдущий. При этом вход D первого триггера служит для приема информации в виде последовательного кода. После приема четырех разрядов последовательного кода соответствующий параллельный код может быть получен с выходов $Q_0 - Q_2$ триггеров $DD1 - DD3$.

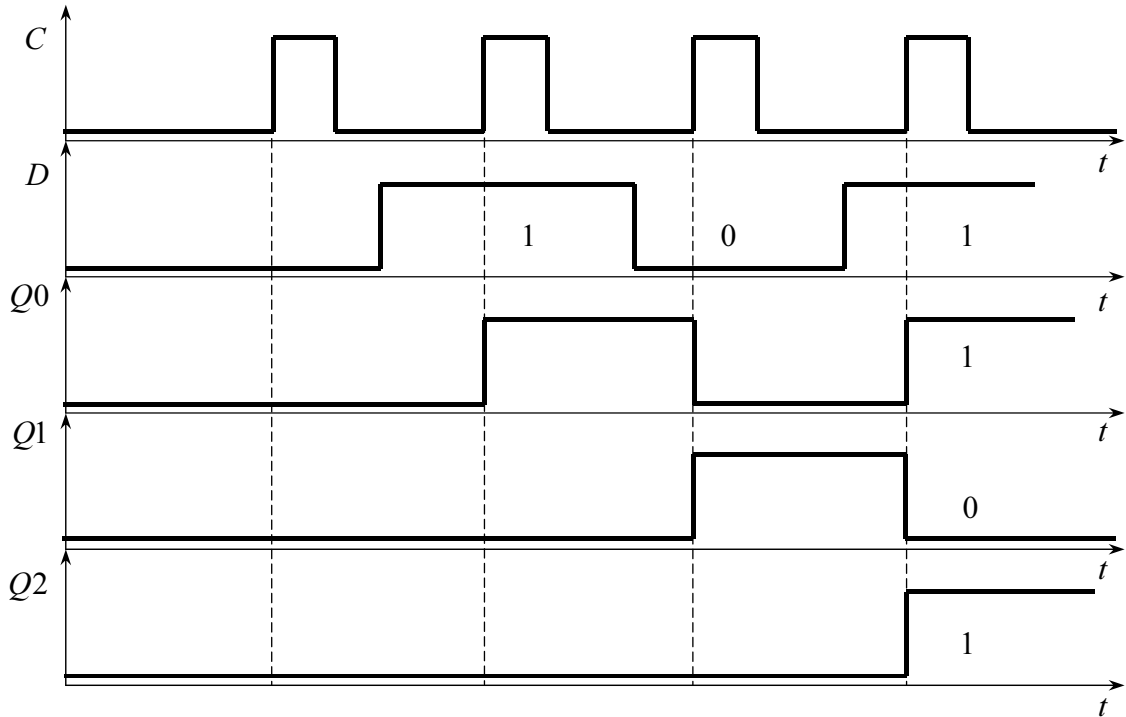


Рис. 8.7. Диаграммы напряжений, поясняющие работу регистра сдвига

8.4. Порядок выполнения работы на лабораторном стенде

1. Убедитесь, что устройства, используемые в эксперименте, отключены от сети электропитания.

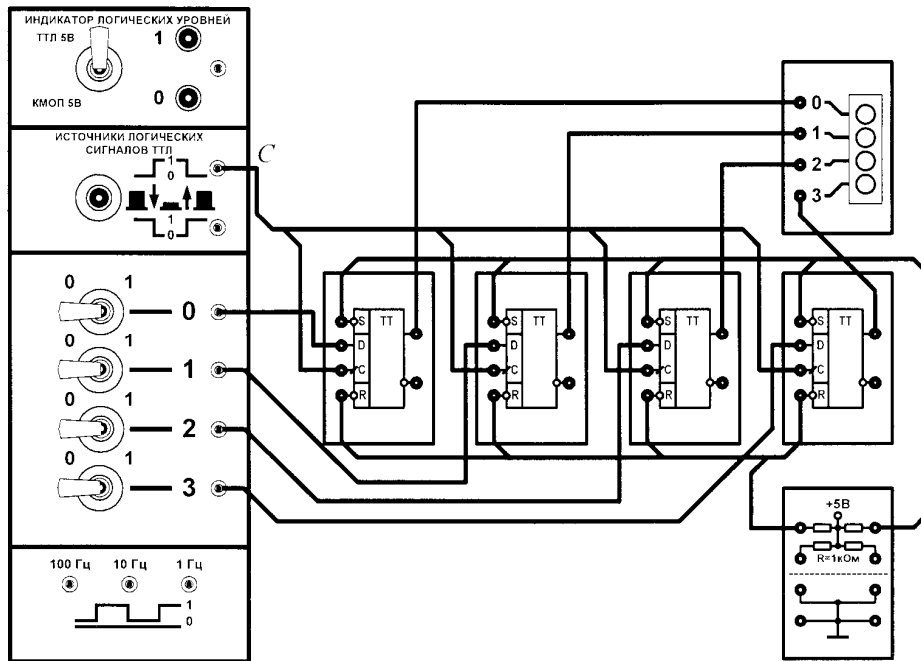


Рис. 8.8. Схема тестирования параллельного регистра

2. Соберите параллельный регистр в соответствии с рис. 8.2. Один из вариантов схемы тестирования регистра хранения на наборном поле блока испытания цифровых устройств А1 приведен на рис. 8.8. Для отображения двоичной информации на выходах регистра к схеме необходимо подсоединить мини-блок, содержащий индикаторы логических уровней со светодиодами. Импульсы на вход синхронизации C необходимо подавать нажатием кнопки источника логических сигналов. На входы \bar{R} и \bar{S} необходимо подать сигналы высокого уровня. Данные на входах регистра устанавливаются тумблерами 0, 1, 2, 3. Для проверки правильности работы параллельного регистра запишите несколько произвольных четырехразрядных двоичных чисел в память регистра. Проверьте соответствие сигналов поданного числа и сигналов числа, записанного в регистр, с помощью индикатора логических уровней со светодиодами или осциллографа. Последовательно подавая сигналы кодов различных чисел на регистр и меняя сигнал на входе C с низкого уровня на высокий, убедитесь, что регистр работает в режиме хранения и записи информации.

3. Соберите регистр сдвига. Данные на входе регистра устанавливайте тумблером 0. Сдвиг данных осуществляйте сигналом синхронизации (нажатием кнопки источника логических сигналов). Для отображения двоичной информации на выходах регистра сдвига подсоедините мини-блок, содержащий индикатор логических уровней со светодиодами. На входы \bar{R} и \bar{S} необходимо подать высокие логические уровни сигналов. Схема тестирования последовательного регистра на наборном поле блока испытания цифровых устройств А1 приведена на рис. 8.9. Запишите произвольное четырехразрядное двоичное число в память регистра. Преобразуйте схему так, чтобы была возможность осуществления сброса регистра в нулевое состояние. Проверьте соответствие сигналов поданного числа и сигналов числа, записанного в регистр, с помощью индикатора логических уровней со светодиодами или осциллографа. Последовательно подавая сигналы кодов различных чисел на регистр и меняя сигнал на входе C с низкого на высокий, убедитесь, что регистр работает в режиме сдвига информации.

4. При необходимости изменения исследуемой схемы отключите выключатель «Сеть» блока испытания цифровых устройств А1, измените схему, включите выключатель «Сеть».

5. По завершении работы выключите выключатель «Сеть» блока испытания цифровых устройств А1 и автоматический выключатель в однофазном источнике питания G1.

6. Разберите схему и верните лабораторный стенд в исходное состояние.

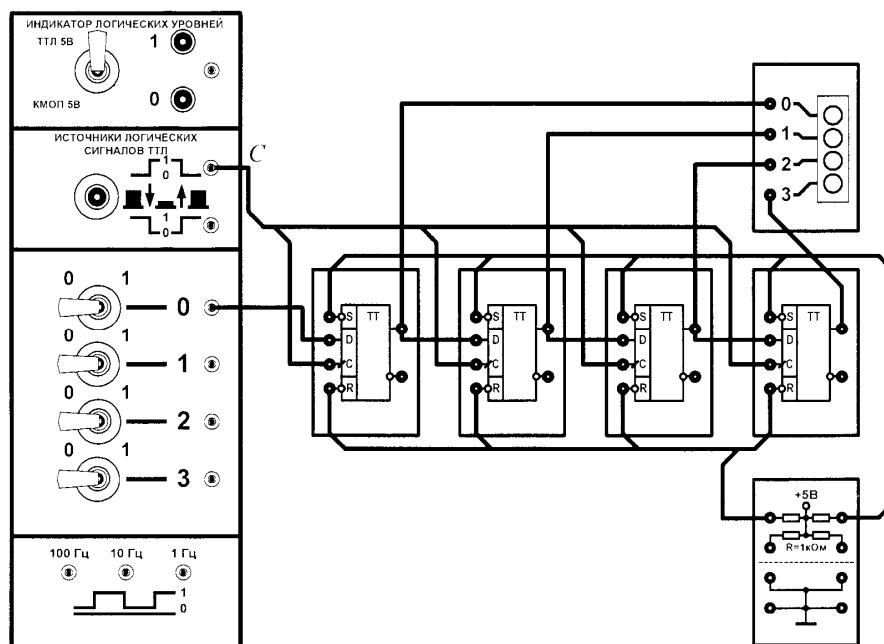
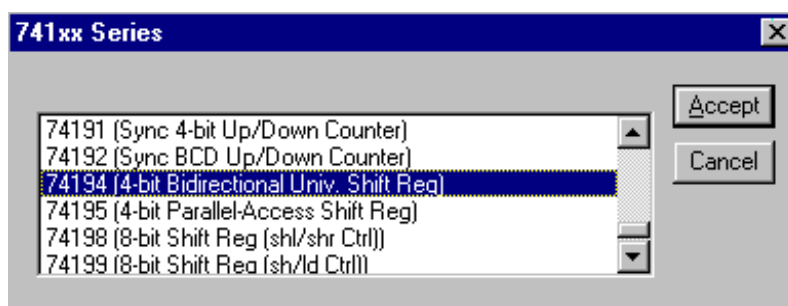


Рис. 8.9. Схема тестирования сдвигового регистра

Все изменения в исследуемых схемах следует производить только при **ОТКЛЮЧЕННОМ ПИТАНИИ**.

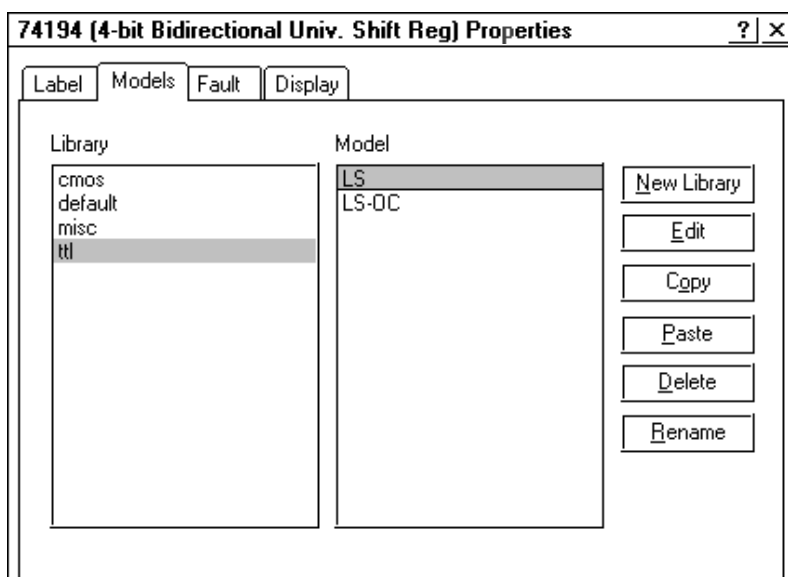
8.5. Порядок выполнения работы в программе среде Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Произведите исследование регистра из библиотеки последовательностных элементов (по указанию преподавателя). Для этого вызовите библиотеку **Digital ICs**. Для работы с реальными микросхемами регистров серии ТТЛ выберите из библиотеки 741xx, например регистр 74194, установив на него курсор и щелкнув левой кнопкой мыши. Нажмите кнопку **Ассепт**. Соответствие наименований зарубежных и отечественных микросхем регистров приведено в табл. 8.1.



Вызовите из библиотеки элементов **Sources** источник постоянного напряжения. Дважды щелкнув по нему левой кнопкой мыши, установите напряжение 5 V. Заземлите источник питания. Подключите вывод 16 (VCC) микросхемы к положительному выводу источника питания, а вывод 8 – к заземлению.

Дважды щелкните по выделенному счетчику. В появившемся диалоговом окне выберите элементы **ttl**, а затем – модель **LS**, щелкнув по ним левой клавишей.



Нажмите кнопку **ОК**.

Соберите схему для проведения испытаний, подав к необходимым выводам исследуемого регистра соответствующие сигналы в зависимости от режимов работы – параллельным приемом и выдачей информации и последовательным приемом и выдачей информации.

Подключите входы логического анализатора к входам и выходам регистра. Раскройте лицевую панель логического анализатора (*двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора*). Раскройте лицевую панель генератора слов. Сместите лицевые панели приборов на рабочем поле так, чтобы они были полностью видны.

Заполните генератор слов так, чтобы получились необходимые комбинации сигналов логического уровня. Установив режим работы **STEP** или **CYCLE**, проверьте работу схемы нажатием кнопки **STEP** или тумблера питания соответственно.

Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выбе-

рите нужные вам так, чтобы рядом появился символ ✓ , а затем выполните команду **Print**.

Таблица 8.1

74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533
95	ИР1	198	ИР13
164	ИР8	173	ИР15
194	ИР11	195	ИР16
195	ИР12	2504	ИР17

8.6. Содержание отчета

1. Цель работы.
2. Исследуемые схемы регистров в соответствии со стандартами.
3. Экспериментальные материалы в виде таблиц и осциллограмм.
4. Выводы о проделанной работе.

8.7. Список используемой литературы

1. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования / Ю.В. Новиков. – Москва : Мир, 2001. – 379 с.
2. Браммер Ю.А. Цифровые устройства : учебное пособие для студентов вузов / Ю.А. Браммер. – Москва : Высшая школа, 2004. – 229 с.
3. Красногорцев И.Л. Основы цифровой техники : руководство по выполнению базовых экспериментов / И.Л. Красногорцев. – Челябинск : Учебная техника, 2006. – 97 с.
4. Миловзоров О.В. Электроника / О.В. Миловзоров. – Москва : Высшая школа, 2004. – 288 с.

9. ИССЛЕДОВАНИЕ ЦИФРОВЫХ СУММАТОРОВ

Лабораторная работа № 9

Цель работы: изучить логические основы и особенности работы двоичных одноразрядных полусумматоров и двоичных сумматоров, а также получить практические навыки работы с ними.

9.1. Общие положения

При создании цифровых автоматов и специализированных микро-ЭВМ наряду с элементарными комбинационными логическими элементами широко используются типичные комбинационные схемы – сумматоры. Как правило, они выполнены с помощью интегральной технологии и представляют собой интегральные схемы средней степени интеграции.

Сумматор предназначен для выполнения операции арифметического сложения двух двоичных чисел. При сложении двух одноразрядных двоичных чисел A и B формируются двоичные значения суммы (S) и переноса (C). Работа логической схемы, реализующей операцию сложения, показана в таблице истинности 9.1.

Таблица 9.1

Вход		Выход	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Значения суммы S и переноса C в табл. 9.1 совпадают соответственно со значениями функции ИСКЛЮЧАЮЩЕЕ ИЛИ и функции И и поэтому могут быть описаны следующими выражениями:

$$S = A \cdot \bar{B} + \bar{A} \cdot B = A \oplus B, \quad C = A \cdot B. \quad (9.1)$$

Логическая схема, реализующая обе указанные функции, называется полусумматором (рис. 9.1).

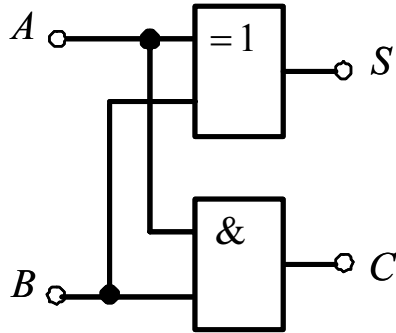


Рис. 9.1. Полусумматор

С помощью полусумматора можно выполнить сложение лишь одноразрядных двоичных чисел. При сложении двоичных чисел, имеющих более одного разряда, полусумматор можно использовать только для одного младшего разряда, так как для старших разрядов необходимо учитывать значение переноса, поступающего из соседнего младшего разряда числа. Таким образом, в старших разрядах складываются не два, а три числа, поскольку может произойти перенос со следующего за ним младшего разряда. В общем случае для каждого разряда необходима логическая схема с тремя входами A_i , B_i , C_i и двумя выходами S_i и C_{i+1} . Такая схема называется полным сумматором. Её можно реализовать, например, с помощью двух полусумматоров, как показано на рис. 9.2.

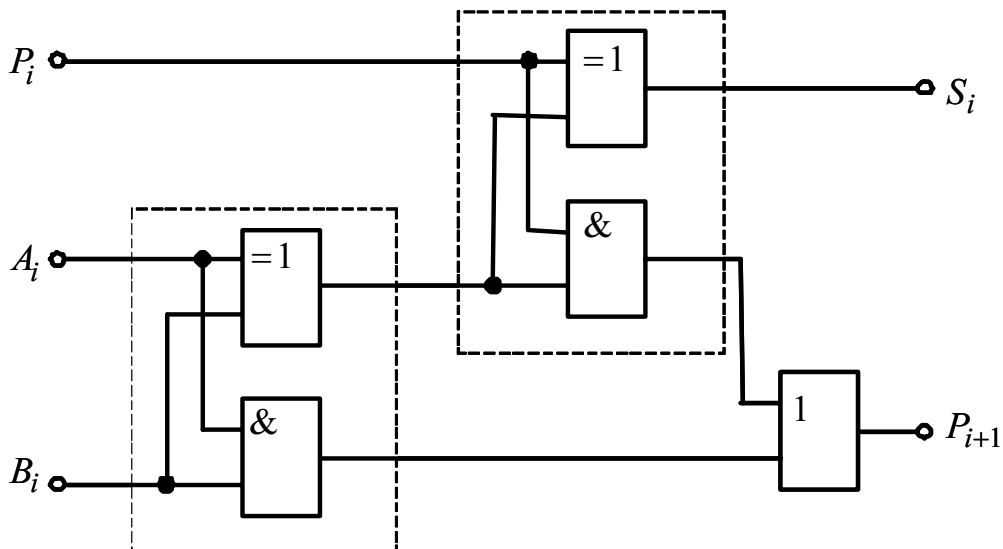


Рис. 9.2. Схема полного сумматора

Режим работы полного сумматора при сложении одного разряда двоичных чисел A и B представлен таблицей истинности 9.2, где C_{i+1} – перенос, формируемый в i -м разряде и поступающий в $(i+1)$ -й разряд.

Таблица 9.2

Вход			Выход	
C_i	A_i	B_i	S_i	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

На рис. 9.3 приведена схема, предназначенная для сложения двух четырехразрядных чисел A и B . В её младшем разряде также используется полный сумматор, чтобы иметь возможность наращивать разрядность схем.

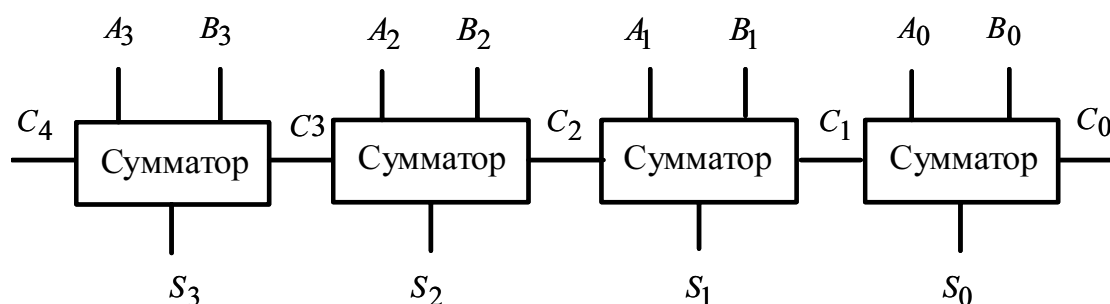


Рис. 9.3. Четырехразрядный сумматор с последовательным переносом

Четырехразрядные сумматоры, как правило, имеют по четыре входа для каждого слагаемого A и B , вход переноса из предыдущего разряда, четыре выхода суммы и выход переноса в следующий разряд. Промышленность выпускает такие сумматоры в интегральном исполнении, их представителями являются К155ИМ3, К155ИМ6, К555ИМ7 и др.

Сумматоры могут работать в двух режимах: в режиме сложения и в режиме вычитания многоразрядных двоичных чисел. В **режиме сложения** на вход переноса сумматора младшего разряда подается сигнал логического нуля, а слагаемые – поразрядно соответственно на входы A_i и B_i . Полученная сумма

$$S = A + B \quad (9.2)$$

снимается с выходов S_i с учетом информации на выходе переноса в следующий разряд – C_{i+1} .

Режим вычитания двух многоразрядных чисел сводится к операции сложения операндов A_i и B_i . Действительно,

$$S = A - B = A + (F - B) - F. \quad (9.3)$$

При этом следует F выбрать таким образом, чтобы операция $F - B$ (вычисление дополнения B до F), также как и вычитание F , проводилось без помощи специальных схем, реализующих вычитание. В случае i -разрядных двоичных чисел A_i и B_i это возможно при $F = 2^i - 1$. В этом случае выражение $F - B_i$ называется поразрядным дополнением B_i^1 . Поразрядное дополнение B_i^1 получается путем инвертирования всех разрядов числа B_i . Справедливость этого утверждения вытекает из того, что максимальное число, которое можно записать в двоичном i -разрядном коде, равно

$$1111\dots = 2^i - 1. \quad (9.4)$$

Следовательно, вычитая из этой величины любое двоичное число B_i с целью определения его дополнения B_i^1 , мы получим тоже двоичное число, которое составляется путем инверсии всех разрядов B_i .

Рассмотрим операцию вычитания в случае поразрядного дополнения. При $F = 2^i - 1$ из выражения (3.3) следует, что

$$A_i - B_i = A_i + (2^i - 1 - B_i) - (2^i - 1) = A_i + B_i^1 - 2^i + 1. \quad (9.5)$$

Таким образом, вычитание можно осуществить, инвертируя число B_i , прибавляя еще одну единицу и вычитая 2^i . Вычитание 2^i достигается весьма просто – путем инверсии разряда переноса. Для добавления 1 на свободный вход сигнала переноса младшего разряда C_0 необходимо подать единицу. При этом получается схема, представленная на рис. 9.4.

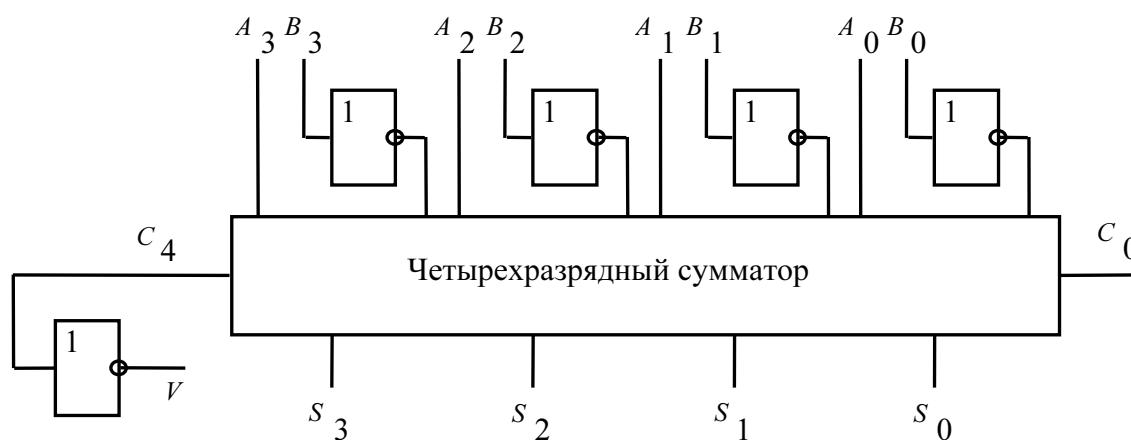


Рис. 9.4. Вычисление разности двух четырехразрядных чисел

$$A - B = S; C_4 = 1; V = 0 \text{ при } S \geq 0.$$

$$A - B = \bar{S}; C_4 = 0; V = 1 \text{ при } S < 0.$$

Рассмотрим теперь случай, когда искомая разность S отрицательна. При этом на выходе переноса C_4 появится ноль, а на выходе V – единица. Она может рассматриваться как отрицательный перенос -2^i (минус два в степени i). Поясним это на примере схемы рис. 9.4. Таким образом, можно записать

$$S_i = -2^i + Z_i.$$

При изменении порядка вычитания следует

$$|S_i| = 2^i - Z_i.$$

Введенное число Z_i представляет собой точное двоичное дополнение (поразрядная инверсия) модуля разности. Знак числа укажет $C_4 = 0$ или $V = 1$. При продолжении арифметических операций такое представление является весьма удобным.

Таким образом, общие правила вычитания можно сформулировать следующим образом:

- при вычитании из большего числа меньшего на вход A_i подается число в прямом коде, а на вход B_i – в инверсном. На вход C_0 поступает сигнал, соответствующий логической единице. То есть производится суммирование кода числа A_i с дополнительным кодом числа B_i . Разность сигналов снимается с выхода S_i в прямой форме, при этом на выходе C_4 устанавливается значение логической единицы, а на выходе V – логического нуля.
- при вычитания из меньшего числа большего входные сигналы на информационные входы A_i и B_i подаются так же, как в первом случае, но на вход C_0 подается сигнал, соответствующий логическому нулю. Выходной сигнал снимается с S_i в инверсной форме, а на выходе C_4 устанавливается значение логического нуля, на выходе V – логической единицы.

Таким образом, при вычитании многоразрядных двоичных чисел выход переноса в сумматор старшего разряда выступает как информационный выход, показывающий, какой из видов вычитания был выполнен в результате логических действий и в каком виде представлена выходная информация.

9.2. Порядок выполнения работы на лабораторном стенде

1. Убедитесь, что устройства, используемые в эксперименте, отключены от сети.

2. Соберите схему тестирования полусумматора (рис. 9.1). Один из вариантов схемы тестирования полусумматора на наборном поле блока испытания цифровых устройств А1 приведен на рис. 9.5.

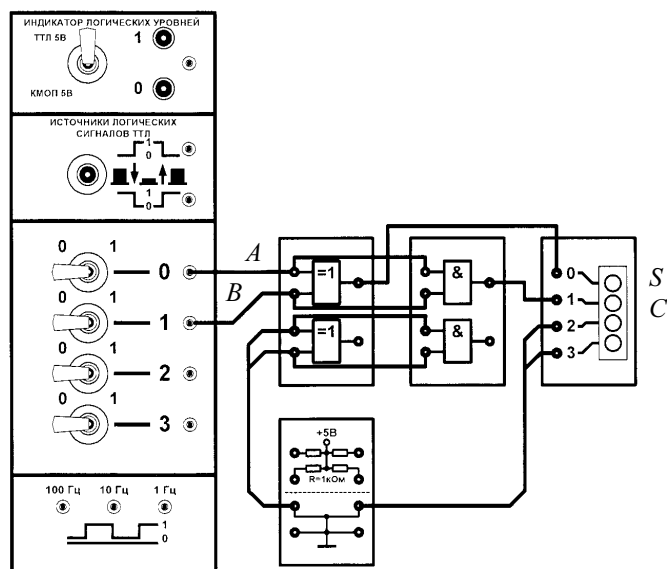


Рис. 9.5. Схема тестирования полусумматора

Подключите входы полусумматора к тумблерам 0 и 1. Для отображения двоичной информации на выходах полусумматора к схеме необходимо подсоединить мини-блок, содержащий индикатор логических уровней со светодиодами. Переключая тумблеры 0 и 1, произведите сложение двух одноразрядных двоичных чисел. По результатам тестирования заполните таблицу истинности полусумматора 9.3.

Таблица 9.3

Вход		Выход (Эксперимент)	
A	B	S	C
0	0		
0	1		
1	0		
1	1		

Произведите сравнение результатов табл. 9.1 и 9.3.

3. Соберите схему тестирования сумматора (рис. 9.2). Один из вариантов схемы тестирования сумматора на наборном поле блока испытания цифровых устройств А1 приведен на рис. 9.6.

Подключите входы сумматора к тумблерам 0 и 1, а вход переноса C_i – к тумблеру 2. Для отображения двоичной информации на выходах сумматора к схеме необходимо подсоединить мини-блок, содержащий индикатор логических уровней со светодиодами.

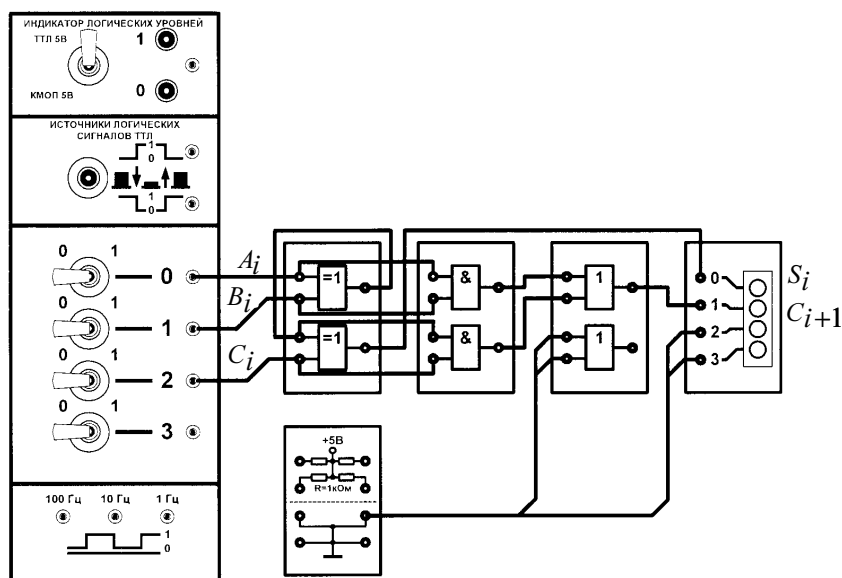


Рис. 9.6. Схема тестирования полусумматора

Переключая тумблеры 0, 1 и 2, произведите сложение двух одно-разрядных двоичных чисел и сигнала переноса C_i . По результатам тестирования заполните таблицу истинности сумматора 9.4.

Таблица 9.4

Вход			Выход	
C_i	A_i	B_i	S_i	C_{i+1}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Произведите сравнение результатов табл. 9.2 и 9.4.

4. По завершении работы отключите выключатель «СЕТЬ» блока испытания цифровых устройств $A1$ и автоматический выключатель в однофазном источнике питания $G1$.

9.3. Порядок выполнения работы в программной среде Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench 5.12.

2. Исследуйте работу четырехразрядного сумматора, синтезированного на базе четырех одноразрядных сумматоров ТТЛ – серии интегральных микросхем в режимах сложения и вычитания. Для этого выберите из библиотеки **Digital** четыре полных сумматора. Нажав дважды левую клавишу мыши, установите в карте Full – Adder Properties из библиотеки (Library) **ttl**-серию, модель (Model) **LS**. Нажмите клавишу ОК.

3. Соберите схему четырехразрядного сумматора и подключите к его выводам формирователь логических уровней и анализатор логических сигналов.

4. Задаваясь операндами A и B , исследуйте режимы сложения и вычитания. Результаты экспериментов занесите в табл. 9.3.

5. Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам приборы так, чтобы рядом появился символ ✓, а затем выполните команду **Print**.

Соответствие наименований зарубежных и отечественных микросхем сумматоров на элементах ТТЛ приведено в табл. 9.5.

Таблица 9.5

74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533
7480	ИМ1	74283	ИМ6
7482	ИМ2	74358	ИМ7
7483	ИМ3	74385	ИМ8

9.4. Содержание отчета

1. Цель работы.
2. Принципиальные схемы сумматоров в соответствии со стандартами.

3. Таблицы, диаграммы напряжений, комментарии и пояснения к ним.
4. Выводы о проделанной работе и полученных результатах.
5. Ответы на контрольные вопросы, указанные преподавателем.

9.5. Контрольные вопросы

1. Чем отличается полный сумматор от полусумматора?
2. Какую функцию выполняют выходы сумматора P_{i+1} и S_i при сложении и вычитании многоразрядных двоичных чисел?
3. Чем отличаются режим вычитания из большего – меньшего числа, от режима вычитания из меньшего – большего?
4. Как маркируются сумматоры и какие их типы вы знаете?
5. Поясните терминологию «поразрядное дополнение числа B_i^1 ».
6. Какая схема называется полным сумматором?
7. В каких режимах работают сумматоры?

9.6. Список литературы

1. Браммер Ю.А. Цифровые устройства : учебное пособие для студентов вузов / Ю.А. Браммер. – Москва : Высшая школа, 2004. – 229 с.
2. Миловзоров О.В. Электроника / О.В. Миловзоров. – Москва : Высшая школа, 2004. – 288 с.
3. Мышляева И.М. Цифровая схемотехника : учебник / И.М. Мышляева. – Москва : Академия, 2005. – 400 с.
4. Титце У. Полупроводниковая схемотехника : справочное руководство / У. Титце, К. Шенк ; пер. с нем. – Москва : Мир, 1982. – 512 с.
5. Шило В.Л. Популярные цифровые микросхемы : справочник / В.Л. Шило. – Москва : Металлургия, 1988. – 352 с.
6. Красногорцев И.Л. Основы цифровой техники: руководство по выполнению базовых экспериментов / И.Л. Красногорцев. – Челябинск : Учебная техника, 2006. – 97 с.

10. ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ

Лабораторная работа № 10

Цель работы: изучить особенности работы дешифраторов, а также получить практические навыки работы с ними.

10.1. Общие положения

Дешифратором называют комбинационную логическую схему, в которой каждой из комбинаций сигналов на входах соответствует сигнал только на одном из его выходов. Другими словами, дешифраторы преобразуют двоичный код в напряжение логического уровня, появляющееся на том выходном проводе, десятичный номер которого соответствует двоичному коду. Остальные выходы в этом случае находятся либо в неактивном состоянии, либо в состоянии разомкнутой цепи (*Z*-состояние). Дешифраторы находят применение в управляющих системах для выдачи управляющих воздействий в те или иные цепи в зависимости от комбинации сигналов на входах. Дешифраторы различаются по емкости (2, 3 или 4 бита), по числу каналов (один или два), а также форматом входного кода (двоичный или двоично-десятичный).

Промышленность выпускает большой набор дешифраторов. Только в интегральном исполнении транзисторно-транзисторной логики (ТТЛ) выпускается 20 функционально отличных дешифраторов.

Простейший дешифратор, имеющий один вход и два выхода, представлен на рис. 10.1. Возможные состояния дешифратора сведены в табл. 10.1.

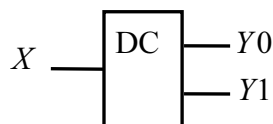


Рис. 10.1. Простейший дешифратор

Работу дешифратора можно также пояснить с помощью диаграмм напряжения, приведенных на рис. 10.2. Активным уровнем дешифратора, приведенного на рис. 10.1, является высокий логический уровень. У других типов дешифраторов активным уровнем может быть низкий логический уровень.

Таблица 10.1

Вход X	Выход	
	Y_0	Y_1
Н (0)	В (1)	Н (0)
В (1)	Н (0)	В (1)

Н – низкий логический уровень; В – высокий логический уровень.

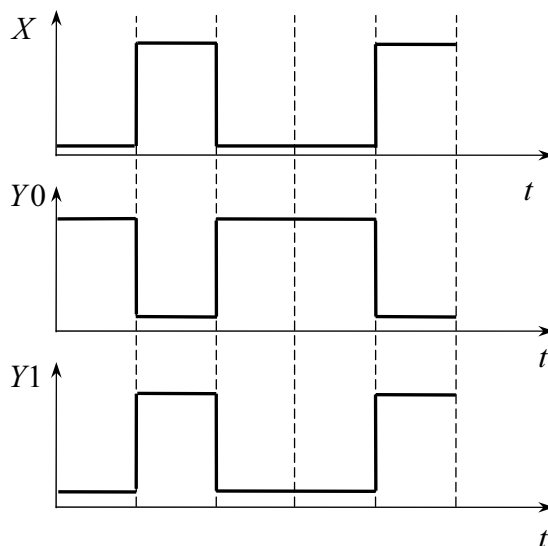


Рис. 10.2. Диаграммы напряжений простейшего дешифратора

10.2. Дешифраторы на микросхемах К155ИД14

Микросхема К1533ИД14 (зарубежный аналог 74ALS139) приведена на рис. 10.3 и содержит двойной дешифратор с двумя отдельными входами A_0 , A_1 дешифруемого кода.

Каждый из дешифраторов DCA и DCB имеет четыре выхода $1Y_0$ – $1Y_3$ и $2Y_0$ – $2Y_3$ соответственно и по отдельному входу разрешения дешифрации E_a и E_b .

Состояния для дешифратора DCA при дешифрации кода A_1 , A_0 сведены в табл. 10.2.

Активным уровнем на выходе дешифратора является низкий логический уровень.

Как следует из табл. 10.2, разрешение дешифрации наступает при низком логическом уровне на входе E_a . При высоком логическом уровне на входе E_a дешифратор блокируется: все выходы остаются в состоянии 1 независимо от сигналов на входах A_0 и A_1 . При сигнале 0 на входе разрешения E_a дешифрация разрешается, на выбранном выходе устанавливается низкий уровень логического сигнала. На всех остальных выходах устанавливается высокий логический уровень сигнала.

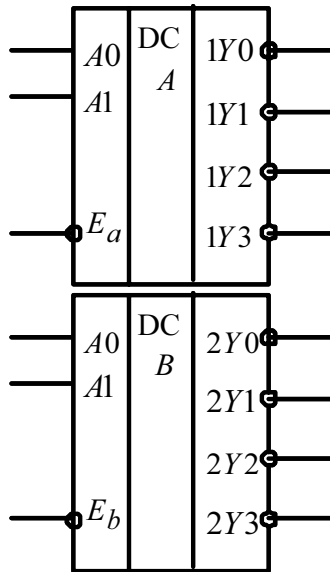


Рис. 10.3. Условное графическое обозначение дешифратора К155ИД14

Таблица 10.2

Вход			Выход			
адрес		разрешение				
A1	A0	E _a	Y0	Y1	Y2	Y3
x	x	1	В	В	В	В
0	0	0	Н	В	В	В
0	1	0	В	Н	В	В
1	0	0	В	В	Н	В
1	1	0	В	В	В	Н

x – безразличное состояние.

Работу дешифратора поясняет его функциональная схема, приведенная на рис. 10.4.

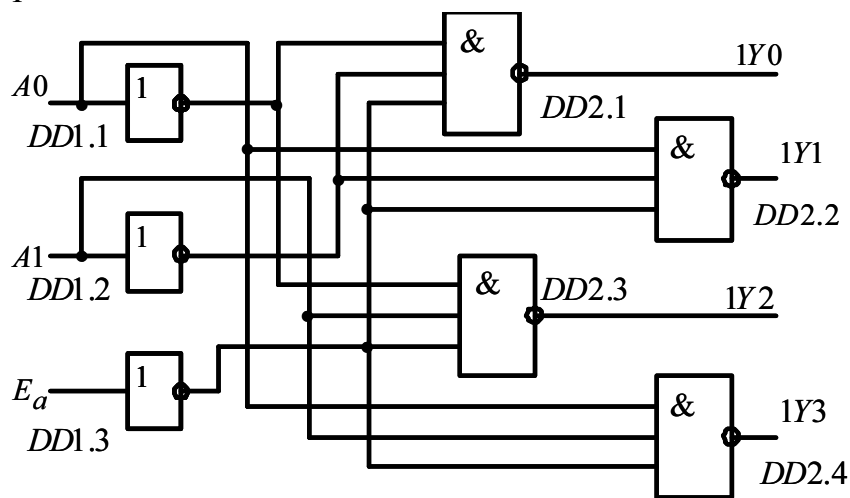


Рис. 10.4. Функциональная схема дешифратора К155ИД14

Предположим, что на входе дешифратора (рис. 10.4) установлено двоичное число 00, а на входе разрешения дешифрации – низкий логический уровень, разрешающий процесс дешифрации. Тогда на выходах логических элементов $DD1.1–DD1.3$ устанавливается высокий логический уровень. Так как на всех трех входах логического элемента $DD2.1$ высокий логический уровень, то на выходе этого логического элемента будет логический ноль. На выходах остальных логических элементах $DD2$ установятся сигналы логической единицы. Если на входе разрешения дешифрации E_a высокий логический уровень, то единицы установятся на выходах всех логических элементах $DD2$.

10.3. Дешифраторы на микросхемах CD4511BE

Дешифратор на микросхеме CD4511BE предназначен для преобразования двоично-десятичного кода в код управления семисегментным знаковосинтезирующим индикатором. Микросхема CD4511BE предназначена для работы с семисегментным индикатором с общим катодом. Условное графическое обозначение дешифратора CD4511BE приведено на рис. 10.5.

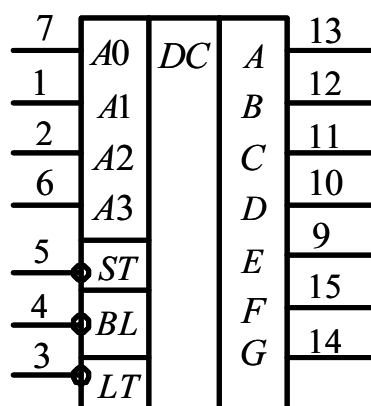


Рис. 10.5. Условное графическое обозначение дешифратора CD4511BE

Назначение выводов дешифратора:

A_0, A_1, A_2, A_3 – информационный вход нулевого, первого, второго и третьего разряда двоично-десятичного кода;

ST – вход стробирования;

BL – вход гашения;

LT – вход проверки;

A, B, C, D, E, F, G – выходы.

Состояния дешифратора при дешифрировании кода A_0, A_1, A_2, A_3 сведены в табл. 10.3.

Таблица 10.3

\overline{ST}	\overline{BL}	\overline{LT}	A_0 A_1 A_2 A_3	A B C D E F G	Индикация
x	x	0	x x x x	1 1 1 1 1 1 1	8
x	0	1	x x x x	1 1 1 1 1 1 1	гашение
0	1	1	0 0 0 0	1 1 1 1 1 1 1	0
0	1	1	0 0 0 1	1 1 1 1 1 1 1	1
0	1	1	0 0 1 0	1 1 1 1 1 1 1	2
0	1	1	0 0 1 1	1 1 1 1 1 1 1	3
0	1	1	0 1 0 0	1 1 1 1 1 1 1	4
0	1	1	0 1 0 1	1 1 1 1 1 1 1	5
0	1	1	0 1 1 0	1 1 1 1 1 1 1	6
0	1	1	0 1 1 1	1 1 1 1 1 1 1	7
0	1	1	1 0 0 0	1 1 1 1 1 1 1	8
0	1	1	1 0 0 1	1 1 1 1 1 1 1	9
0	1	1	1 0 1 0	1 1 1 1 1 1 1	гашение
0	1	1	1 0 1 1	1 1 1 1 1 1 1	гашение
0	1	1	1 1 0 0	1 1 1 1 1 1 1	гашение
0	1	1	1 1 0 1	1 1 1 1 1 1 1	гашение
0	1	1	1 1 1 0	1 1 1 1 1 1 1	гашение
0	1	1	1 1 1 1	1 1 1 1 1 1 1	гашение
1	1	1	x x x x	*	*

x – безразличное состояние; * – зависит от предшествующего двоично-десятичного кода.

В работе к выходу дешифратора CD4511BE подключен семисегментный светодиодный индикатор с общим катодом. Оформление индикатора – плоское, в пластмассовом корпусе, с выводами, расположенными с задней стороны индикатора. Принципиальная схема индикатора и обозначение сегментов индикатора приведены на рис. 10.6.

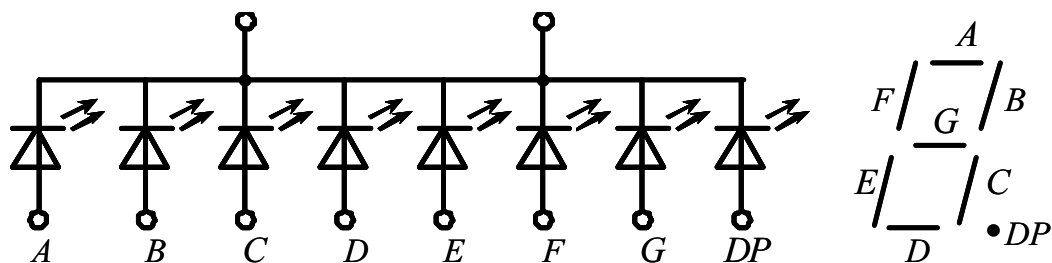


Рис. 10.6. Принципиальная схема светодиодного индикатора с общим катодом

Семисегментный светодиодный индикатор предназначен для отображения информации в виде цифр от 0 до 9 и десятичной точки – восьмой вывод *DP* на принципиальной схеме индикатора.

Принципиальная схема включения дешифратора на микросхеме CD4511BE в режиме отображения десятичных цифр и семисегментного светодиодного индикатора приведена на рис. 10.7.

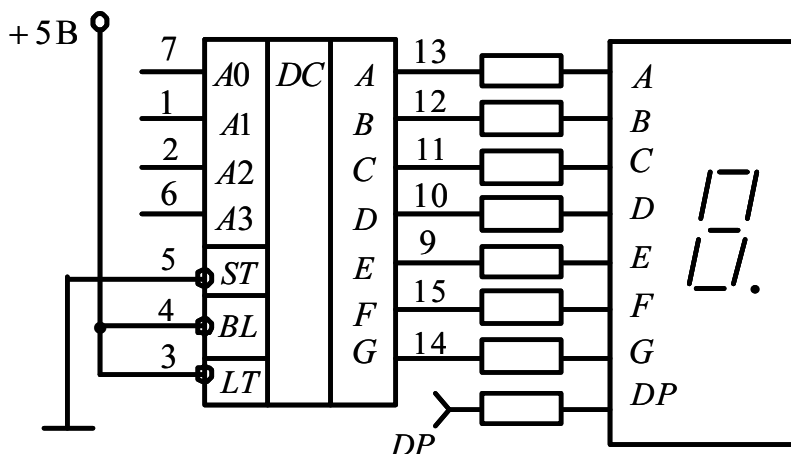


Рис. 10.7. Принципиальная схема включения дешифратора в режиме отображения десятичных цифр

В соответствии с табл. 10.3 и принципиальной схемой рис. 10.7 двоичному числу на входах *A0*, *A1*, *A2*, *A3* дешифратора соответствует появление высокого потенциала на его выходах *A...G*, обеспечивающего включение необходимых сегментов индикатора, как показано на рис. 10.8.

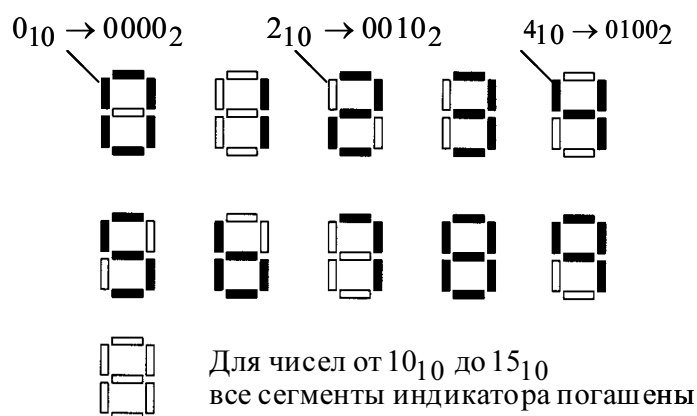


Рис. 10.8. Включения сегментов индикатора в режиме отображения десятичных цифр

Для включения десятичной точки на вход *DP* необходимо подать напряжение +5 В.

10.4. Порядок выполнения работы на лабораторном стенде

1. Убедитесь, что устройства, используемые в эксперименте, отключены от сети.
2. Соедините аппаратуру в соответствии со схемой электропитания.
3. Соберите схему тестирования дешифратора К1533ИД14. Один из вариантов схемы тестирования дешифратора К1533ИД14 на наборном поле блока испытания цифровых устройств А1 приведен на рис. 10.9.

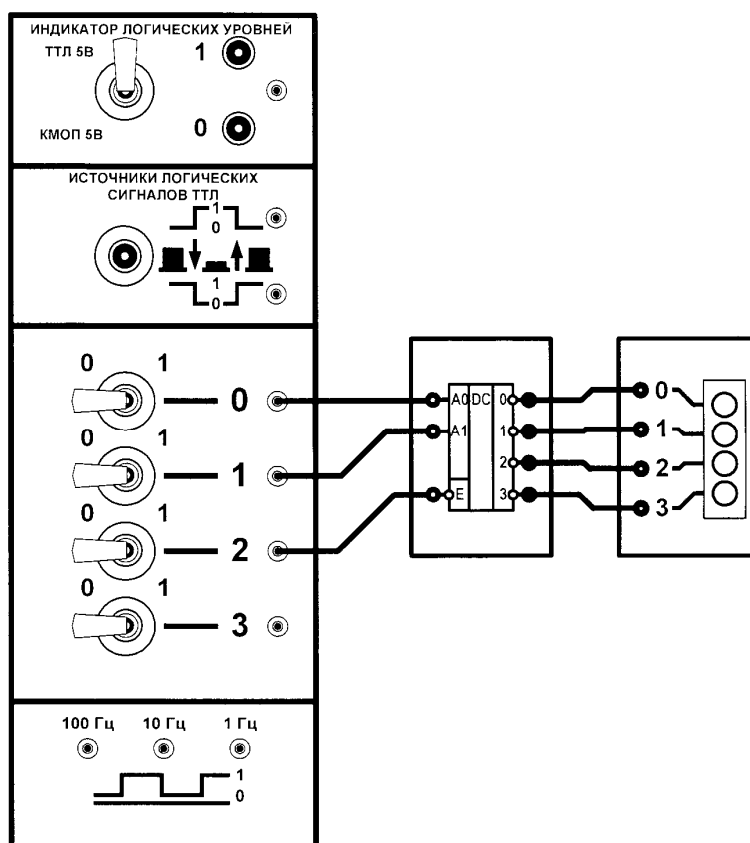


Рис. 10.9. Схема тестирования дешифратора К1533ИД14

Включите устройство защитного отключения и автоматический выключатель в однофазном источнике питания G1.

Включите выключатель «СЕТЬ» блока испытания цифровых устройств А1.

Протестируйте работу схемы. При необходимости изменения исследуемой схемы отключите выключатель «СЕТЬ» блока испытания цифровых устройств А1, измените схему, включите выключатель «СЕТЬ». По результатам тестирования заполните таблицу истинности дешифратора 10.4.

Истинности дешифратора К1533ИД14

Входы			Выходы							
Адрес		Разр.	Теория				Эксперимент			
A1	A0	E _a	Y0	Y1	Y2	Y3	Y0	Y1	Y2	Y3

Сделайте выводы по работе тестируемого дешифратора.

4. Соберите схему тестирования дешифратора на микросхеме CD4511BE. Один из вариантов схемы тестирования дешифратора на микросхеме CD4511BE на наборном поле блока испытания цифровых устройств А1 приведен на рис. 10.10.

Протестируйте работу схемы. При необходимости изменения исследуемой схемы отключите выключатель «СЕТЬ» блока испытания цифровых устройств А1, измените схему, включите выключатель «СЕТЬ». По результатам тестирования заполните таблицу истинности дешифратора 10.5.

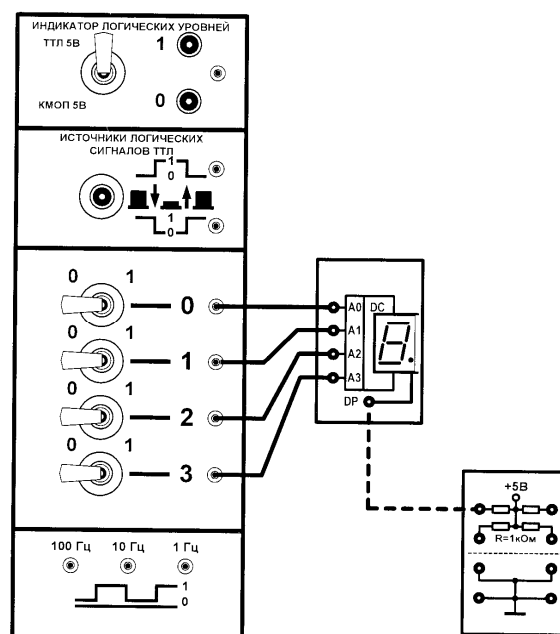


Рис. 10.10. Схема тестирования дешифратора CD4511BE

Таблица 10.5

Истинности дешифратора К1533ИД14

В х о д ы	A0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	A1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
	A2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
	A3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
В ы х о д ы	A																
	B																
	C																
	D																
	E																
	F																
	G																

5. По завершении работы отключите выключатель «СЕТЬ» блока испытания цифровых устройств А1 и автоматический выключатель в однофазном источнике питания G1.

6. Для заданного преподавателем варианта схемы электронного устройства с дешифратором запишите последовательность цифр, которые загораются на индикаторе при подаче на схему сигнала с генератора прямоугольных импульсов. Соберите исследуемую схему и проверьте правильность ее работы. Перед началом испытаний установите D-триггеры в исходное нулевое состояние переключателем логических сигналов SA1. Сравните полученные в результате эксперимента данные с теоретическими исследованиями.

Варианты схем показаны на рис. 10.11–10.22.

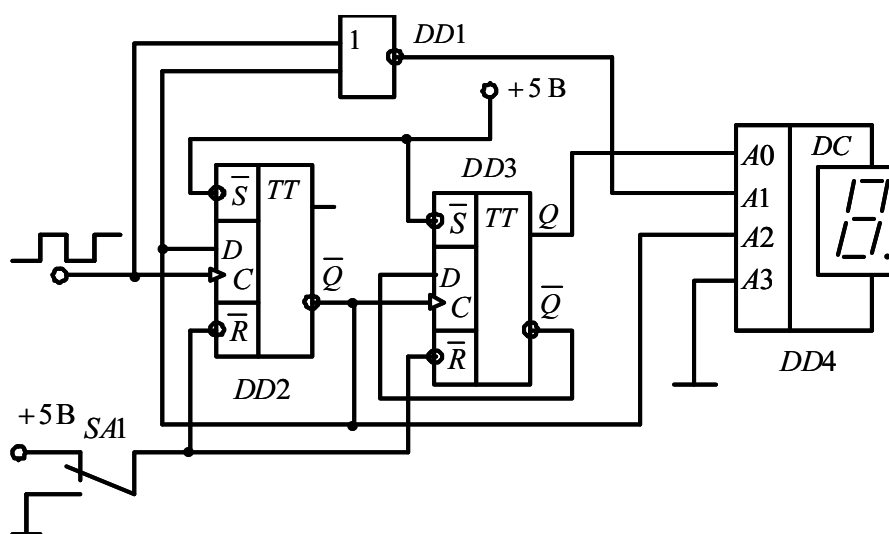


Рис. 10.11. Схема электронного устройства с дешифратором. Вариант 1

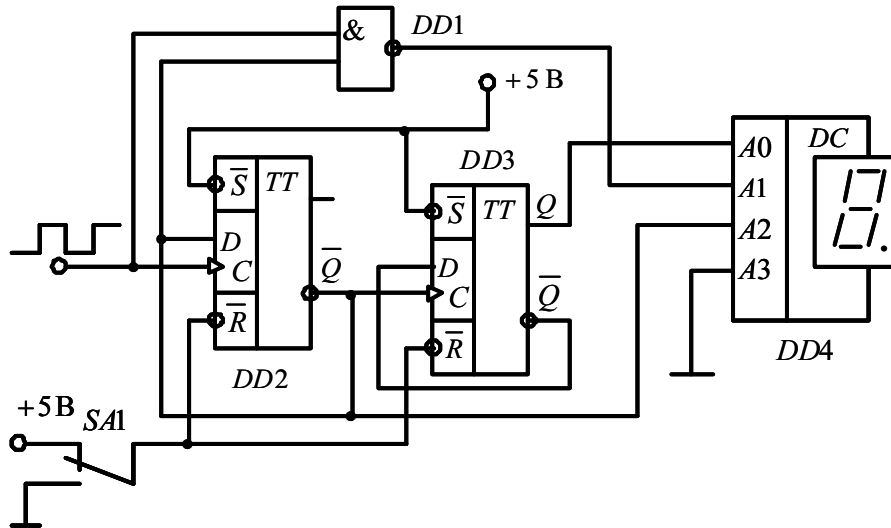


Рис. 10.12. Схема электронного устройства с дешифратором. Вариант 2

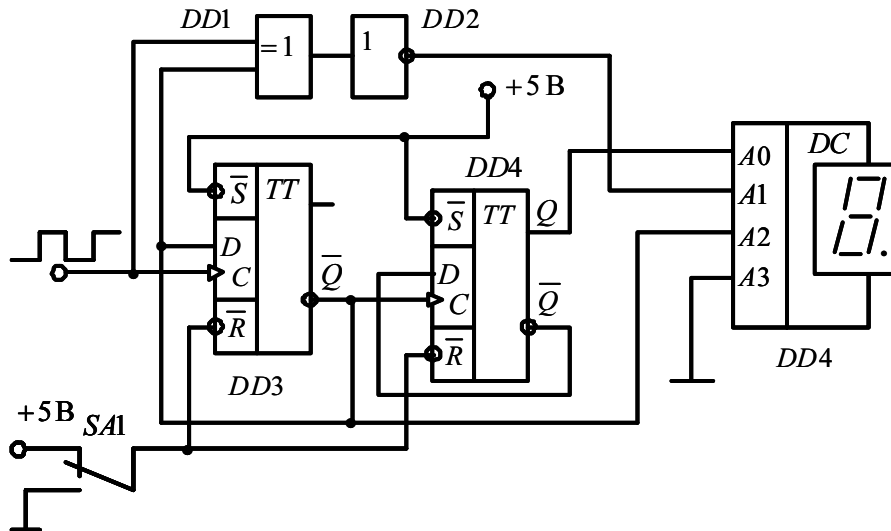


Рис. 10.13. Схема электронного устройства с дешифратором. Вариант 3

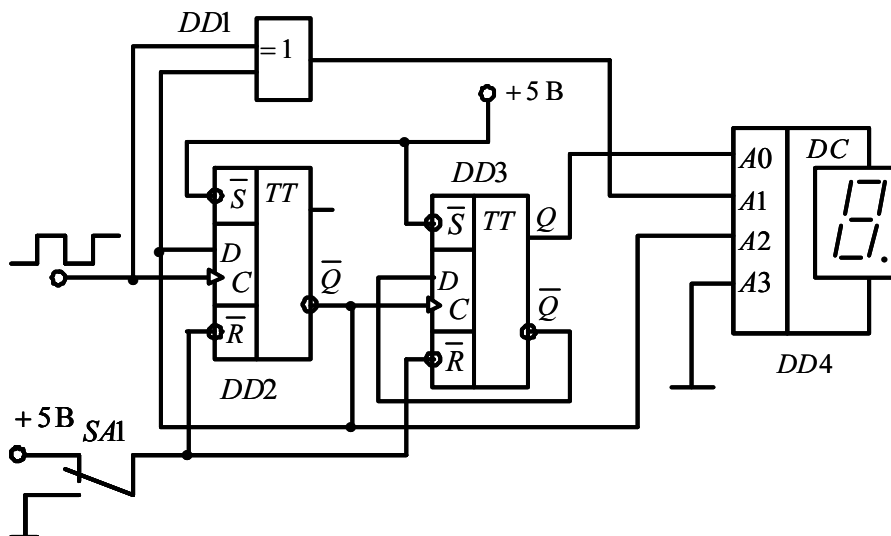


Рис. 10.14. Схема электронного устройства с дешифратором. Вариант 4

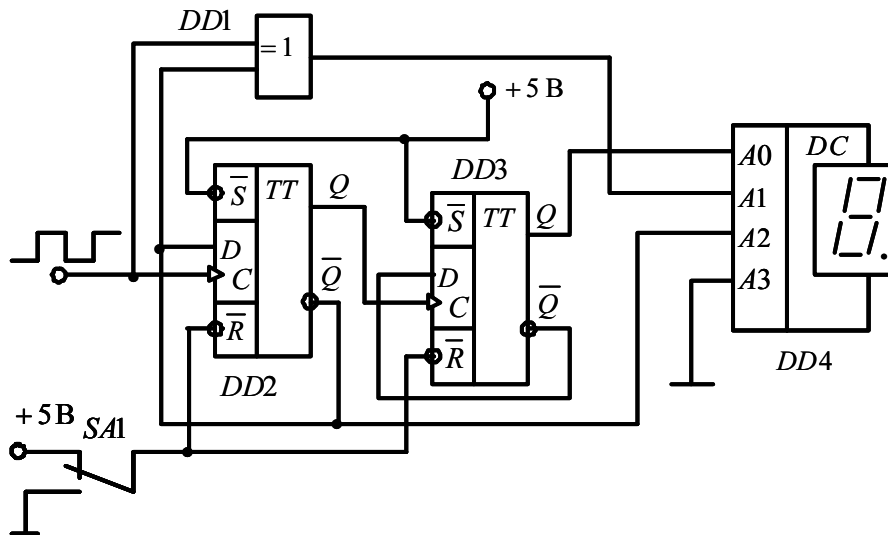


Рис. 10.15. Схема электронного устройства с дешифратором. Вариант 5

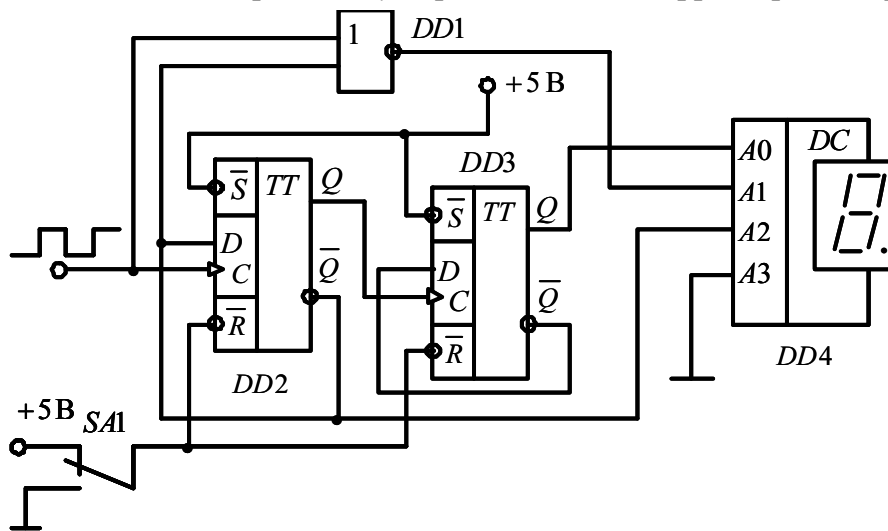


Рис. 10.16. Схема электронного устройства с дешифратором. Вариант 6

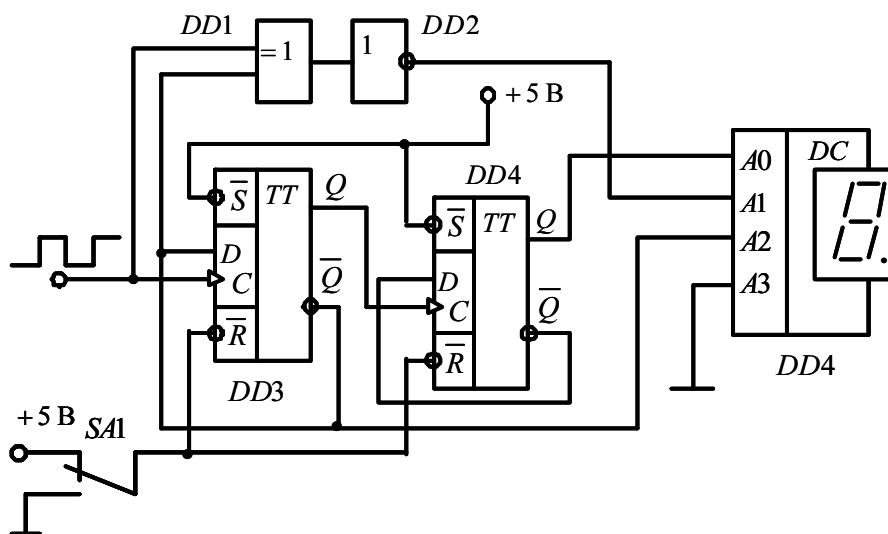


Рис. 10.17. Схема электронного устройства с дешифратором. Вариант 7

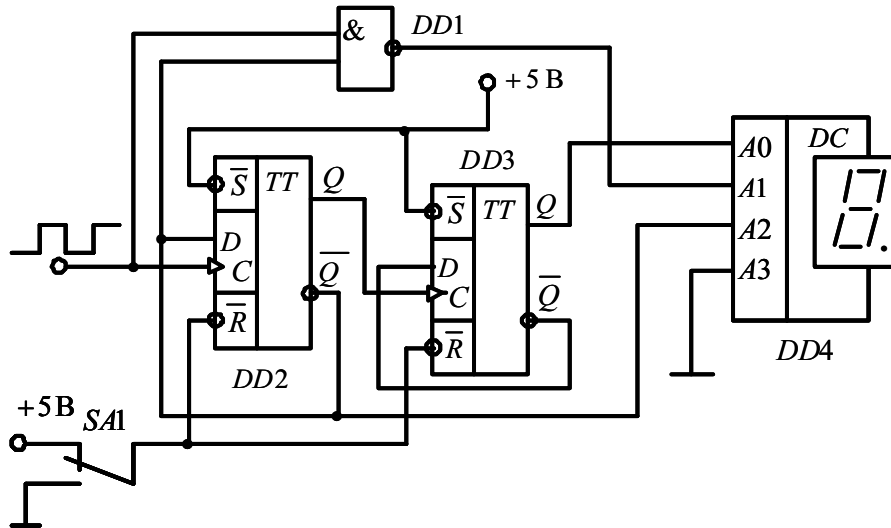


Рис. 10.18. Схема электронного устройства с дешифратором. Вариант 8

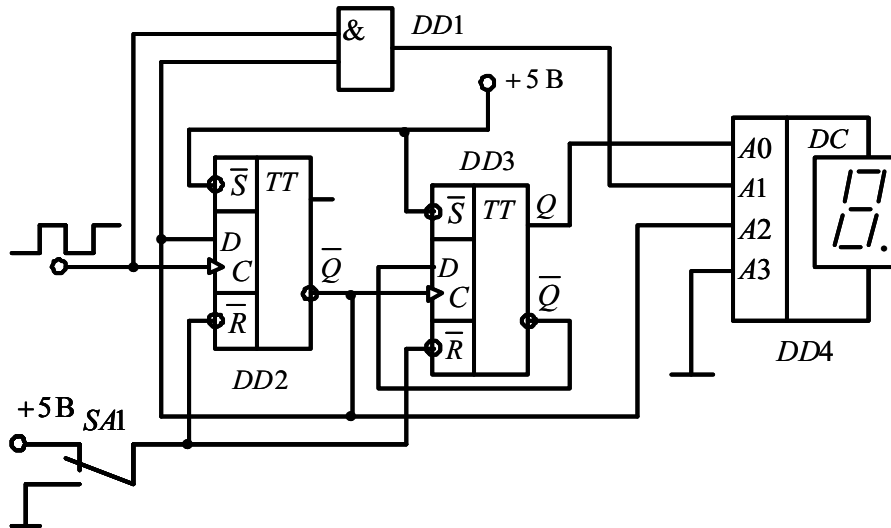


Рис. 10.19. Схема электронного устройства с дешифратором. Вариант 9

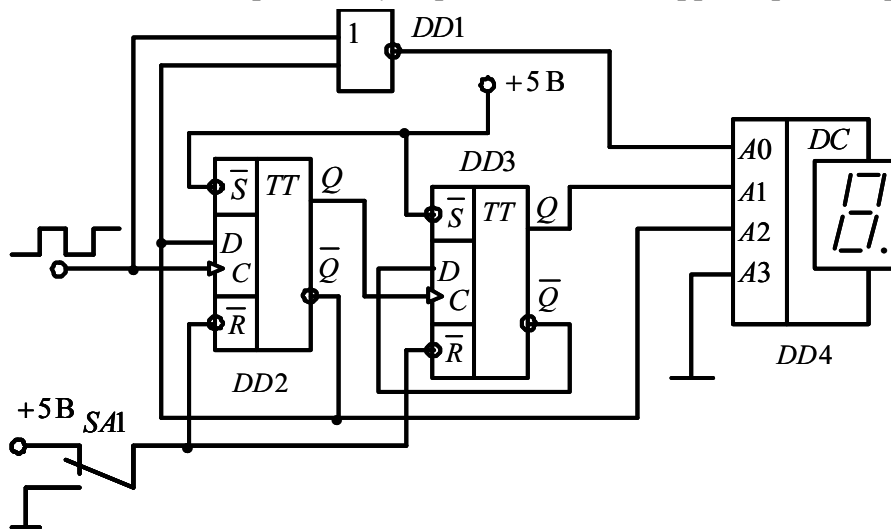


Рис. 10.20. Схема электронного устройства с дешифратором. Вариант 10

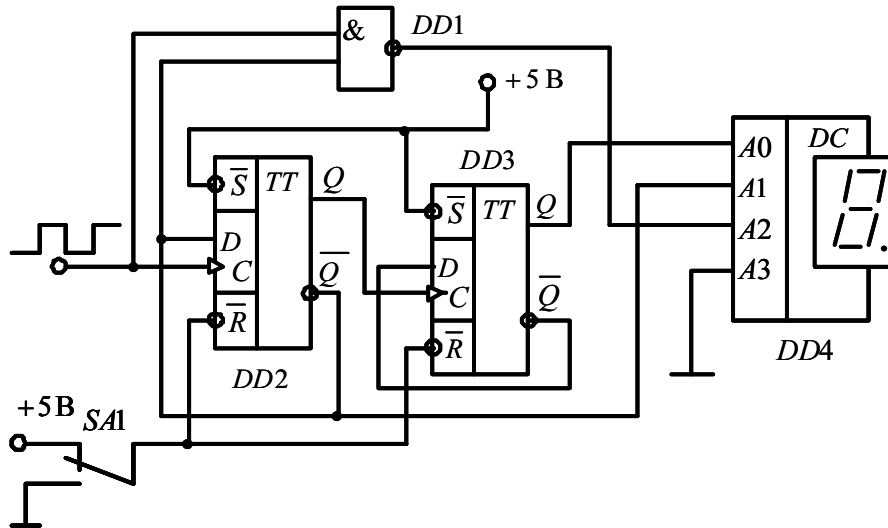


Рис. 10.21. Схема электронного устройства с дешифратором. Вариант 11

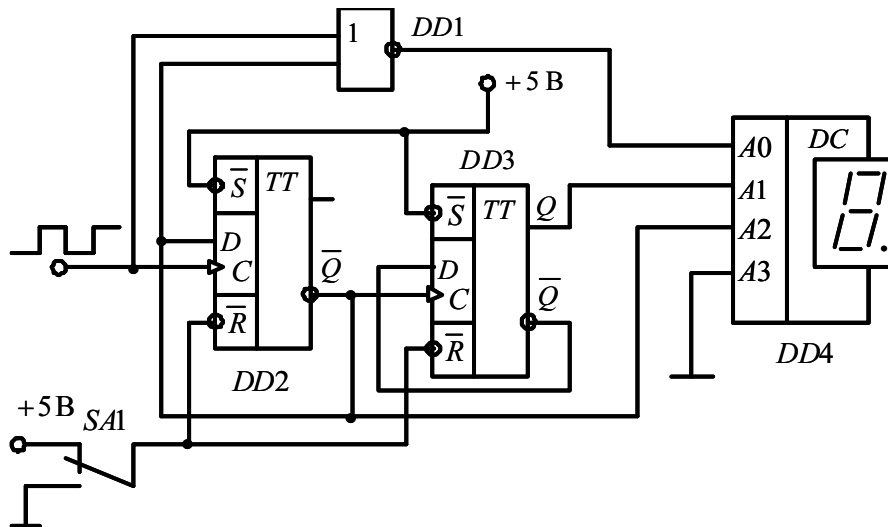
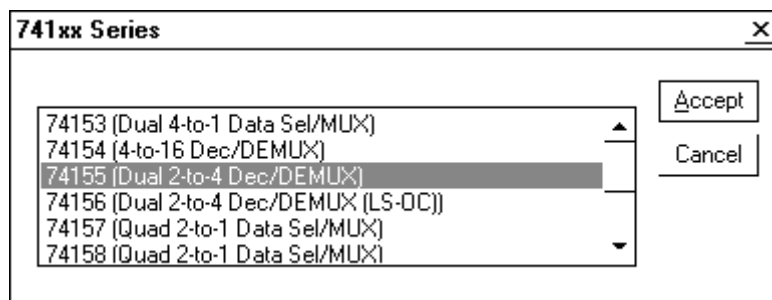


Рис. 10.22. Схема электронного устройства с дешифратором. Вариант 12

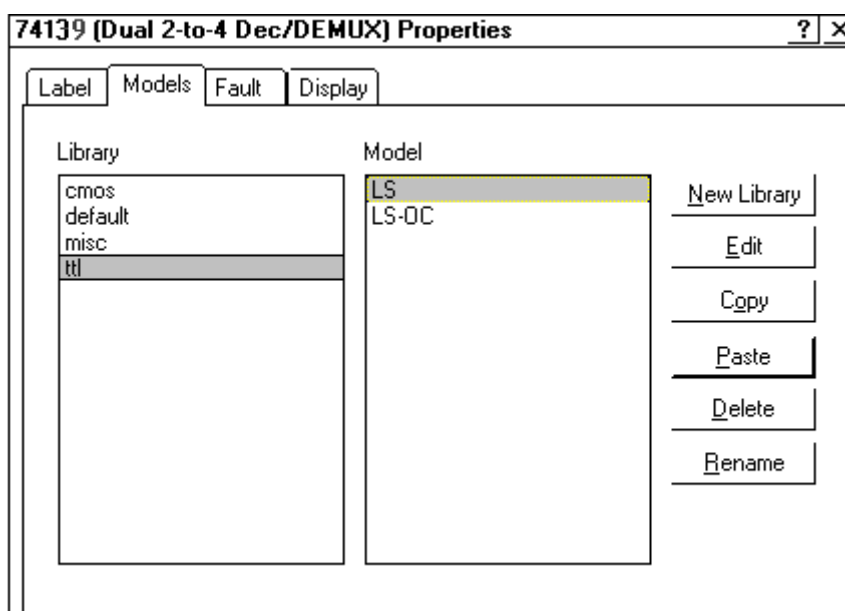
10.5. Порядок выполнения работы в программной среде Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Произведите исследование дешифратора из библиотеки последовательностных элементов (по указанию преподавателя). Для этого вызовите библиотеку **Digital ICs**. Для работы с реальными микросхемами дешифраторов серии ТТЛ выберите из библиотеки 741xx дешифратор 74139, установив на него курсор и щелкнув левой кнопкой мыши. Нажмите кнопку **Accept**. Соответствие наименований зарубежных и отечественных микросхем дешифраторов приведено в табл. 10.6.



Вызовите из библиотеки элементов **Sources** источник постоянного напряжения. Дважды щелкнув по нему левой кнопкой мыши, установите напряжение 5 V. Заземлите источник питания. Подключите вывод 16 (VCC) микросхемы к положительному выводу источника питания, а вывод 8 – к заземлению.

Дважды щелкните по выделенному дешифратору. В появившемся диалоговом окне выберите элементы **t11**, а затем – модель **LS**, щелкнув по ним левой клавишей.



Нажмите кнопку **OK**.

Соберите схему для проведения испытаний, подав к необходимым выводам исследуемого дешифратора соответствующие сигналы в зависимости от режимов работы – с двух входов на четыре выхода или с трех входов на восемь выходов.

Подключите входы логического анализатора к входам и выходам дешифратора. Раскройте лицевую панель логического анализатора (двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора). Раскройте лицевую панель генератора слов. Сместите лице-

вые панели приборов на рабочем поле так, чтобы они были полностью видны.

Заполните генератор слов так, чтобы получились необходимые комбинации сигналов логического уровня. Установив режим работы STEP или CYCLE, проверьте работу схемы нажатием кнопок STEP или тумблера питания соответственно.

Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам так, чтобы рядом появился символ ✓, а затем выполните команду **Print**.

Таблица 10.6

74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533
74141	K555ИД1	7442	ИД6
74154	ИД3	74138	ИД7
74155	ИД4	145	ИД10
74156	ИД5	139	ИД14

4. Произведите исследование схемы электронного устройства с дешифратором.

Соберите схему для проведения испытаний в программной среде Electronics Workbench, подав на ее вход сигнал с выхода генератора слов.

Подключите входы логического анализатора к входу и выходам схемы электронного устройства с дешифратором. Раскройте лицевую панель логического анализатора (*двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора*). Раскройте лицевую панель генератора слов. Сместите лицевые панели приборов на рабочем поле так, чтобы они были полностью видны.

Заполните генератор слов так, чтобы получились необходимые комбинации сигналов логического уровня. Установив режим работы STEP или CYCLE, проверьте работу схемы нажатием кнопок STEP или тумблера питания соответственно.

Вариант исследуемой схемы приведен на рис. 10.23.

На рис. 10.23 используются следующие цифровые устройства: DD1 – логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ; DD2 и DD3 – D-триггеры; DD4 – дешифратор с семисегментным индикатором. На рисунке также обозначено: МЗР – младший значащий разряд дешифратора; СЗР – старший значащий разряд.

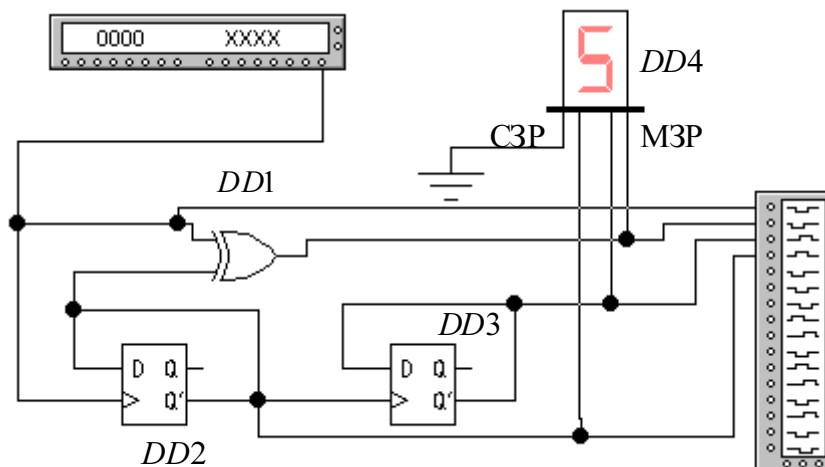


Рис. 10.23. Схема модели электронного устройства с дешифратором в программной среде *Electronics Workbench*

Запишите последовательность цифр, которые загораются на индикаторе. Сравните полученные в результате эксперимента данные с теоретическими исследованиями.

Результаты экспериментов выведите на лист бумаги с помощью принтера.

10.6. Содержание отчета

1. Цель работы.
2. Исследуемые схемы в соответствии со стандартами.
3. Таблицы состояний, диаграммы напряжений.
4. Выводы о проделанной работе.

10.7. Список литературы

1. Шило В.Л. Популярные цифровые микросхемы : справочник. – 2-е изд., испр. / В.Л. Шило. – Челябинск : Металлургия, Челябинское отд., 1989. – 352 с.
2. Стрыгин В.В. Основы вычислительной техники и программирования / В.В. Стрыгин. – Москва : Высшая школа, 1983. – 359 с.
3. Мышляева И.М. Цифровая схемотехника : учебник / И.М. Мышляева. – Москва : Академия, 2005. – 400 с.
4. Титце У. Полупроводниковая схемотехника : справочное руководство / У. Титце, К. Шенк ; пер. с нем. – Москва : Мир, 1982. – 512 с.
5. Красногорцев И.Л. Основы цифровой техники: руководство по выполнению базовых экспериментов / И.Л. Красногорцев. – Челябинск : Учебная техника, 2006. – 97 с.

11. ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ И ДЕМУЛЬТИПЛЕКСОРОВ

Лабораторная работа № 11

Цель работы – изучение принципа действия и экспериментальное исследование работы четырехходовых селектора-мультиплексора и демультиплексора.

11.1. Мультиплексор

Мультиплексоры – это цифровые многопозиционные переключатели или коммутаторы. Это устройство имеет несколько сигнальных входов, один или более управляющих входов и один выход.

Мультиплексоры могут быть аналоговыми и цифровыми. Первые электрически соединяют выбранный вход с выходом (при этом сопротивление между ними невелико – порядка единиц/десятков Ом). Вторые же не образуют прямого электрического соединения между выбранным входом и выходом, а лишь «копируют» на выход логический уровень (0 или 1) с выбранного входа. Аналоговые мультиплексоры иногда называют ключами.

Мультиплексор позволяет передать сигнал с одного из входов на выход, при этом выбор желаемого входа осуществляется подачей соответствующей комбинации управляющих сигналов. Мультиплексоры способны выбирать, селектировать определенный канал. Поэтому их иногда называют селекторами. Используется и двойное название: селекторы-мультиплексоры.

Схематически мультиплексор можно изобразить в виде коммутатора, обеспечивающего подключение одного из нескольких входов (их называют информационными) к одному выходу устройства. Коммутатор обслуживает управляющая схема, в которой имеются разрешающие (стробирующие) и адресные входы.

Сигналы на адресных входах определяют, какой конкретно информационный канал подключен к выходу. Если между числом информационных выходов n и числом адресных входов m действует соотношение $n = 2^m$, то такой мультиплексор называют полным. Если $n < 2^m$, то мультиплексор называют неполным.

В качестве управляющей схемы обычно используется дешифратор. В цифровых мультиплексорах логические элементы коммутатора и дешифратора обычно объединяются.

Обобщенная схема мультиплексора приведена на рис. 11.1.

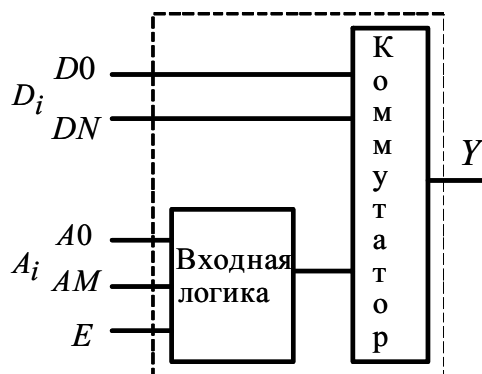


Рис. 11.1. Обобщённая схема мультиплексора.

Мультиплексоры обозначают сочетанием *MS* (от английского *multiplexer selector*), а также *MUX* (от английского *multiplexer*).

Входные логические сигналы D_i поступают на входы коммутатора и через коммутатор передаются на выход Y . На вход управляющей схемы подаются адресные сигналы A_i (от английского *Address*). Мультиплексор также может иметь дополнительный управляющий вход E (от английского *Enable* – разрешающий сигнал), который разрешает или запрещает прохождение входного сигнала на выход Y .

Кроме этого, некоторые мультиплексоры могут выполняться с тремя состояниями: два логических состояния 0 и 1 и третье состояние – отключённый выход – *Z*-состояние (выходное сопротивление равно бесконечности). Перевод мультиплексора в третье состояние производится управляющим сигналом *OE* (от английского *Output Enable* – разрешение выходного сигнала). Разрешающие входы используют для расширения функциональных возможностей мультиплексора. Они используются для наращивания разрядности мультиплексора, синхронизации его работы с работой других узлов. Сигналы на разрешающих входах могут разрешать, а могут и запрещать подключение определенного входа к выходу, то есть могут блокировать действие всего устройства.

Условно графическое обозначение четырёхвходового мультиплексора с двоичным управлением приведено на рис. 11.2. Входы A_0 и A_1 являются управляющими входами мультиплексора, определяющими адрес входного сигнала, который будет соединён с выходным выводом мультиплексора. Входные сигналы обозначены как D_0 , D_1 , D_2 и D_3 .

Мультиплексоры часто используют для преобразования параллельного двоичного кода в последовательный. Для такого преобразования достаточно подать на информационные входы мультиплексора параллельный двоичный код, а сигналы на адресные входы подавать в такой последовательности, чтобы к выходу поочередно подключались входы, начиная с первого и заканчивая последним.

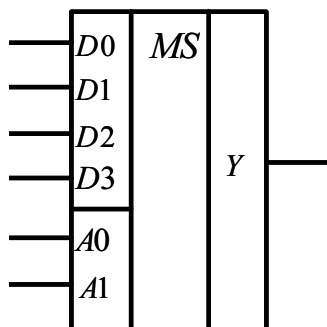


Рис. 11.2. Условно графическое обозначение четырехходового мультиплексора

Мультиплексоры могут использоваться в делителях частоты, триггерных устройствах, сдвигающих устройствах, а также реализовать произвольную логическую функцию с числом аргументов, равным числу адресных входов.

Показанный на рис. 11.2 мультиплексор позволяет реализовать любую логическую функцию двух переменных A_0 и A_1 , если на входах D_0 , D_1 , D_2 и D_3 установить логические уровни 0 и 1, соответствующие реализуемой функции. Все возможные варианты логических функций двух переменных A_0 и A_1 сведены в табл. 11.1.

Таблица 11.1

Аргумент A_0		1	0	1	0	Название функции
Аргумент A_1		1	1	0	0	
Входы мультиплексора		D_3	D_2	D_1	D_0	
Функции	$f(A_0, A_1)$	1	0	0	0	Элемент И (конъюнкция)
	$f(A_0, A_1)$	1	1	1	0	Элемент ИЛИ (дизъюнкция)
	$f(A_0, A_1)$	0	1	1	1	Элемент И-НЕ
	$f(A_0, A_1)$	0	0	0	1	Элемент ИЛИ-НЕ
	$f(A_0, A_1)$	0	1	1	0	Исключающее ИЛИ
	$f(A_0, A_1)$	1	0	0	1	Исключающее ИЛИ-НЕ

В отечественных микросхемах мультиплексоры маркируются буквами КП, следующими непосредственно за номером серии микросхем. Например, микросхема К1533КП2 является двоянным четырёхканальным мультиплексором, выполненным по ТТЛ-технологии, а микросхема К1561КП1 – двоянным четырёхканальным мультиплексором, выполненным по КМОП-технологии. Данная лабораторная работа выполняется на микросхеме К1533КП2, зарубежным аналогом которой является 74ALS153. Условное графическое изображение интегральной схемы К555КП2 приведено на рис. 11.3.

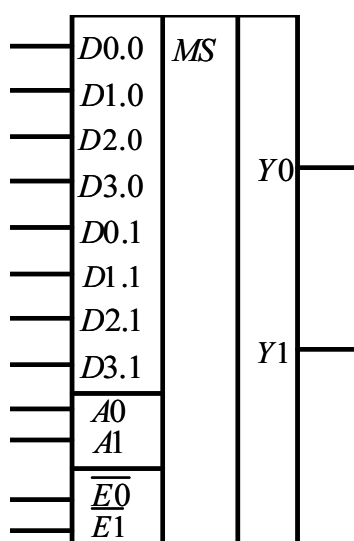


Рис. 11.3. Условно графическое обозначение интегральной схемы К555КП2

В состав микросхемы входят два четырехходовых мультиплексора, имеющих общие входы выбора A_0 и A_1 . У каждого мультиплексора есть собственные входы разрешения E_0 и E_1 . Входы разрешения можно независимо использовать для стробирования выходов Y : если на один из входов разрешения подать напряжение высокого уровня, логический уровень на выходе Y станет низким независимо от сигнальных и адресных входов (табл. 11.2).

Таблица 11.2

Состояния мультиплексора К1533КП2

Выбор входа		Вход данных					Выход
A_1	A_0	$1C$	D_0	D_1	D_2	D_3	Y
x	x	1	x	x	x	x	0
0	0	0	0	x	x	x	0

Выбор входа		Вход данных					Выход
0	0	0	1	x	x	x	1
0	1	0	x	0	x	x	0
0	1	0	x	1	x	x	1
1	0	0	x	x	0	x	0
1	0	0	x	x	1	x	1
1	1	0	x	x	x	0	0
1	1	0	x	x	x	1	1

Если вход $E0$ или $E1$ активный (т. е. присутствует напряжение низкого уровня), то на выходе отображается тот уровень, который присутствует на выбираемом входе.

11.2. Демультимплексор

Очень часто возникает обратная задача – распределение одного входного сигнала по нескольким различным адресам. Подобную задачу решает *демультимплексор* – цифровое устройство, у которого сигнал с единственного входа подключается к одному из его выходов. Простейшая схема демультимплексора, выполненного на двух логических элементах НЕ и четырех элементах ЗИ, приведена на рис. 11.4. Входы $A0$ и $A1$ являются управляющими входами мультиплексора, определяющими адрес входного сигнала, который будет соединён с выходным выводом мультиплексора. Выходные сигналы обозначены как $Y0$, $Y1$, $Y2$ и $Y3$.

Номер выхода Y_i определяется двоичным числом на входах адреса $A0$ и $A1$. Сигнал x подается на информационный вход E . Схема подключает его именно к тому выходу, номер которого задан адресными сигналами $A0$ и $A1$. Пусть адрес задан кодовой комбинацией 10. Тогда только на адресных входах логического элемента ЗИ $DD2.3$ установятся два высоких логических уровня, и выходной логический уровень элемента $DD2.3$ будет определяться информационным сигналом по входу E . То есть если на информационном входе низкий логический уровень $E = 0$, то и на выходе $Y2$ установится низкий логический уровень. При $E = 1$ выходной сигнал $Y2 = 1$. При $E = 1$ демультимплексор работает как обычный дешифратор.

Условно графическое обозначение двухвходового демультимплексора, имеющего четыре выхода, выполненного в интегральном исполнении, приведено на рис. 11.5. Демультимплексор обозначают сочетанием букв DMX .

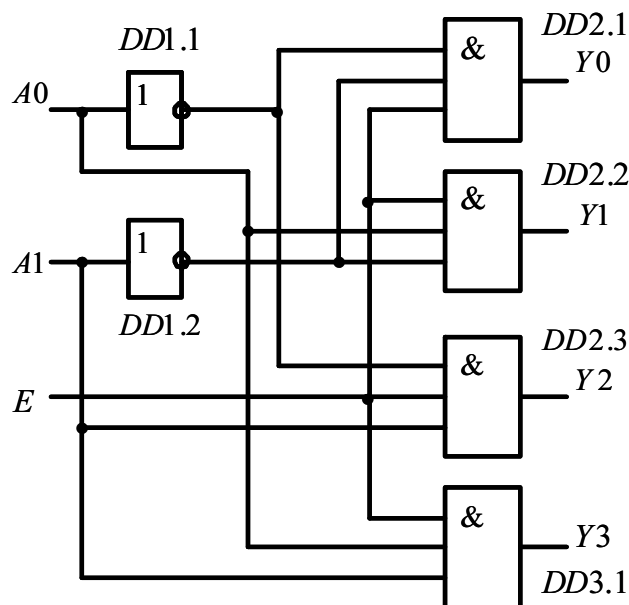


Рис. 11.4. Демультимплексор на четыре выхода

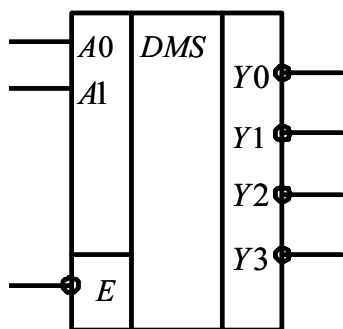


Рис. 11.5. Условно графическое обозначение демультимплексора

В отечественных микросхемах мультиплексоры маркируются буквами ИД, следующими непосредственно за номером серии микросхем. Например, микросхема К555ИД5 является сдвоенным дешифратором-демультимплексором, выполненным по ТТЛ-технологии, а микросхема К1561ИД5 – дешифратором-демультимплексором, выполненным по КМОП-технологии. Данная лабораторная работа выполняется на микросхеме К1533ИД5, зарубежным аналогом которой является SN74ALS139N.

При выполнении лабораторной работы в качестве демультимплексора используется дешифратор со входом разрешения. Адрес одного из выходов Y_0 , Y_1 , Y_2 и Y_3 определяет двоичное число на адресных входах A_0 (младший разряд числа) и A_1 (старший разряд числа). В качестве входа демультимплексора используется вход разрешения E дешифратора: сигнал на выбранном выходе повторяет сигнал на входе E . На других выходах демультимплексора устанавливается высокий логический уровень.

11.3. Программа работы

1. Убедитесь, что устройства, используемые в эксперименте, отключены от сети.

2. Соберите схему тестирования мультиплексора (рис. 11.2). Вариант схемы тестирования мультиплексора на наборном поле блока испытания цифровых устройств А1 приведен на рис. 11.6.

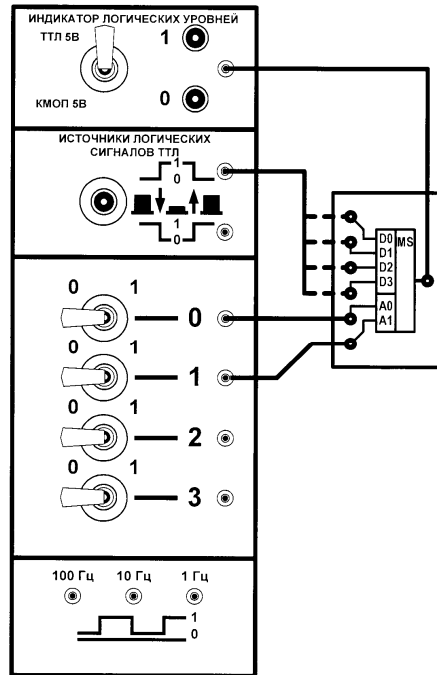


Рис. 11.6. Схема тестирования мультиплексора

Тумблерами 0 и 1, подключенными к входам A_0 и A_1 , задают номер входа мультиплексора. Сигнал на выходе мультиплексора фиксируйте индикатором логических уровней. Входы D_0 – D_3 поочередно подключайте к источнику логических сигналов. Нажимая на кнопку источника логических сигналов, переключают сигнал на соответствующем входе D с низкого на высокий и наоборот ($0 \leftrightarrow 1$) и проверяют, меняется ли сигнал на выходе мультиплексора. Неиспользуемые входы мультиплексора подключают к мини-блоку, который содержит цепи подключения входов микросхем к шинам питания.

Все изменения в исследуемых схемах следует производить только при **ОТКЛЮЧЕННОМ ПИТАНИИ**.

3. Соберите схему тестирования логических функций двух переменных, реализованных с помощью мультиплексора, в соответствии с табл. 11.1. Вариант схемы тестирования логических функций двух пере-

менных $A0$ и $A1$, реализованных с помощью мультиплексора на наборном поле блока испытания цифровых устройств $A1$, приведен на рис. 11.7.

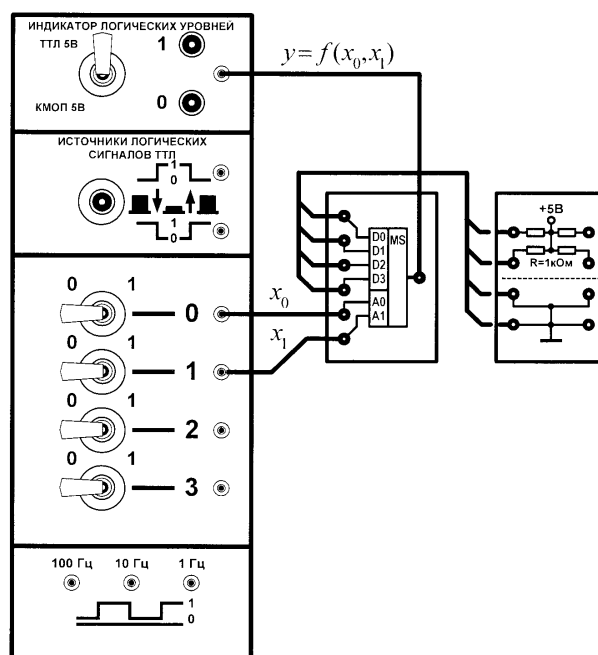


Рис. 11.7. Схема тестирования логических функций двух переменных

Каждый из входов мультиплексора $D0$, $D1$, $D2$ и $D3$ подключают к низкому (0) или к высокому (1) логическому уровню в соответствии с таблицей истинности реализуемой функции (см. табл. 11.1). Необходимые подключения к логическим уровням можно осуществить с помощью мини-блока, который содержит цепи подключения входов микросхем к шинам питания.

Тумблерами 0 и 1, соединенными со входами $A0$ и $A1$, задают переменные функции. Значение функции фиксируют на выходе мультиплексора индикатором логических уровней или осциллографом. Данные по исследованию каждой из заданных преподавателем логических функций двух переменных занесите в табл. 11.3.

Таблица 11.3

Название логической функции

Входные уровни сигналов		Выходные уровни сигналов	
X_1	X_2	теория	эксперимент
0	0		
0	1		
1	0		
1	1		

4. Соберите схему тестирования демультиплексора (рис. 11.5). Вариант схемы тестирования демультиплексора на наборном поле блока испытания цифровых устройств А1 приведен на рис. 11.8.

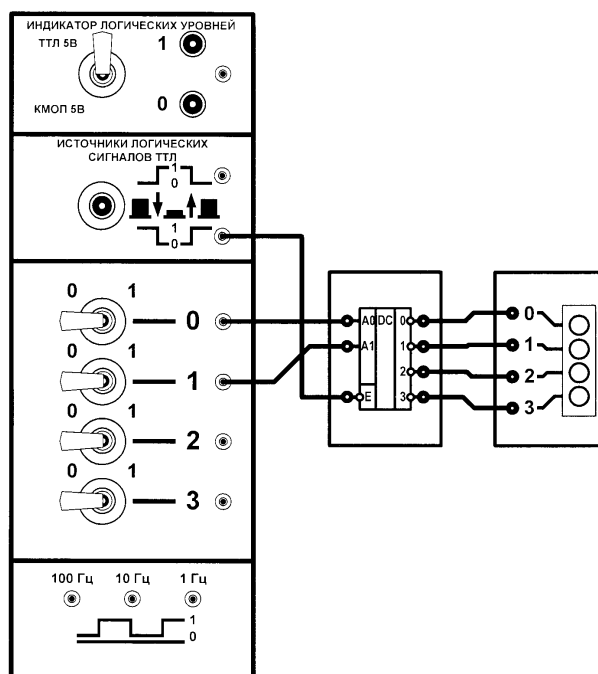


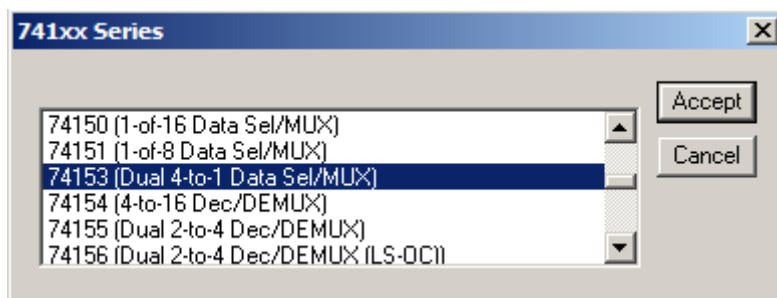
Рис. 11.8. Схема тестирования демультиплексора

Тумблерами 0 и 1, соединенными со входами A0 и A1, задают соответствующий выход демультиплексора. Уровень логического сигнала на выходе демультиплексора задают источником логических сигналов. Нажимая на кнопку источника логических сигналов, переключают сигнал на входе E с низкого уровня на высокий и наоборот (0↔1) и проверяют изменение состояния выходов с помощью блока индикаторов.

11.4. Порядок выполнения работы с программой Electronics Workbench

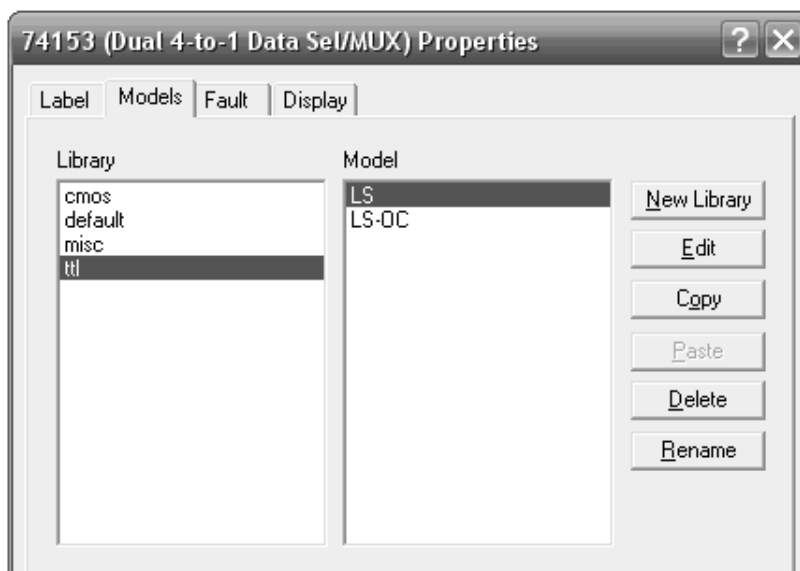
1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Произведите исследование мультиплексора. Соответствие наименований зарубежных и отечественных микросхем мультиплексоров приведено в табл. 11.4. Откройте программную среду Electronics Workbench, а затем библиотеку цифровых элементов **Digital ICs** и выберите из библиотеки 741xx мультиплексор 74153 (74ALS153 – аналог

К1533КП2), установив на него курсор и щелкнув левой кнопкой мыши. Нажмите кнопку **Accept**.



Вызовите из библиотеки элементов **Sources** источник постоянного напряжения. Дважды щелкнув по нему левой кнопкой мыши, установите напряжение 5 V. Заземлите источник питания. Подключите вывод 16 (VCC) микросхемы к положительному выводу источника питания, а вывод 8 – к земле.

Дважды щелкните по выделенному мультиплектору. В появившемся диалоговом окне выберите элемент **t1l**, а затем – модель **LS**, щелкнув по ним левой клавишей. Нажмите кнопку **OK**.



Соберите схему для проведения испытаний, подав к необходимым выводам исследуемого мультиплектора соответствующие сигналы от генератора слов (Word Generator) в соответствии с табл. 11.2.

Подключите входы логического анализатора или осциллографа к выходу мультиплектора. Раскройте лицевую панель логического анализатора (двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора) или осциллографа и проверьте работу схемы нажатием тумблера питания.

Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам так, чтобы рядом появился символ ✓, а затем выполните команду **Print**.

Таблица 11.4

74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533
150	КП1	251	КП15
151	КП7	253	КП12
152	КП5	258	КП14
153	КП2	298	КП13

4. Исследуйте возможности реализации с помощью мультиплексора логической функции двух переменных A_0 и A_1 . Установите на входах D_0 , D_1 , D_2 и D_3 логические уровни 0 и 1, соответствующие реализуемой функции, подключив их к высокому или низкому уровню напряжений источника питания.

Соберите схему для проведения испытаний, подключив к входам A_0 и A_1 мультиплексора генератор двоичных слов. Подключите входы логического анализатора к входам A_0 , A_1 и выходу мультиплексора. Раскройте лицевую панель логического анализатора (*двойной щелчок левой кнопкой мыши*). Раскройте лицевую панель генератора слов (рис. 11.9).

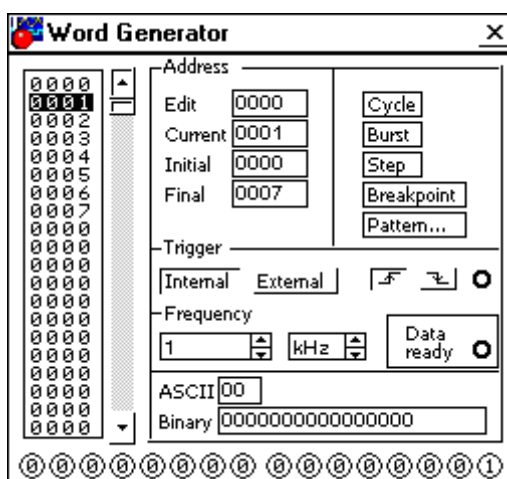


Рис. 11.9. Лицевая панель генератора слов

Сместите лицевые панели приборов на рабочем поле так, чтобы они были полностью видны.

В генераторе слов в строке Binary заполните адреса значениями двоичных слов в соответствии с заданием, предварительно указав редактируемый (Edit) адрес. Установите значения начального (Initial) и конечного (Final) адреса.

Выбрав режим работы STEP или CYCLE, проверьте работу мультиплексора в режиме логической функции двух переменных A0 и A1 нажатием кнопок STEP или тумблера питания соответственно.

Распечатайте данные экспериментов.

11.5. Содержание отчета

1. Цель работы.
2. Краткие теоретические сведения.
3. Экспериментальные материалы в виде таблиц, осциллограмм, фотографий.
4. Схема и результаты исследований мультиплексора в программе Electronics Workbench.
5. Выводы о проделанной работе.

11.6. Список используемой литературы

1. Браммер Ю.А. Цифровые устройства : учебное пособие для студентов вузов / Ю.А. Браммер. – Москва : Высшая школа, 2004. – 229 с.
2. Красногорцев И.Л. Основы цифровой техники : руководство по выполнению базовых экспериментов / И.Л. Красногорцев. – Челябинск : Учебная техника, 2006. – 97 с.
3. Миловзоров О.В. Электроника / О.В. Миловзоров. – Москва : Высшая школа, 2004. – 288 с.
4. Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги: каталожное издание / А.В. Нефедов. – Т. 10 : Серии К1502–К1563. – Москва : РадиоСофт, 2001. – 544 с.
5. Шило В.Л. Популярные цифровые микросхемы / В.Л. Шило. – Челябинск : Металлургия, 1989. – 352 с.

12. ИССЛЕДОВАНИЕ УСИЛИТЕЛЕЙ ПОСТОЯННОГО ТОКА, ВЫПОЛНЕННЫХ НА ОПЕРАЦИОННЫХ УСИЛИТЕЛЯХ

Лабораторная работа № 12

Цель работы – изучение принципа действия и экспериментальное исследование работы усилителей постоянного тока, выполненных на операционных усилителях.

12.1. Общие положения

Усилителем называется электронное устройство, предназначенное для увеличения параметров входного сигнала.

Усилители постоянного тока предназначены для усиления сигналов, медленно изменяющихся во времени сигналов, частота первой гармоники которых близка к нулю.

Операционные усилители (ОУ) относятся к усилителям постоянного тока с большим коэффициентом усиления, имеющим дифференциальный вход (два входных вывода) и один выход. В настоящее время ОУ играют роль многофункциональных элементов при построении электронных устройств различного назначения. Условное графическое обозначение ОУ на принципиальных схемах приведено на рис. 12.1. ОУ в соответствии со стандартами изображается в виде прямоугольника (рис. 12.1, а) или равностороннего треугольника (рис. 12.1, б).

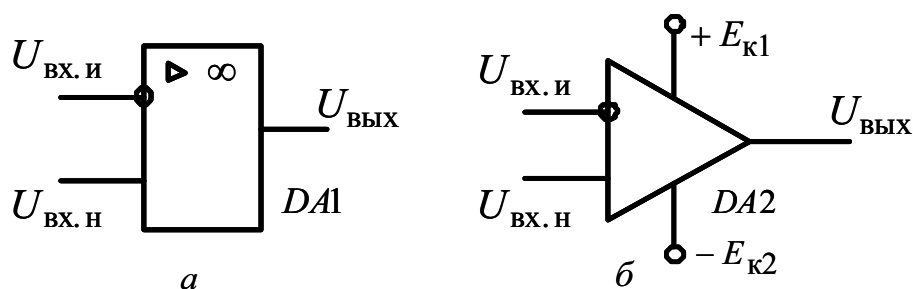


Рис. 12.1. Условное графическое обозначение операционного усилителя

Буквенное обозначение ОУ на принципиальных схемах – DA .

Один из входов операционного усилителя называется инвертирующим – $U_{\text{ВХ.И}}$, а второй неинвертирующим – $U_{\text{ВХ.Н}}$.

При подаче сигнала на инвертирующий вход $U_{\text{вх.и}}$ приращение выходного сигнала $\Delta U_{\text{вых}}$ противоположно по знаку (фазе) с приращениями входного сигнала (инвертирующее включение ОУ). Если же сигнал подан на неинвертирующий вход $U_{\text{вх.н}}$, то приращение выходного сигнала $\Delta U_{\text{вых}}$ совпадает по знаку (фазе) с входным сигналом (неинвертирующее включение). При подаче сигналов на оба входа (дифференциальное включение) приращение сигнала на выходе пропорционально разности входных сигналов.

Входным каскадом ОУ является дифференциальный усилительный каскад, выходным каскадом – эмиттерный повторитель, обеспечивающий требуемую нагрузочную способность ОУ.

12.2. Инвертирующий усилитель, выполненный на операционном усилителе

Инвертирующий усилитель изменяет знак выходного сигнала относительно входного. Схема образуется введением параллельной отрицательной обратной связи по напряжению с помощью резистора $R_{\text{ос}}$ (рис. 12.2).

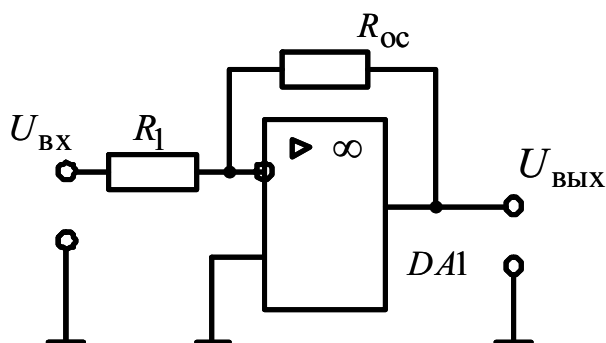


Рис. 12.2. Схема инвертирующего усилителя, выполненного на операционном усилителе

Неинвертирующий вход ОУ подключается к общему выводу источника питания, входной сигнал подается через резистор R_1 на инвертирующий вход ОУ.

Так как инвертирующий усилитель на рабочем участке преобразования – линейное звено, то его коэффициент усиления по напряжению определяется как отношение выходного напряжения к входному напряжению:

$$k_u = \frac{U_{\text{вых}}}{U_{\text{вх}}} = -\frac{R_{\text{ос}}}{R_1}. \quad (12.1)$$

Таким образом, коэффициент усиления по напряжению инвертирующего усилителя, выполненного на операционном усилителе, определяется

только его внешними сопротивлениями R_1 и R_{oc} . Знак минус в правой части уравнения (12.1) показывает, что полярности входного и выходного напряжений инвертирующего усилителя имеют противоположный знак.

Передаточная характеристика инвертирующего усилителя имеет вид, приведенный на рис. 12.3. Она расположена во втором и четвертом квадрантах. Линейный участок передаточной характеристики ограничен положительным входным напряжением $U_{вх.нас}$ и отрицательным входным напряжением $-U_{вх.нас}$.

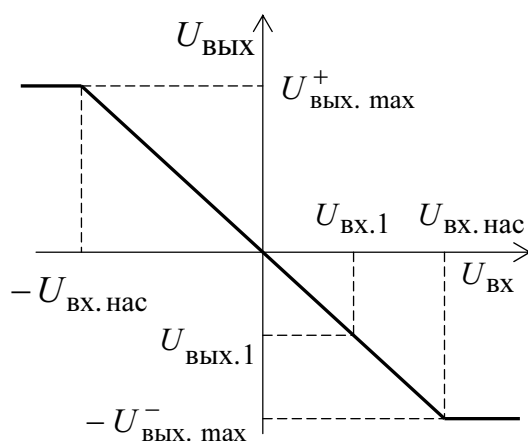


Рис. 12.3. Передаточная характеристика инвертирующего усилителя

Насыщение ОУ происходит при достижении выходного напряжения значений $\pm U_{вых. max}$, которые на 1,0–1,5 В меньше, чем напряжения питания $\pm E_k$ ОУ.

В инвертирующем усилителе линейный участок передаточной характеристики расширяется, и сигналы большей амплитуды передаются без искажений.

12.3. Неинвертирующий усилитель, выполненный на операционном усилителе

В неинвертирующем усилителе знак выходного сигнала относительно входного не изменяется. Схема образуется введением последовательной отрицательной обратной связи по напряжению, поданной на инвертирующий вход ОУ (см. рис. 12.4). Входной сигнал подается на неинвертирующий вход ОУ.

Коэффициент усиления по напряжению неинвертирующий усилитель определяется как отношение выходного напряжения $U_{вых}$ к входному напряжению $U_{вх}$:

$$k_u = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = 1 + \frac{R_2}{R_1}. \quad (12.2)$$

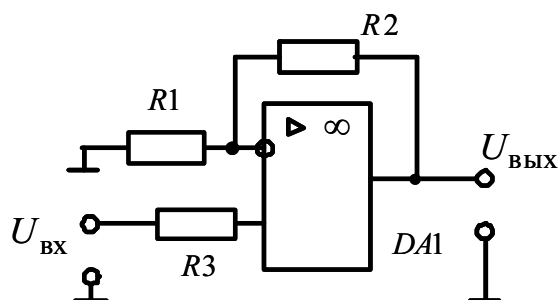


Рис. 12.4. Схема инвертирующего усилителя, выполненного на операционном усилителе

Таким образом, коэффициент усиления по напряжению неинвертирующего усилителя, выполненного на операционном усилителе, также определяется только его внешними сопротивлениями R_1 и R_2 .

Резистор R_3 подключен к неинвертирующему входу ОУ с целью уменьшения сдвига передаточной характеристики относительно начала координат.

Передаточная характеристика неинвертирующего усилителя имеет вид, приведенный на рис. 12.5. Она расположена в первом и третьем квадрантах. Линейный участок передаточной характеристики ограничен положительным входным напряжением $U_{\text{ВХ.нас}}$ и отрицательным входным напряжением $-U_{\text{ВХ.нас}}$.

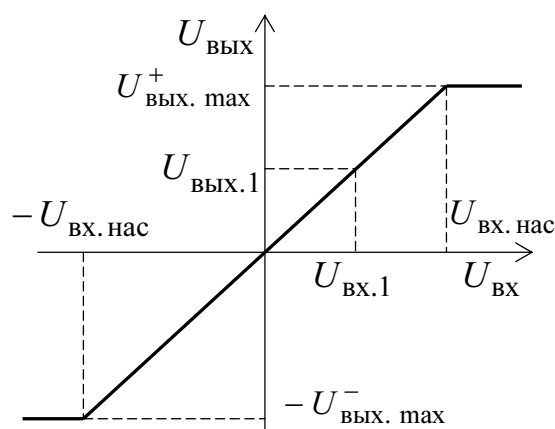


Рис. 12.5. Передаточная характеристика неинвертирующего усилителя

Несмотря на то что коэффициент усиления по напряжению неинвертирующего усилителя, выполненного на операционном усилителе, определяется его внешними сопротивлениями R_1 и R_2 , они не могут

быть выбраны совершенно произвольно, а ограничены снизу максимальным выходным током ОУ. То есть

$$R_1 + R_2 \geq \frac{U_{\text{ВЫХ. max}}}{I_{\text{ВЫХ. max}}}, \quad (12.2)$$

где $I_{\text{ВЫХ. max}}$ – максимальный выходной ток ОУ, который для большинства ОУ выпускаемых промышленностью обычно не превышает 10 мА.

Следовательно, при $U_{\text{ВЫХ. max}} = 12$ В суммарное сопротивление $R_1 + R_2 \geq 1,2$ кОм. С целью уменьшения токов нагрузки эти сопротивления увеличивают в 10–100 раз.

12.4. Программа работы

1. Убедитесь, что устройства, используемые в эксперименте, отключены от сети.

2. Соберите схему тестирования инвертирующего усилителя (см. рис. 12.2), подключив к его входу и выходу мультиметры, как показано на рис. 12.6.

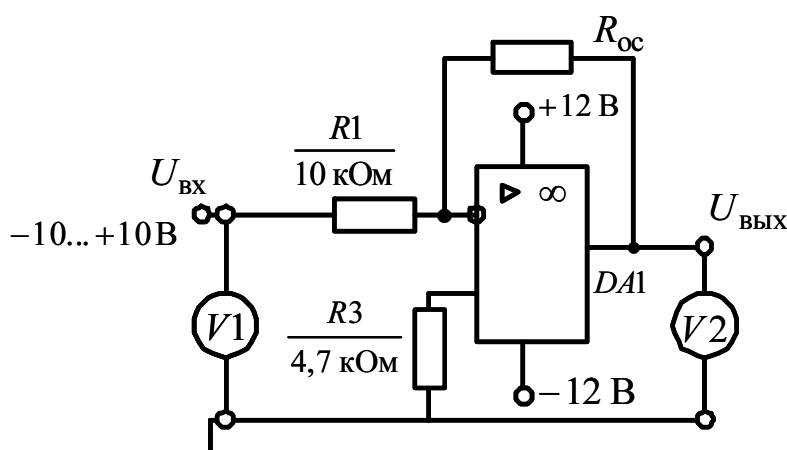


Рис. 12.6. Схема тестирования инвертирующего усилителя

Резистор R_3 подключен к неинвертирующему входу ОУ с целью уменьшения сдвига передаточной характеристики относительно начала координат (см. рис. 12.3).

Вариант схемы тестирования инвертирующего усилителя, выполненного на операционном усилителе, собранного на наборном поле блока генераторов напряжений, приведен на рис. 12.7.

Приняв $R_1 = 10$ кОм, определите сопротивление обратной связи R_{oc} для коэффициентов усиления k_u инвертирующих усилителей предложенных преподавателем. Варианты необходимых коэффициентов усиления инвертирующих усилителей приведены в табл. 12.1.

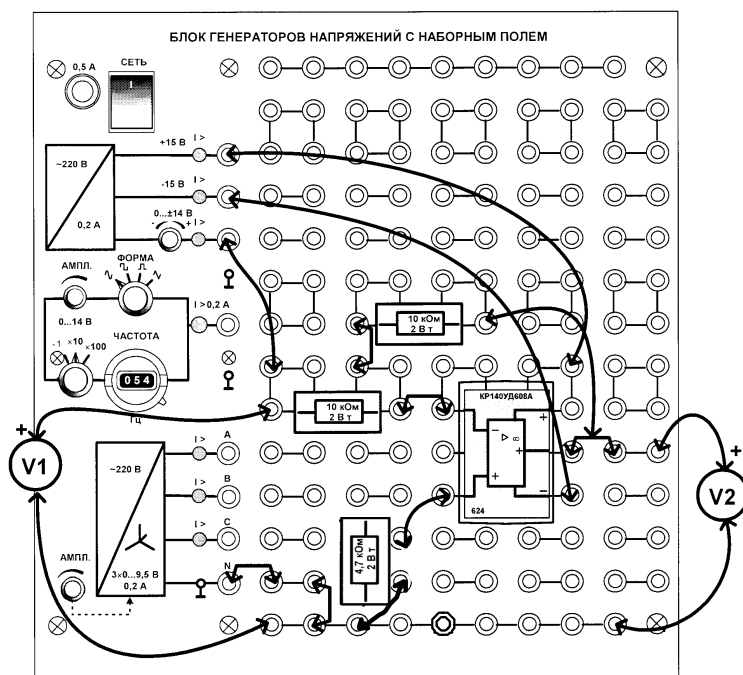


Рис. 12.7. Монтажная схема тестирования инвертирующего усилителя

Таблица 12.1

№ варианта	1	2	3	4	5	6	7	8	9	10
k_u	1,5	2,2	3,3	4,7	2,5	3,2	3,7	5,5	4,8	4,3

С помощью мультиметров измерьте входное $U_{ВХ}$ и выходное $U_{ВЫХ}$ напряжения, данные измерений занесите в табл. 12.2.

Таблица 12.2

$U_{ВХ}$, В	-10	-8	-6	-4	-2	0	2	4	6	8	10
$U_{ВЫХ}$, В											

Постройте график передаточной характеристики инвертирующего усилителя. Определите его коэффициент усиления.

Все изменения в исследуемых схемах следует производить только при **ОТКЛЮЧЕННОМ ПИТАНИИ**.

3. Соберите схему тестирования неинвертирующего усилителя (см. рис. 12.4), подключив к его входу и выходу мультиметры, как показано на рис. 12.8.

Вариант схемы тестирования неинвертирующего усилителя, выполненного на операционном усилителе, собранного на наборном поле блока генераторов напряжений, приведен на рис. 12.9.

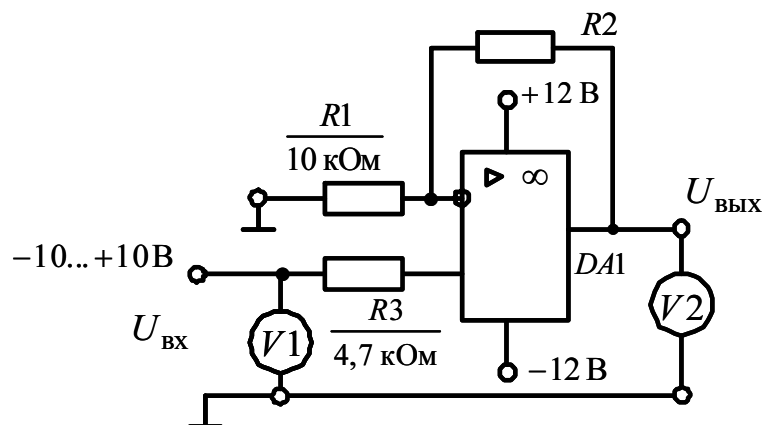


Рис. 12.8. Схема тестирования неинвертирующего усилителя

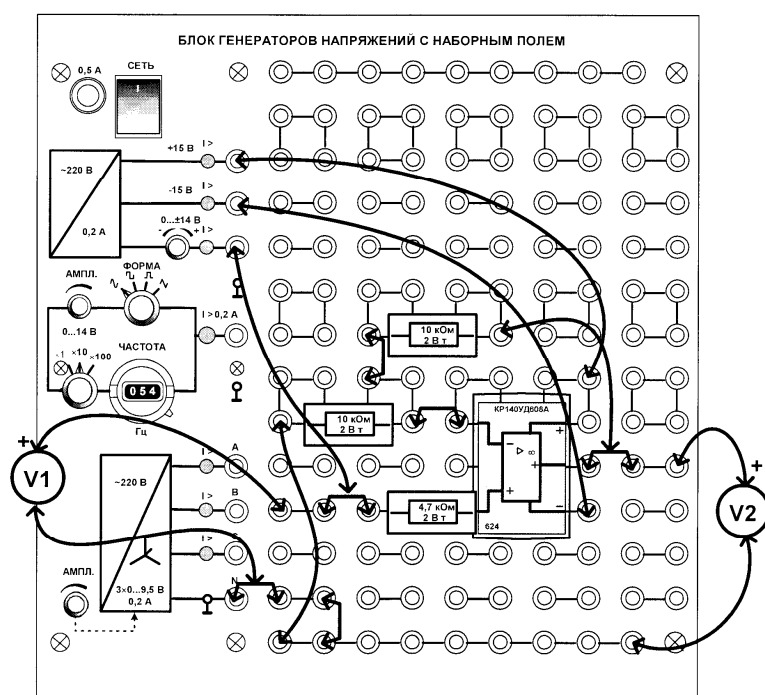


Рис. 12.9. Монтажная схема тестирования неинвертирующего усилителя

Приняв $R_1 = 10 \text{ кОм}$, определите сопротивление R_2 для коэффициентов усиления k_u неинвертирующих усилителей, предложенных преподавателем. Варианты необходимых коэффициентов усиления неинвертирующих усилителей приведены в табл. 12.3.

Таблица 12.3

№ варианта	1	2	3	4	5	6	7	8	9	10
k_u	2	2,5	3,2	4,3	5,7	3,5	4,2	4,7	6,5	7,2

Для получения требуемого коэффициента усиления резистор R_2 можно составить из двух последовательно включенных сопротивлений.

С помощью мультиметров измерьте входное $U_{ВХ}$ и выходное $U_{ВЫХ}$ напряжения, данные измерений занесите в табл. 12.4.

Таблица 12.4

$U_{ВХ}$, В	-10	-8	-6	-4	-2	0	2	4	6	8	10
$U_{ВЫХ}$, В											

Постройте график передаточной характеристики неинвертирующего усилителя. Определите его реальный коэффициент усиления.

Все изменения в исследуемых схемах следует производить только при **ОТКЛЮЧЕННОМ ПИТАНИИ**.

12.5. Порядок выполнения работы в программной среде Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Произведите исследование инвертирующего усилителя. Откройте программную среду Electronics Workbench, а затем библиотеку аналоговых элементов **Analog ICs** и выберите из библиотеки операционный усилитель без цепей питания, установив на него курсор и щелкнув левой кнопкой мыши. Соберите схему инвертирующего усилителя, выполненного на операционном усилителе, подключив к усилителю необходимые резисторы, в соответствии с принципиальной схемой рис. 12.2 и заданием табл. 12.1.

Подключите к инвертирующему входу исследуемого усилителя выходное напряжение функционального генератора (Function Generator).

Подключите входной и выходной сигналы инвертирующего усилителя к осциллографу (Oscilloscope).

Раскройте лицевую панель генератора (*двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора*), выберите выходной синусоидальный сигнал необходимой амплитуды и частоты. Раскройте лицевую панель цифрового осциллографа и проверьте работу схемы нажатием тумблера питания.

Модель инвертирующего усилителя с коэффициентом усиления по напряжению $k_u = 34$ и диаграммы напряжений на экране цифрового осциллографа представлены соответственно на рис. 12.10 и рис. 12.11.

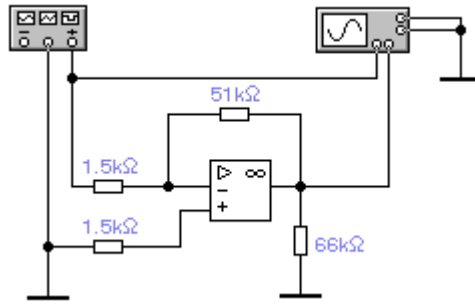


Рис. 12.10. Модель инвертирующего усилителя в программной среде Electronics Workbench

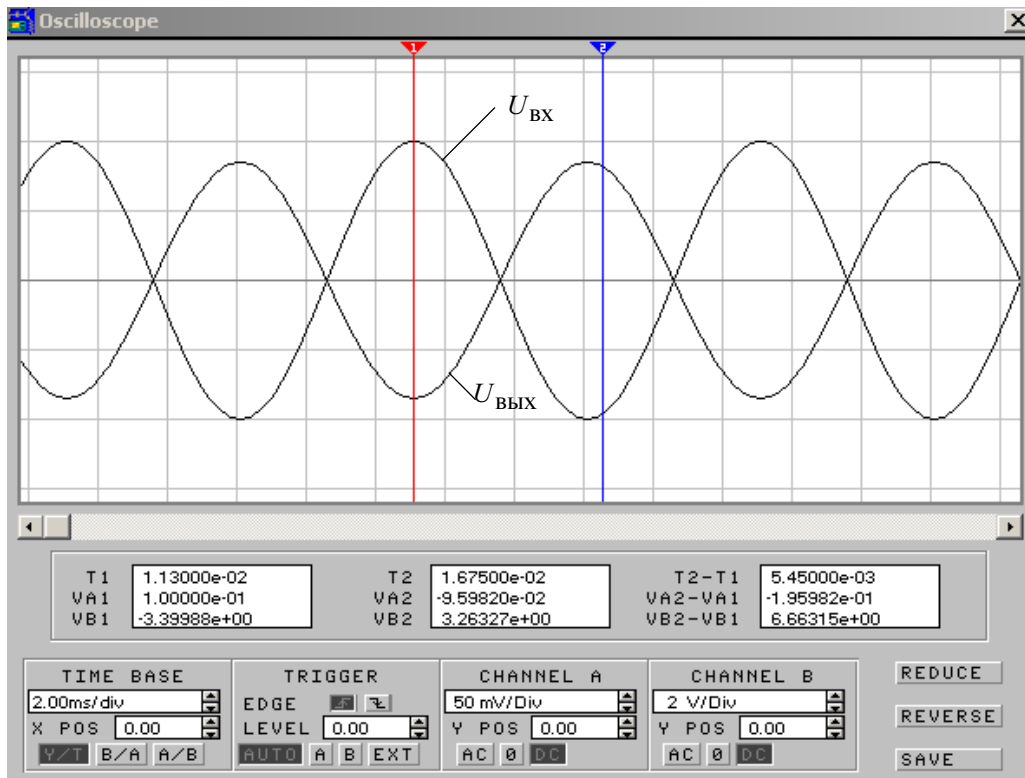


Рис. 12.11. Лицевая панель и осциллограммы цифрового осциллографа

Из осциллограмм (рис. 12.11) следует, что при входном напряжении инвертирующего усилителя $U_{\text{ВХ}} = 0,1$ В (см. окно VA1 на рис. 12.11), выходное напряжение равно $U_{\text{ВЫХ}} = -3,3999$ В.

Тогда коэффициент усиления по напряжению инвертирующего усилителя можно определить по уравнению

$$k_u = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = \frac{-3,3999}{0,1} = 33,999.$$

Следовательно, параметры инвертирующего усилителя с заданным коэффициентом усиления $k_u = 34$ найдены верно.

4. Произведите исследование неинвертирующего усилителя. Откройте программную среду Electronics Workbench, а затем библиотеку аналоговых элементов **Analog ICs** и выберите из библиотеки операционный усилитель без цепей питания, установив на него курсор и щелкнув левой кнопкой мыши.

Соберите схему для проведения испытаний в соответствии с принципиальной схемой неинвертирующего усилителя (рис. 12.2), подключив к неинвертирующему входу исследуемого усилителя выходное напряжение функционального генератора (Function Generator).

Подключите входной и выходной сигналы неинвертирующего усилителя к осциллографу. Раскройтелицевую панель генератора (*двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора*) и осциллографа и проверьте работу схемы нажатием тумблера питания.

Модель неинвертирующего усилителя с коэффициентом усиления по напряжению $k_u = 34$ приведена на рис. 12.12.

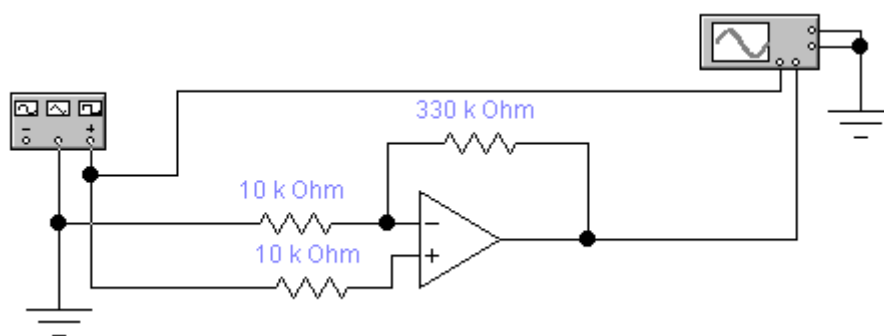


Рис. 12.12. Модель неинвертирующего усилителя в программной среде Electronics Workbench

Лицевые панели функционального генератора и светолучевого осциллографа с осциллограммами напряжений, поясняющими работу неинвертирующего усилителя, приведены на рис. 12.13 и рис. 12.14.

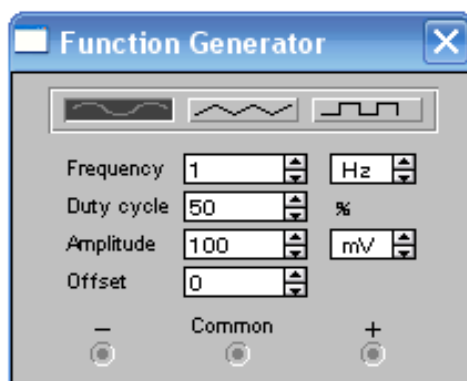


Рис. 12.13. Лицевая панель и параметры функционального генератора

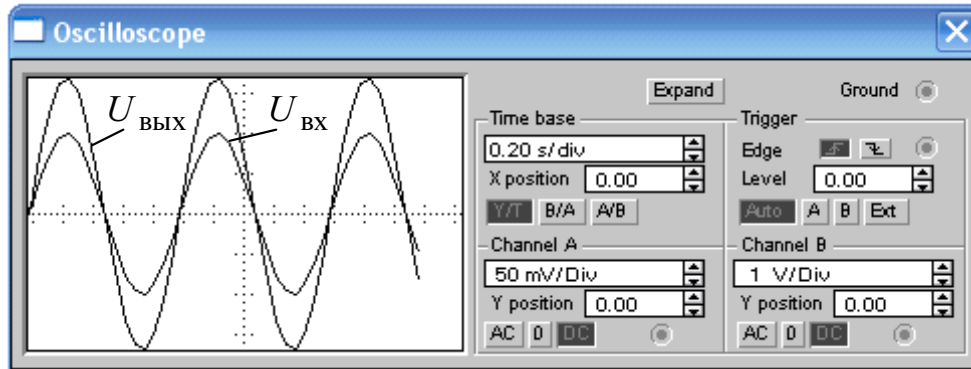


Рис. 12.14. Лицевая панель и осциллограммы светолучевого осциллографа

Из осциллограмм напряжений следует, что при входном напряжении неинвертирующего усилителя, равном $U_{ВХ} = 100 \text{ мВ}$, выходное напряжение равно $U_{ВЫХ} = 3,4 \text{ В}$.

Тогда коэффициент усиления по напряжению неинвертирующего усилителя можно определить по уравнению

$$k_u = \frac{U_{ВЫХ}}{U_{ВХ}} = \frac{3,4}{0,1} = 34.$$

Следовательно, параметры неинвертирующего усилителя с заданным коэффициентом усиления $k_u = 34$ найдены верно.

12.6. Содержание отчета

1. Цель работы.
2. Краткие теоретические сведения.
3. Экспериментальные материалы в виде таблиц, графиков, осциллограмм, фотографий.
4. Схема и результаты исследований усилителей в программной среде Electronics Workbench.
5. Выводы о проделанной работе.

12.7. Список литературы

1. Горбачев Г.Н. Промышленная электроника : учебник для вузов / Г.Н. Горбачев, Е.Е. Чаплыгин ; под ред. В.А. Лабунцова. – Москва : Энергоатомиздат, 1988. – 320 с.
2. Титце У. Полупроводниковая схемотехника : справочное руководство ; пер. с нем. / У. Титце, К. Шенк. – Москва : Мир. 1982. – 512 с.
3. Беглецов Н.Н. Основы аналоговой электроники. Руководство по выполнению базовых экспериментов / Н.Н. Беглецов. – Челябинск : Учебная техника, 2008. – 173 с.

13. ИССЛЕДОВАНИЕ КОМПАРАТОРОВ, ВЫПОЛНЕННЫХ НА ОПЕРАЦИОННЫХ УСИЛИТЕЛЯХ

Лабораторная работа № 13

Цель работы – изучение принципа действия и экспериментальное исследование работы аналоговых компараторов, выполненных на операционных усилителях.

13.1. Общие положения

Аналоговыми компараторами называются устройства, предназначенные для сравнения двух напряжений.

На рис. 13.1 приведена схема аналогового компаратора, выполненного на операционном усилителе.

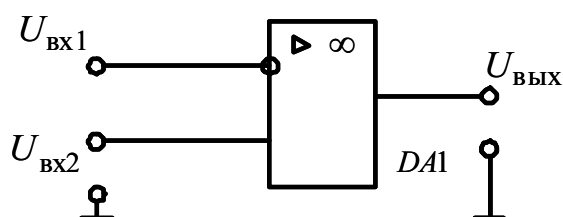


Рис. 13.1. Схема аналогового компаратора, выполненного на операционном усилителе

Операционный усилитель (рис. 13.1) включен по дифференциальной схеме, не охвачен обратной связью, поэтому разница входных напряжений $U_{ВХ1} - U_{ВХ2} = \Delta U_{ВХ}$ не равна нулю.

Передаточная характеристика аналогового компаратора приведена на рис. 13.2.

Передаточная характеристика аналогового компаратора имеет три участка:

- линейный участок пропорционального преобразования

$$U_{ВЫХ} = k_u \cdot (U_{ВХ1} - U_{ВХ2}), \quad (13.1)$$

где k_u – собственный коэффициент усиления операционного усилителя по напряжению; $U_{ВХ1}$ – входное напряжение по инвертирующему входу; $U_{ВХ2}$ – входное напряжение по неинвертирующему входу.

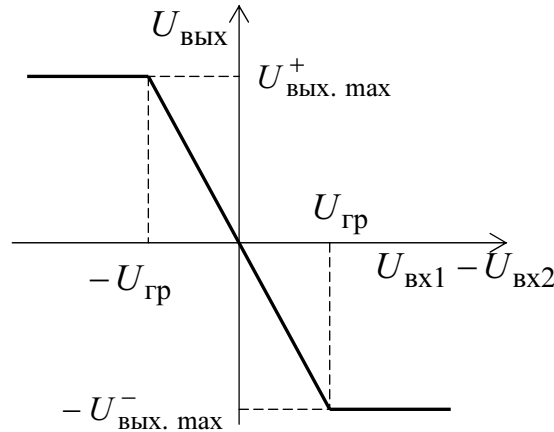


Рис. 13.2. Передаточная характеристика аналогового компаратора, выполненного на операционном усилителе

Линейный участок передаточной характеристики компаратора ограничен весьма малыми напряжениями $-U_{гр} - +U_{гр}$, причем

$$\pm U_{гр} = \frac{\mp U_{ВЫХ. max}}{k_u}, \quad (13.2)$$

где $\mp U_{ВЫХ. max}$ – напряжения насыщения ОУ, которые на 1–1,5 В меньше напряжения питания $\pm E_k$ ОУ.

В идеальном ОУ коэффициент усиления по напряжению $k_u = \infty$ и $\pm U_{гр} = 0$. В реальном ОУ коэффициент усиления по напряжению $k_u = 10^4 \dots 10^5$ и $\pm U_{гр}$ составляет доли милливольт;

- при $|U_{ВХ1} - U_{ВХ2}| > U_{гр}$ выходное напряжение ОУ ограничено значением $\pm U_{ВЫХ. max}$, а транзисторы выходного усилительного каскада ОУ работают в ключевом режиме.

Таким образом, кроме линейного участка передаточная характеристика ОУ содержит участок положительного насыщения

$$\Delta U_{ВХ} > U_{гр}; U_{ВЫХ} = U_{ВЫХ. max}^+ \quad (13.3)$$

и участок отрицательного насыщения

$$\Delta U_{ВХ} < -U_{гр}; U_{ВЫХ} = -U_{ВЫХ. max}^- \quad (13.4)$$

На рис. 13.3 показаны диаграммы напряжений, поясняющие работу аналогового компаратора. Принято, что $U_{ВХ1}$ – треугольное напряжение, а $U_{ВХ2}$ – произвольно изменяющееся напряжение, выходное напряжение компаратора $U_{ВЫХ}$ имеет форму прямоугольных импульсов и изменяется от $-U_{ВЫХ. max}^-$ до $U_{ВЫХ. max}^+$. При $U_{ВХ1} > U_{ВХ2}$ выходное напряжение ком-

паратора будет максимальным отрицательным ($-U_{\text{ВЫХ. max}}^-$), а при $U_{\text{ВХ1}} < U_{\text{ВХ2}}$ – максимальным положительным ($U_{\text{ВЫХ. max}}^+$).

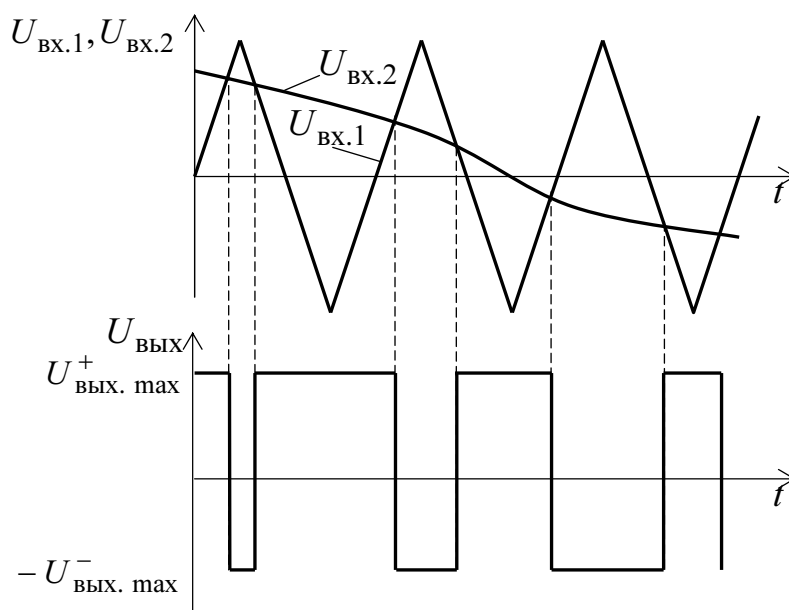


Рис. 13.3. Диаграммы напряжений аналогового компаратора, выполненного на операционном усилителе

Рассмотренная схема компаратора имеет два существенных недостатка:

- при медленно изменяющемся входном сигнале $U_{\text{ВХ2}}$ напряжение на выходе будет также изменяться медленно, не обеспечивая прямоугольного фронта;
- если во входном сигнале присутствует шум, то в выходном напряжении может происходить дребезг в те моменты, когда напряжение на входе проходит точку переключения.

Оба недостатка позволяет устранить схема компаратора с положительной обратной связью или *триггер Шмитта*. Одна из возможных схем триггера Шмитта приведена на рис. 13.4.

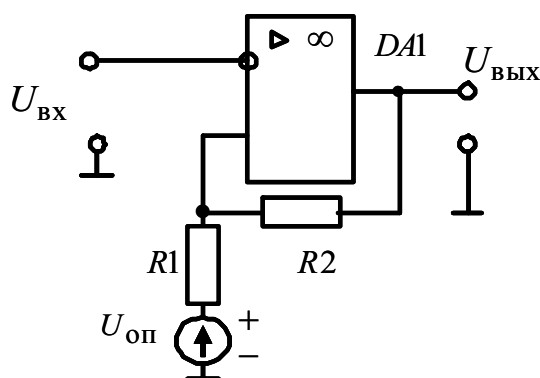


Рис. 13.4. Схема триггера Шмитта на операционном усилителе

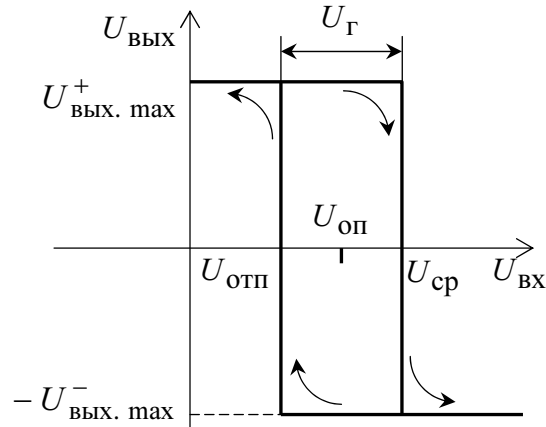


Рис. 13.5. Передаточная характеристика триггера Шмитта, выполненного на операционном усилителе

Передаточная характеристика триггера Шмитта приведена на рис. 13.5.

Переключение схемы в состояние $-U_{\text{ВЫХ. max}}^-$ происходит при достижении входным сигналом $U_{\text{ВХ}}$ напряжения срабатывания $U_{\text{ср}}$, а возвращение в исходное состояние $U_{\text{ВЫХ}} = U_{\text{ВЫХ. max}}^+$ – при снижении $U_{\text{ВХ}}$ до напряжения отпущения $U_{\text{отп}}$. $U_{\text{ср}}$ и $U_{\text{отп}}$ – пороговые напряжения; $U_{\text{оп}}$ – опорное напряжение.

Напряжение срабатывания находится из уравнения

$$U_{\text{ср}} = U_{\text{оп}} \frac{R_2}{R_1 + R_2} + U_{\text{ВЫХ. max}}^+ \frac{R_1}{R_1 + R_2}. \quad (13.4)$$

Напряжение отпущения можно найти из уравнения

$$U_{\text{отп}} = U_{\text{оп}} \frac{R_2}{R_1 + R_2} - U_{\text{ВЫХ. max}}^- \frac{R_1}{R_1 + R_2}. \quad (13.5)$$

Тогда ширина гистерезиса

$$U_{\Gamma} = U_{\text{ср}} - U_{\text{отп}} = \frac{R_1}{R_1 + R_2} (U_{\text{ВЫХ. max}}^+ + U_{\text{ВЫХ. max}}^-) \quad (13.6)$$

и при выполнении условия

$$U_{\text{ВЫХ. max}}^+ = |U_{\text{ВЫХ. max}}^-|$$

ширина гистерезиса

$$U_{\Gamma} = 2 \cdot \frac{R_1}{R_1 + R_2} U_{\text{ВЫХ. max}}^+ \quad (13.6)$$

Работает триггер Шмитта следующим образом. Как только входное напряжение $U_{\text{ВХ}}$ превысит напряжение срабатывания $U_{\text{ср}}$, на выходе ОУ

появится отрицательное приращение выходного сигнала $-\Delta U_{\text{ВЫХ}}$, которое по цепи положительной обратной связи через делитель напряжения $R1 - R2$ поступит на неинвертирующий вход ОУ. Операционный усилитель усилит это приращение и на выходе появится дополнительное отрицательное приращение выходного сигнала, которое вновь вызовет изменение напряжения на неинвертирующем входе ОУ. Процесс будет развиваться лавинообразно и закончится, когда выходное напряжение $U_{\text{ВЫХ}}$ достигнет напряжения насыщения $-U_{\text{ВЫХ. max}}^-$. Положительная обратная связь по напряжению ускоряет процесс переключения компаратора. В данной схеме вероятность того, что шумовой сигнал на входе вызовет многократные переключения выходного напряжения, уменьшается. Это иллюстрируют диаграммы напряжений (рис. 13.6), поясняющие работу триггера Шмитта.

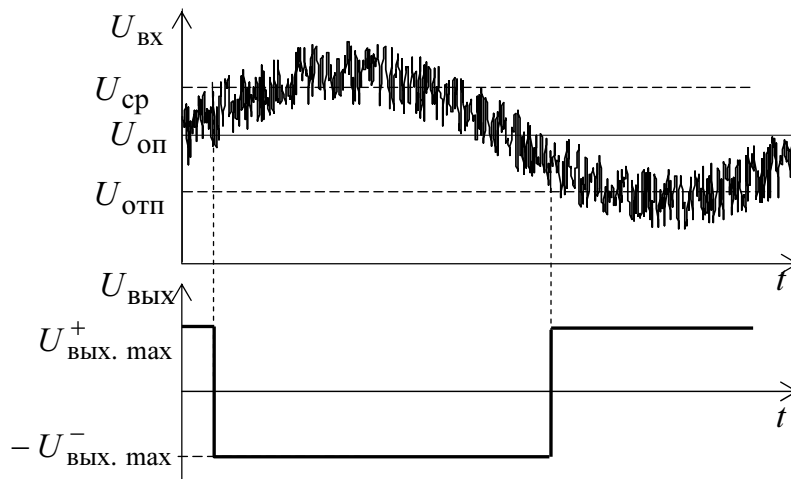


Рис. 13.6. Диаграммы напряжений, поясняющие работу триггера Шмитта

При $U_{\text{оп}} = 0$ схема триггера Шмитта значительно упрощается (рис. 13.7), а передаточная характеристика триггера Шмитта (рис. 13.8) становится симметричной относительно начала координат.

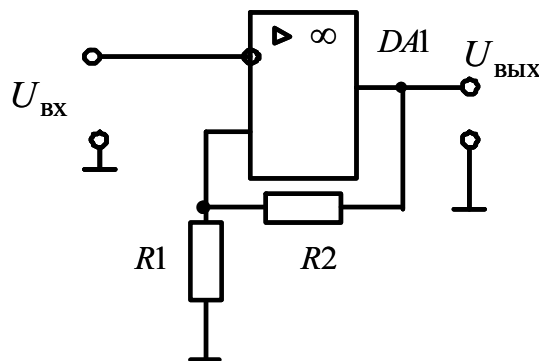


Рис. 13.7. Схема триггера Шмитта при $U_{\text{оп}} = 0$

Для схемы рис. 13.7 пороговые напряжения и зона гистерезиса составляют:

- напряжение срабатывания

$$U_{\text{ср}} = U_{\text{ВЫХ. макс}}^+ \frac{R_1}{R_1 + R_2}, \quad (13.7)$$

- напряжение отпускания

$$U_{\text{отп}} = -U_{\text{ВЫХ. макс}}^- \frac{R_1}{R_1 + R_2}, \quad (13.8)$$

- ширина гистерезиса

$$U_{\Gamma} = 2 \cdot \frac{R_1}{R_1 + R_2} U_{\text{ВЫХ. макс}}^+ \cdot \quad (13.9)$$

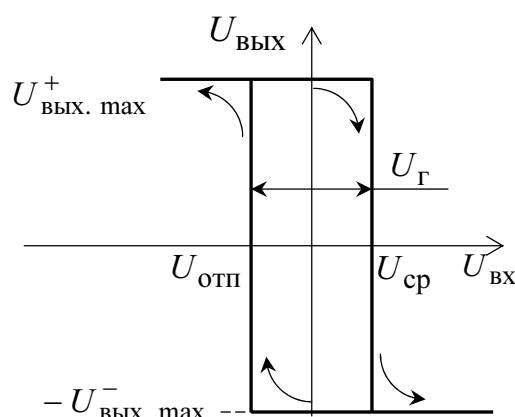


Рис. 13.8. Передаточная характеристика триггера Шмитта при $U_{\text{отп}} = 0$

Схема (рис. 13.7) служит основой для построения релаксационных генераторов импульсов на операционном усилителе.

13.2. Программа работы

1. Убедитесь, что устройства, используемые в эксперименте, отключены от сети.
2. Соберите схему тестирования триггера Шмитта в соответствии с рис. 13.7, подключив к его входу регулируемое постоянное напряжение, как показано на рис. 13.9.
3. Для указанного преподавателем варианта (табл. 13.1) установите сопротивления резисторов R_1 и R_2 (см. рис. 13.7).

Таблица 13.1

№ варианта	1	2	3	4	5	6	7	8	9	10
R_1 , кОм	1,0	2,2	3,3	4,7	1	2,2	3,3	4,7	3,3	4,7
R_2 , кОм	10	10	10	10	22	22	22	22	33	33

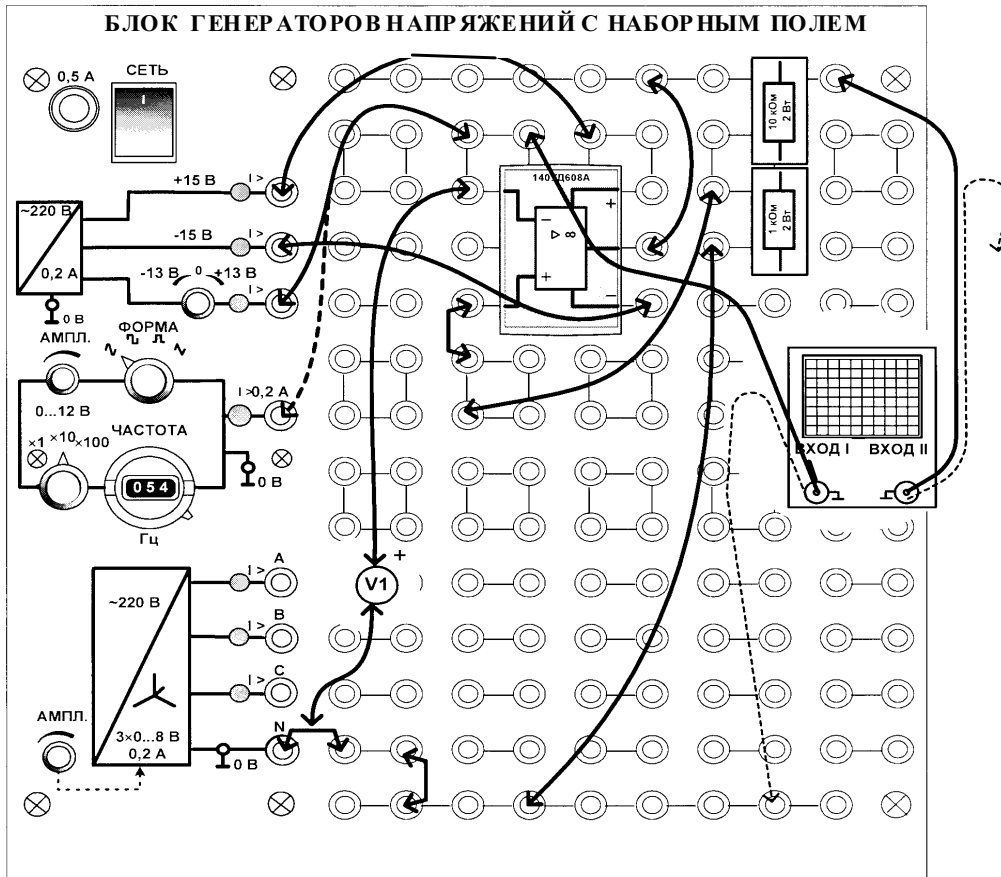


Рис. 13.9. Схема тестирования триггера Шмитта

4. Включите блок генераторов напряжений и, изменяя входное напряжение, убедитесь по осциллографу, что триггер переключается.

5. Медленно увеличивая и уменьшая входное напряжение, определите напряжения срабатывания $U_{\text{ср}}$, отпускания $U_{\text{отп}}$ и ширину петли гистерезиса $U_{\text{г}}$:

$$U_{\text{ср}} = \dots\dots \text{В}; \quad U_{\text{отп}} = \dots\dots \text{В}; \quad U_{\text{г}} = U_{\text{ср}} - U_{\text{отп}} = \dots\dots \text{В}.$$

6. Рассчитайте пороговые напряжения срабатывания $U_{\text{ср}}$, отпускания $U_{\text{отп}}$ и ширину петли гистерезиса $U_{\text{г}}$ по уравнениям (13.7)–(13.9) и сравните их с напряжениями, определенными экспериментально.

7. Переключите вход триггера на переменное напряжение треугольной формы частотой, например, 1 кГц. Определите ширину петли гистерезиса и убедитесь, что она такая же, как и на постоянном токе.

8. Увеличивая амплитуду входного напряжения, исследуйте изменение ширины петли гистерезиса. Объясните результат.

9. Увеличивая частоту входного напряжения, исследуйте изменение ширины петли гистерезиса. Объясните результат.

13.3. Порядок выполнения работы с программой Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Произведите исследование компаратора. Откройте программную среду Electronics Workbench, а затем библиотеку аналоговых элементов **Analog ICs** и выберите из библиотеки операционный усилитель или идеальный ОУ без выводов питания (рис. 13.10, а), или с реальными параметрами и с выводами питания (рис. 13.10, б), установив на него курсор и щелкнув левой кнопкой мыши.

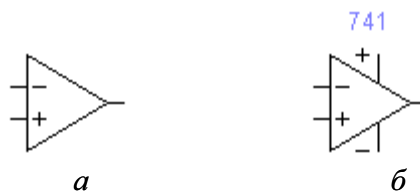


Рис. 13.10. Модели операционных усилителей.

а – идеальный, без выводов питания; б – серийный, с выводами питания

В случае выбора ОУ с реальными параметрами щелкните по нему два раза левой кнопкой мыши. Выберите из библиотеки (*library*) серию ОУ, а затем в окне *Model* тип ОУ. Убедитесь в том, что параметры ОУ инициализированы (рис. 13.11).

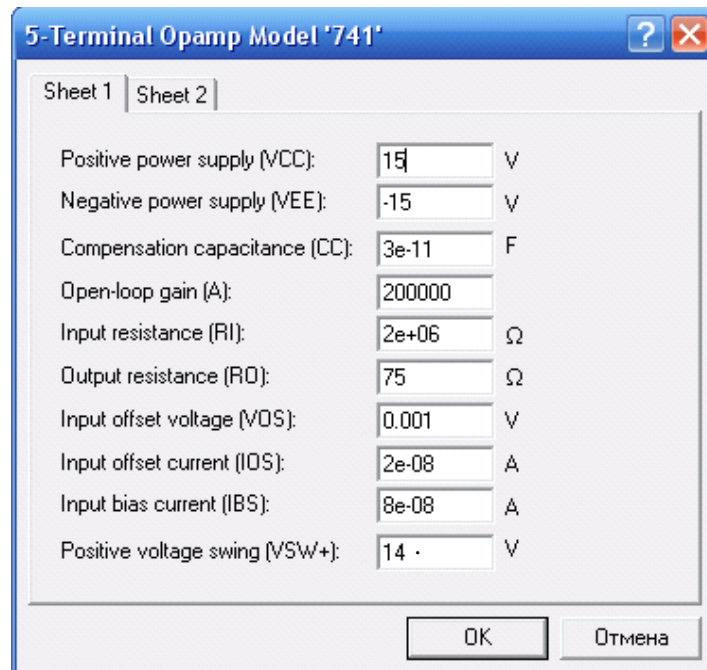


Рис. 13.11. Параметры ОУ серии 741

Соберите схему компаратора, выполненного на операционном усилителе, в соответствии с принципиальной схемой (рис. 13.1).

Подключите к инвертирующему входу исследуемого компаратора выходное напряжение функционального генератора (Function Generator).

Подключите входной и выходной сигналы компаратора к осциллографу (Oscilloscope).

Модель компаратора в программной среде Electronics Workbench версии 5.12 приведена на рис. 13.12.

Раскройтелицевую панель генератора (двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора), выберите выходной *треугольный* сигнал необходимой амплитуды и частоты. Раскройтелицевую панель светолучевого (цифрового) осциллографа и проверьте работу схемы нажатием тумблера питания.

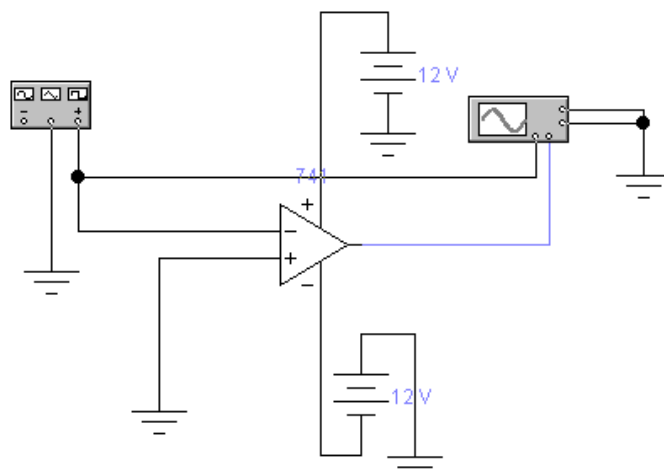


Рис. 13.12. Модель компаратора в программной среде Electronics Workbench

Осциллограммы входного и выходного напряжений компаратора на экране светолучевого осциллографа представлены на рис. 13.13.

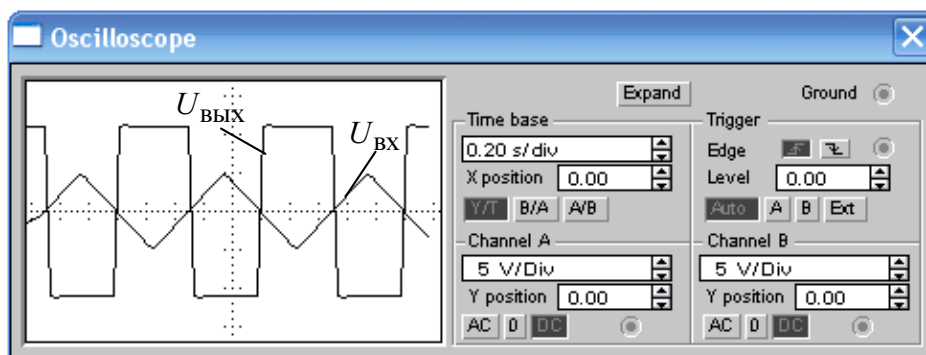


Рис. 13.13. Осциллограммы входного и выходного напряжений компаратора на экране светолучевого осциллографа

Анализ осциллограмм работы компаратора (рис. 13.13) показывает, что компаратор при медленно изменяющемся входном сигнале не обеспечивает прямоугольности выходного напряжения. Это может вызвать неопределенность при работе устройств, в состав которых входят компараторы подобного типа.

Переключите осциллограф в режим *В/А* и получите на экране передаточную характеристику компаратора (рис. 13.14).

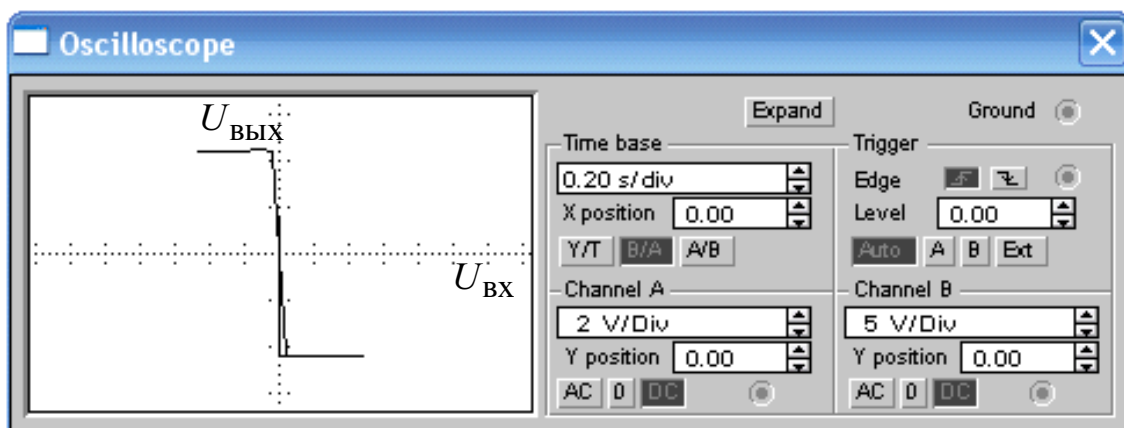


Рис. 13.14. Лицевая панель светолучевого осциллографа в режиме измерения *В/А*

Передаточная характеристика компаратора, выполненного на ОУ, показывает, что ОУ без обратных связей имеет большой, но все же ограниченный коэффициент усиления.

4. Соберите схему исследования триггера Шмитта в программной среде Electronics Workbench в соответствии с принципиальной схемой (рис. 13.7).

Подключите к инвертирующему входу исследуемого триггера Шмитта выходное напряжение функционального генератора (Function Generator). Подключите входной и выходной сигналы триггера Шмитта к осциллографу (Oscilloscope).

Модель триггера Шмитта, выполненная на ОУ, в программной среде Electronics Workbench версии 5.12 приведена на рис. 13.15.

Раскройте лицевую панель генератора (*двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора*), выберите выходной *треугольный* сигнал необходимой амплитуды и частоты. Раскройте лицевую панель светолучевого (цифрового) осциллографа и проверьте работу схемы нажатием тумблера питания.

Осциллограммы входного и выходного напряжений триггера Шмитта на экране светолучевого осциллографа приведены на рис. 13.16.

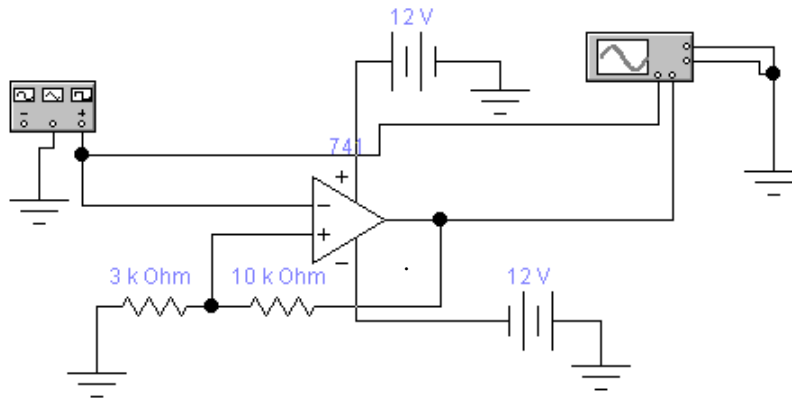


Рис. 13.15. Модель триггера Шмитта в программной среде Electronics Workbench

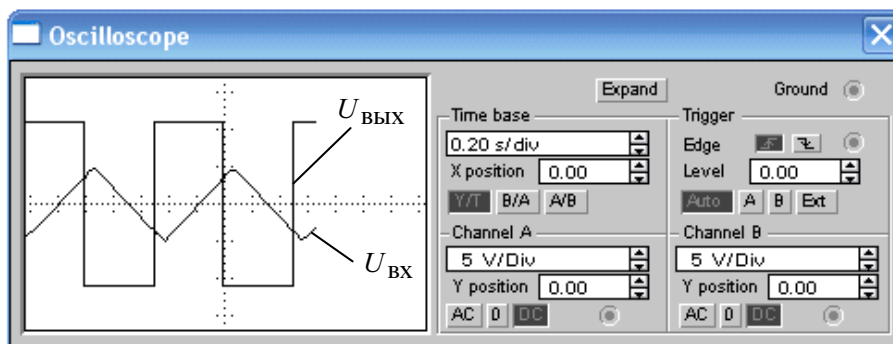


Рис. 13.16. Осциллограммы входного и выходного напряжений компаратора на экране светолучевого осциллографа

Анализ осциллограмм входного и выходного напряжений компаратора (рис. 13.16) показывает, что переключение компаратора с высокого напряжения $+U_{\text{ВЫХ.мак}}^+$ на низкое $-U_{\text{ВЫХ.мак}}^-$ происходит не в момент перехода входного треугольного напряжения через ноль (сравните с рис. 13.13), а при пороговых напряжениях срабатывания $U_{\text{ср}}$ и отпускания $U_{\text{отп}}$.

Переключите осциллограф в режим *B/A* и получите на экране передаточную характеристику триггера Шмитта (рис. 13.17).

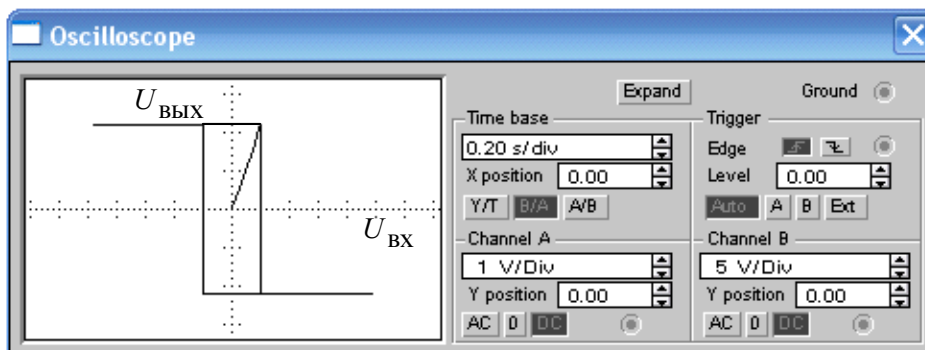


Рис. 13.17. Лицевая панель светолучевого осциллографа в режиме измерения *B/A*

Определите напряжения срабатывания $U_{\text{ср}}$, отпускания $U_{\text{отп}}$ и ширину петли гистерезиса $U_{\text{Г}}$ по аналоговому или цифровому осциллографам в режиме развертки Y/T или в режиме измерения B/A и сравните полученные значения с ранее рассчитанными

Объясните результаты.

13.4. Содержание отчета

1. Цель работы.
2. Краткие теоретические сведения.
3. Экспериментальные материалы в виде таблиц, графиков, осциллограмм, фотографий.
4. Схема и результаты исследований компаратора и триггера Шмитта в программной среде Electronics Workbench.
5. Выводы о проделанной работе.

13.5. Список литературы

1. Горбачев Г.Н. Промышленная электроника : учебник для вузов / Г.Н. Горбачев, Е.Е. Чаплыгин ; под ред. В.А. Лабунцова. – Москва : Энергоатомиздат, 1988. – 320 с.
2. Титце У. Полупроводниковая схемотехника : справочное руководство ; пер. с нем. / У. Титце, К. Шенк. – Москва : Мир. 1982. – 512 с.
3. Беглецов Н.Н. Основы аналоговой электроники. Руководство по выполнению базовых экспериментов / Н.Н. Беглецов. – Челябинск : Учебная техника, 2008. – 173 с.

14. ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Лабораторная работа № 14

Цель работы: изучить принципы построения и исследовать работу цифро-аналоговых преобразователей, выполненных на интегральных микросхемах.

14.1. Общие положения

Цифро-аналоговый преобразователь (ЦАП) предназначен для преобразования числа, представленного в виде двоичного кода, в напряжение или ток, пропорциональные этому числу.

ЦАП классифицируются по способам преобразования входного кода (последовательные и параллельные) и схемам формирования выходного сигнала. Последовательные ЦАП могут выполняться на переключающихся конденсаторах и с использованием широтно-импульсной модуляции. Параллельные выполняются с использованием суммирования напряжений, суммирования токов и суммирования зарядов.

Кроме этого ЦАП можно классифицировать по ряду следующих признаков:

- по роду выходного сигнала: преобразователи с токовым выходом или с выходом по напряжению;
- по типу цифрового интерфейса: с последовательным вводом или с параллельным вводом;
- по числу ЦАП на кристалле: одноканальные и многоканальные;
- по быстродействию: низкого, среднего и высокого;
- по разрядности.

Большинство ЦАП включают пять функциональных элементов, или модулей (рис. 14.1):

- регистр и схему управления;
- аналоговые ключи;
- источник опорного напряжения;
- декодирующую схему;
- суммирующий усилитель.

Основные различия ЦАП касаются способов соединения и изготовления модулей. К основным характеристикам ЦАП относят:

- точность – определяется отклонением действительной выходной аналоговой величины от ее теоретического значения. На точность ЦАП влияют значения основных параметров и температурные дрейфы: эталонного источника, суммирующего усилителя, декодирующей схемы и аналоговых ключей;
- разрешающая способность – минимальное значение входной величины, которое определяет соответствующее изменение выходной величины:

$$\Delta = \frac{1}{2^n},$$

где n – разрядность кода;

Чем больше разрядность цифрового кода на входе ЦАП, тем выше его разрешающая способность.

- время преобразования – интервал времени между поступлением цифрового кода на вход ЦАП и временем установления соответствующего ему значения напряжения или тока на выходе. Оно определяется в основном быстродействием ключей и декодирующей схемы;
- диапазон изменения напряжения (U) или тока (I) – полная шкала изменения напряжения от 0 до $U_{\text{вых max}}$ или тока от 0 до $I_{\text{вых max}}$;
- полное выходное сопротивление ЦАП ($Z_{\text{вых}}$) определяется со стороны выходных зажимов. Оно зависит в основном от выходного сопротивления суммирующего усилителя и имеет порядок десятков – сотен Ом.

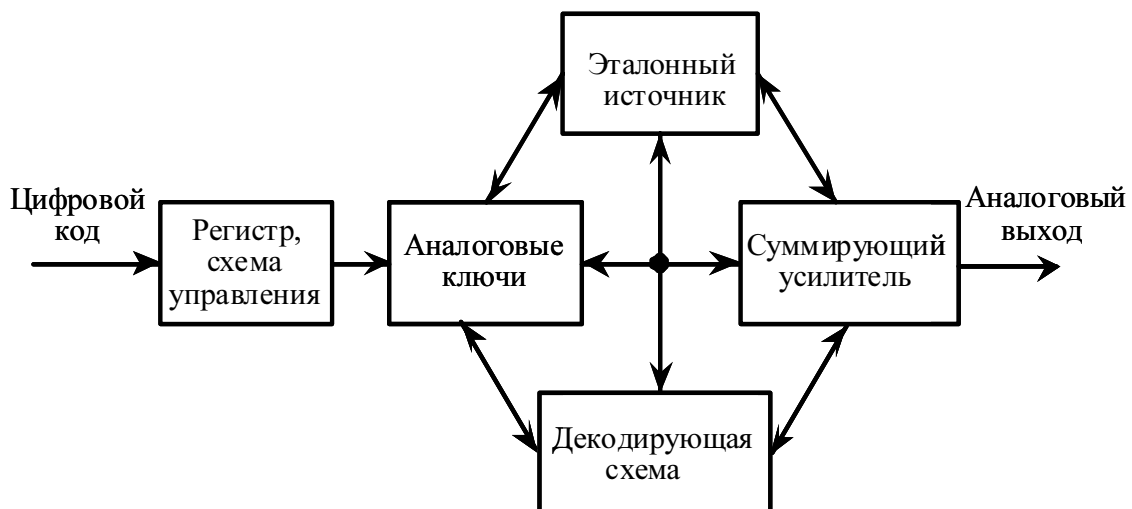


Рис. 14.1. Основные функциональные блоки ЦАП и их возможная компоновка

14.2. Параллельные ЦАП с суммированием весовых токов

Большинство схем параллельных ЦАП основано на суммировании токов, сила каждого из которых пропорциональна весу цифрового двоичного кода, причем должны суммироваться только токи тех разрядов, значения которых равны 1.

Например, требуется преобразовать двоичный четырехразрядный код в аналоговый сигнал тока. У четвертого старшего значащего разряда весовой коэффициент будет равен $2^3 = 8$, у третьего разряда $2^2 = 4$, у второго $2^1 = 2$ и у младшего $2^0 = 1$. Ток младшего разряда должен быть равен 1 мА, а старшего – 8 мА, тогда максимальный выходной ток преобразователя $I_{\text{out_max}} = 15 \text{ мА}$ и соответствует коду 1111_2 . Коду 1001_2 будет соответствовать $I_{\text{out}} = 9 \text{ мА}$. Таким образом, необходимо построить схему, обеспечивающую генерацию и коммутацию по заданным законам точных весовых токов. Простейшая схема, реализующая данный принцип, приведена на рис. 14.2.

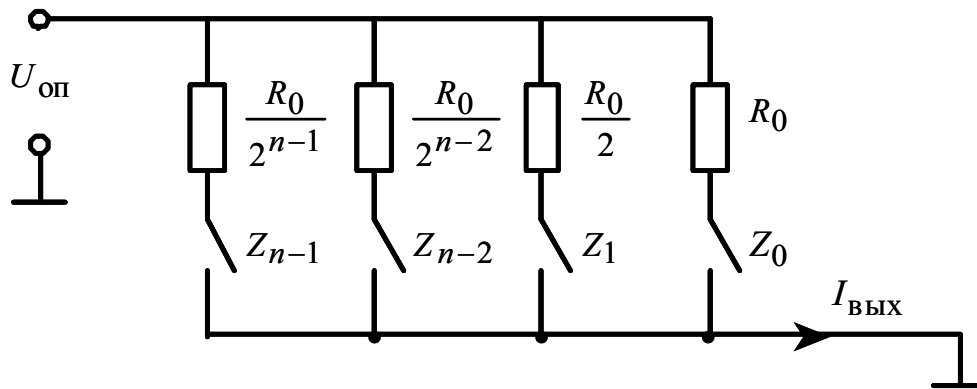


Рис. 14.2. Простейшая схема ЦАП с суммированием весовых токов

Весовые токи формируются с помощью резисторов в полном соответствии с законом Ома. Сопротивления выбирают так, чтобы при замкнутых ключах через них протекал ток, соответствующий весу разряда. Ключ должен быть замкнут тогда, когда соответствующий ему бит входного кода равен единице. Выходной ток определяется соотношением

$$I_{\text{ВЫХ}} = \frac{U_{\text{оп}}}{R_0} \cdot \sum_{k=0}^{N-1} d_k \cdot 2^k = \frac{U_{\text{оп}}}{R_0} \cdot D, \quad (14.1)$$

где k – разрядность входного кода; d_k – принимает значения 0 или 1 в зависимости от состояния k – разряда входного кода; D – суммарный вес входного кода.

При высокой разрядности ЦАП токозадающие резисторы должны быть согласованы с высокой точностью. Наиболее жесткие требования предъявляются к резисторам старших разрядов. Так как разброс весовых токов не должен превышать доли тока младшего (нулевого разряда), то погрешность сопротивления в i -м разряде должна удовлетворять условию $-\frac{\Delta R}{R} < 2^{-k}$.

Из этого условия следует, что относительная погрешность сопротивления весовых резисторов должна снижаться с увеличением разрядности ЦАП. Например, в четвертом разряде 4-разрядного ЦАП она не должна превышать 6%, а в 10-м разряде 10-разрядного – 0,1%. Это требование делает фактически нереализуемым по указанному принципу ЦАП с разрядностью выше 12, особенно для высокоскоростных схем.

Рассмотренная схема обладает рядом недостатков:

- значения сопротивлений весовых резисторов могут различаться в тысячи раз, что делает весьма затруднительной реализацию этих резисторов в полупроводниковых интегральных микросхемах;
- сопротивления резисторов старших разрядов в многоразрядных ЦАП может быть соизмеримым с сопротивлением замкнутых ключей, а это может привести к дополнительным погрешностям преобразования;
- при различных входных кодах ток, потребляемый от источника опорного напряжения (ИОН), будет различным, а это может повлиять на величину выходного напряжения ИОН.

Эти недостатки позволяет устранить схема, представленная на рис. 14.3. В качестве ключей здесь используются МОП-транзисторы.

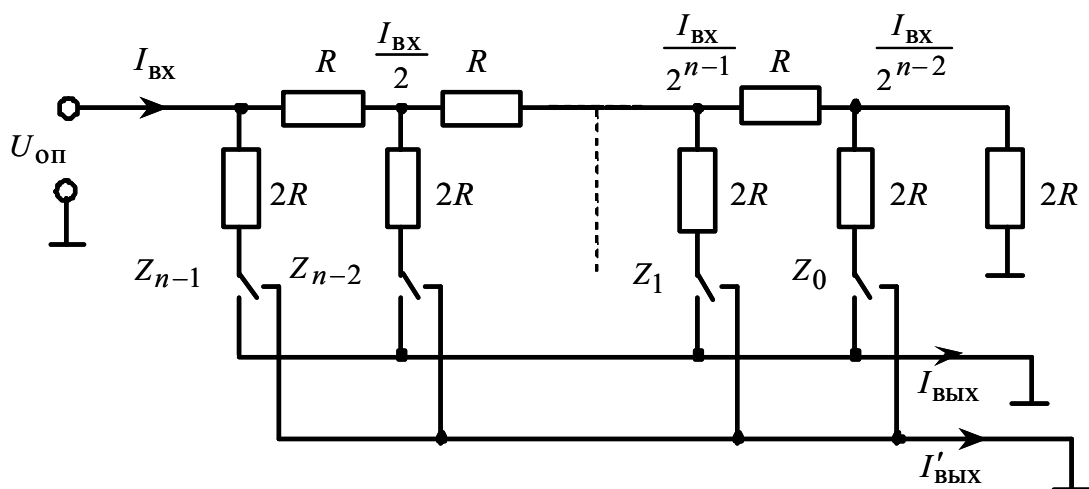


Рис. 14.3. Схема ЦАП с переключателями и матрицей постоянного сопротивления

В этой схеме задание весовых коэффициентов ступеней преобразователя осуществляют посредством последовательного деления опорного напряжения с помощью резистивной матрицы $R-2R$ (рис. 14.4).

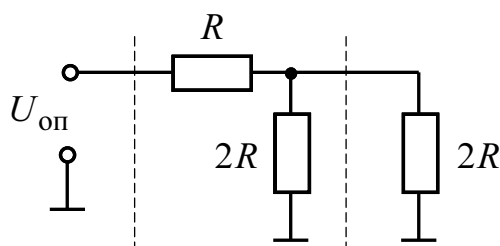


Рис. 14.4. Ступень резистивной матрицы постоянного сопротивления

Токи в резисторах матрицы $R-2R$ не зависят от положения переключателей $Z_0 - Z_{n-1}$. Благодаря малому или близкому к нулю входному сопротивлению приемников токов $I_{\text{вых}}$ и $I'_{\text{вых}}$ при любом положении переключателей Z_k нижние выводы резисторов находятся под потенциалом общей шины схемы.

Поэтому источник опорного напряжения всегда нагружен на постоянное входное сопротивление $R_{\text{in}} = R$. Это гарантирует неизменность опорного напряжения при любом входном коде ЦАП.

Тогда входной ток матрицы резисторов равен

$$I = \frac{U_{\text{оп}}}{R}.$$

Переключатель Z_{n-1} направляет ток или непосредственно на общий провод, или на выход ЦАП.

Очевидно, что каждое последующее звено продолжит деление его входного тока на 2, а переключатель этого звена будет подключать к выходу ЦАП ток, равный $\frac{I}{2^n}$, где n – номер ключа Z_0, Z_1 и т. д.

Полный ток на выходе ЦАП будет определяться суммой токов ключей, находящихся в положении «1», т. е. выходной ток будет пропорционален двоичному числу, соответствующему положению переключателей. При этом Z_{n-1} соответствует самому старшему разряду (вес – $\frac{I}{2}$), а Z_0 – самому младшему с наименьшим весом $\frac{I}{16}$.

Если все переключатели установить в положение «0» (двоичное число 0000_2), то ток на выходе преобразователя будет равен 0. Наибольшее значение выходного тока будет соответствовать двоичному числу $1111_2 = 15_{10}$ и составит

$$\frac{I}{2} + \frac{I}{4} + \frac{I}{8} + \frac{I}{2} + \frac{I}{16} = \frac{8 \cdot I}{16} + \frac{4 \cdot I}{16} + \frac{2 \cdot I}{16} + \frac{I}{16} = \frac{15 \cdot I}{16}.$$

В общем случае ток преобразователя с n двоичными разрядами будет изменяться от 0 до $\frac{(2^n - 1) \cdot I}{2^n}$ с шагом $\frac{I}{2^n}$. Если переключатели ЦАП установлены в положение, соответствующее двоичному числу N , то выходной ток преобразователя составит $\frac{N \cdot I}{2^n}$. Полученное соотношение показывает, что рассматриваемый преобразователь можно использовать в режиме «перемножающего ЦАП» – выходной сигнал определяется произведением входного тока на двоичный код числа на цифровых входах.

Таким образом, для работы рассматриваемого ЦАП необходимо точное отношение сопротивлений R и $2R$, а их абсолютная величина не имеет существенного значения. Это требование нетрудно реализовать при выполнении ЦАП в виде интегральной схемы.

В общем случае выходные токи схемы определяются соотношениями

$$I_{\text{ВЫХ}} = \frac{U_{\text{оп}}}{R \cdot 2^n} \cdot \sum_{k=0}^{n-1} d_k \cdot 2^k = \frac{U_{\text{оп}}}{R \cdot 2^n} \cdot D; \quad (14.2)$$

$$I'_{\text{ВЫХ}} = \frac{U_{\text{оп}}}{R \cdot 2^n} \cdot \sum_{k=0}^{n-1} \bar{d}_k \cdot 2^k = \frac{U_{\text{оп}}}{R \cdot 2^n} \cdot \bar{D}, \quad (14.3)$$

а входной ток равен

$$I_{\text{ВХ}} = I_{\text{ВЫХ}} + I'_{\text{ВЫХ}} + \frac{U_{\text{оп}}}{R \cdot 2^n} = \frac{U_{\text{оп}}}{R}. \quad (14.4)$$

14.3. Последовательные ЦАП с широтно-импульсной модуляцией

Очень часто ЦАП входит в состав микропроцессорных систем. В этом случае, если не требуется высокое быстродействие, цифро-аналоговое преобразование (Ц/А-преобразование) может быть осуществлено с помощью широтно-импульсной модуляции (ШИМ) (рис. 14.5).

Наиболее просто организуется Ц/А-преобразование в том случае, если микроконтроллер имеет встроенную функцию широтно-импульсного преобразования (например, микроконтроллер AT90S8515 фирмы Atmel). Выход ШИМ управляет ключом S . В зависимости от заданной разряд-

ности преобразования (8, 9 и 10 разрядов для указанной микросхемы) контроллер с помощью своего таймера/счетчика формирует последовательность импульсов, коэффициент заполнения которых $\gamma = t_{\text{и}}/T$ определяется соотношением

$$\gamma = \frac{D}{2^n},$$

где D – преобразуемый код; n – разрядность преобразования.

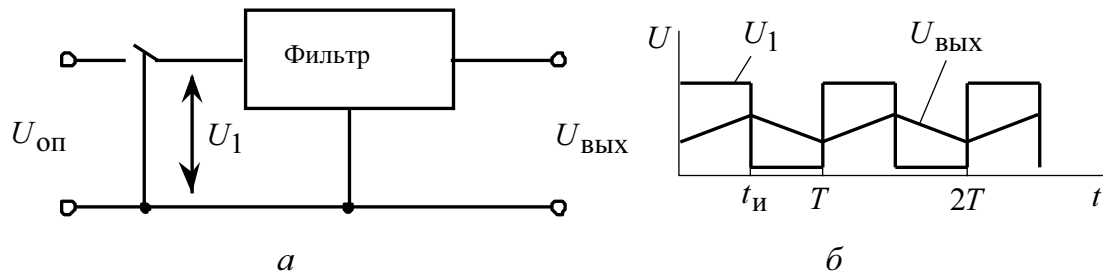


Рис. 14.5. ЦАП с широтно-импульсной модуляцией:
а – структурная схема; б – диаграммы напряжений

Фильтр нижних частот сглаживает импульсы, выделяя среднее значение напряжения. В результате получается выходное напряжение преобразователя

$$U_{\text{ВЫХ}} = \gamma \cdot U_{\text{ВХ}} = \frac{D \cdot U_{\text{ВХ}}}{2^n}. \quad (14.5)$$

14.4. Интегральное исполнение ЦАП

В общем случае микросхему ЦАП можно представить в виде блока, имеющего несколько цифровых входов, один аналоговый вход, а также аналоговый выход (рис. 14.6).

На цифровые входы ЦАП подается n -разрядный код N , на аналоговый вход – опорное напряжение $U_{\text{оп}}$ (другое распространенное обозначение U_{REF}). Выходным сигналом является напряжение $U_{\text{ВЫХ}}$ или ток $I_{\text{ВЫХ}}$.

Для некоторых микросхем опорное напряжение должно иметь строго заданный уровень, для других допускается менять его в широких пределах и изменять его полярность.

ЦАП с большим диапазоном изменения опорного напряжения называется умножающим, так как его можно использовать для умножения входного кода на любое опорное напряжение от -17 В до $+17$ В.

В случае, когда ЦАП имеет токовый выход, его выходной ток обычно преобразуется в выходное напряжение с помощью внешнего

операционного усилителя (ОУ) и встроенного в ЦАП резистора R_{oc} , один из выводов которого выведен на внешний вывод микросхемы (рис. 14.7).

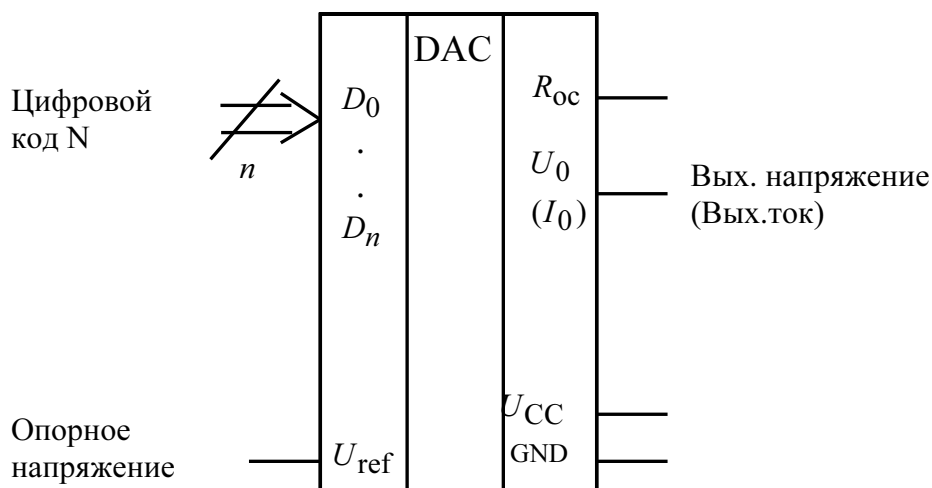


Рис. 14.6. Цифро-аналоговый преобразователь в интегральном исполнении

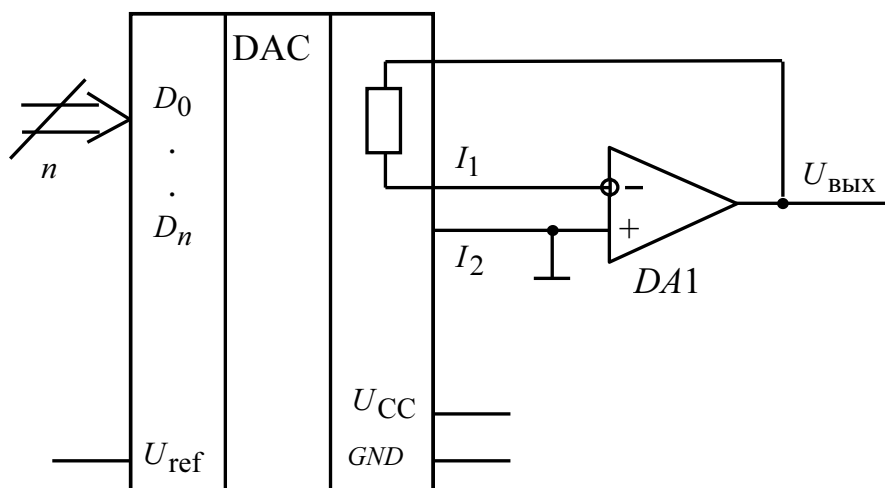


Рис. 14.7. Включение ЦАП при работе в режиме с выходом по напряжению

14.5. Порядок выполнения работы

В работе испытывается ЦАП, выполненный на микросхеме TLC7524 (мини-блок DAC). Для переключения разрядов ЦАП в микросхеме используются электронные ключи, управляемые логическими сигналами на входах микросхемы. Соответствующие входы выведены на лицевую панель мини-блока и обозначены «8» (старший разряд), «4», «2» и «1» (младшие разряды).

При проведении испытаний цифро-аналогового преобразователя с выходом по току вход «U» подключается к напряжению питания непо-

средственно или через делитель напряжения (переменный резистор). Выходной ток (гнездо « I ») измеряется миллиамперметром (мультиметром) на пределе «2 мА». Если проводятся испытания цифро-аналогового преобразователя с выходом по напряжению, то вход « I » подключается к напряжению питания непосредственно или через делитель напряжения (переменный резистор). Выходное напряжение (гнездо « U ») измеряется вольтметром (мультиметром) на пределе «20 В» или осциллографом.

При испытании определяется зависимость выходного тока или напряжения от кода двоичного числа, установленного на входе преобразователя. По результатам испытаний необходимо оценить погрешность цифро-аналогового преобразования, обусловленную неидеальностью схемы и сопротивлением миллиамперметра, отличным от 0 (200 Ом на пределе 2 мА для мультиметра МУ65).

Порядок выполнения работы следующий:

1. Убедитесь, что устройства, используемые в эксперименте, отключены от сети электропитания.

2. Соберите исследуемую схему тестирования ЦАП с выходом по току и с фиксированным опорным напряжением на наборном поле блока испытания цифровых устройств А1. Вариант схемы тестирования ЦАП с выходом по току и с фиксированным опорным напряжением, равным напряжению питания цифровых интегральных микросхем, приведен на рис. 14.8.

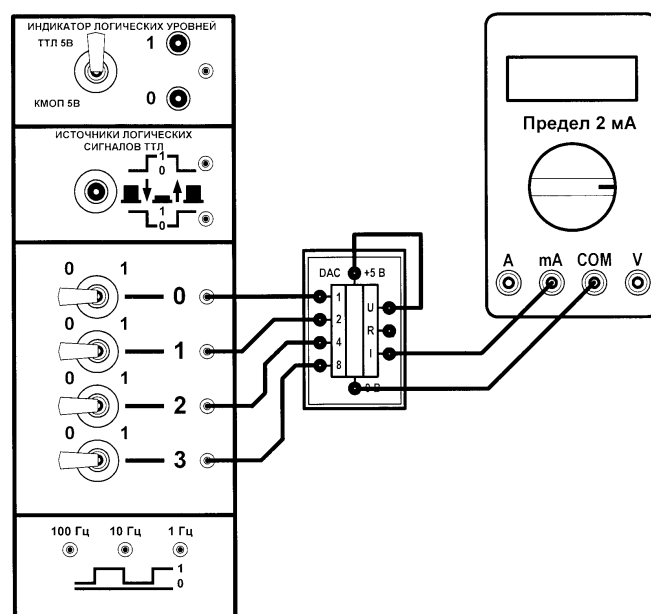


Рис. 14.8. Схема тестирования ЦАП с фиксированным опорным напряжением и выходом по току

Как следует из анализа рис. 14.8, входной цифровой код ЦАП задается тумблерами 0–3, причем 0 – младший значащий разряд двоичного числа, 3 – старший значащий разряд. Включите устройство защитного отключения и автоматический выключатель в однофазном источнике питания Q1. Включите выключатель «СЕТЬ» блока испытания цифровых устройств А1.

По результатам тестирования заполните табл. 14.1 и 14.2.

Таблица 14.1

Вход ЦАП N_{10} (дес)	Состояние цифровых входов ЦАП (N_2 – двоичное)				Выходной ток $I_{\text{вых}}$, мА	Выходной ток (расчет) $I_{\text{рас}}$, мА	Относительная погрешность δ
	0	1	2	3			
0	0	0	0	0			
1	0	0	0	1			
2	0	0	1	0			
3	0	0	1	1			
4	0	1	0	0			
5	0	1	0	1			
6	0	1	1	0			
7	0	1	1	1			
8	1	0	0	0			
9	1	0	0	1			
10	1	0	1	0			
11	1	0	1	1			
12	1	1	0	0			
13	1	1	0	1			
14	1	1	1	0			
15	1	1	1	1			

Таблица 14.2

Вход ЦАП N_{10} (дес.)	Состояние цифровых входов ЦАП (N_2 – двоичное)				Выходное напряжение $U_{\text{вых}}$, В	Выходное напряжение (расчет) $U_{\text{рас}}$, В	Относительная погрешность δ
	Вход «8»	Вход «4»	Вход «2»	Вход «1»			
0	0	0	0	0			
1	0	0	0	1			
2	0	0	1	0			
3	0	0	1	1			
4	0	1	0	0			

Вход ЦАП N_{10} (дес.)	Состояние цифровых входов ЦАП (N_2 – двоичное)				Выходное напряжение $U_{\text{вых}}, \text{В}$	Выходное напряжение (расчет) $U_{\text{рас}}, \text{В}$	Относительная погрешность δ
	Вход «8»	Вход «4»	Вход «2»	Вход «1»			
5	0	1	0	1			
6	0	1	1	0			
7	0	1	1	1			
8	1	0	0	0			
9	1	0	0	1			
10	1	0	1	0			
11	1	0	1	1			
12	1	1	0	0			
13	1	1	0	1			
14	1	1	1	0			
15	1	1	1	1			

3. Определите вес единицы младшего разряда ЦАП в миллиамперах:

$$I_{(1)} = \frac{I_{\text{вых}(15)}}{15},$$

где $I_{\text{вых}(15)}$ – выходной ток ЦАП при $N_{10} = 15$ (максимальное значение двоичного числа на входе ЦАП, т. е. 1111_2).

При найденном весе разряда ЦАП рассчитайте выходной ток для всех возможных значений двоичных чисел на входе ЦАП. Данные занесите в табл. 14.1 и 14.2.

$$I_{\text{рас}} = N_{10} \cdot I_{(1)},$$

где N_{10} – число N , установленное на входе ЦАП, в десятичной системе счисления.

Вычислите относительную погрешность выходного тока ЦАП:

$$\delta = \frac{I_{\text{вых}} - I_{\text{рас}}}{I_{\text{рас}}} \cdot 100\%.$$

Проведите анализ полученных результатов.

По завершении работы отключите выключатель «СЕТЬ» блока испытания цифровых устройств $A1$ и автоматический выключатель в однофазном источнике питания $Q1$.

4. Произведите тестирование ЦАП с выходом по току и с регулируемым опорным напряжением (рис. 14.9). Установите величину опорного напряжения 2,5–5 В (по указанию преподавателя). Опорное напряжение регулируется переменным резистором в пределах от 0 до напряжения питания +5 В. Вариант схемы тестирования ЦАП с выходом по току и с регулируемым опорным напряжением, равным напряжению питания цифровых интегральных микросхем, приведен на рис. 14.9.

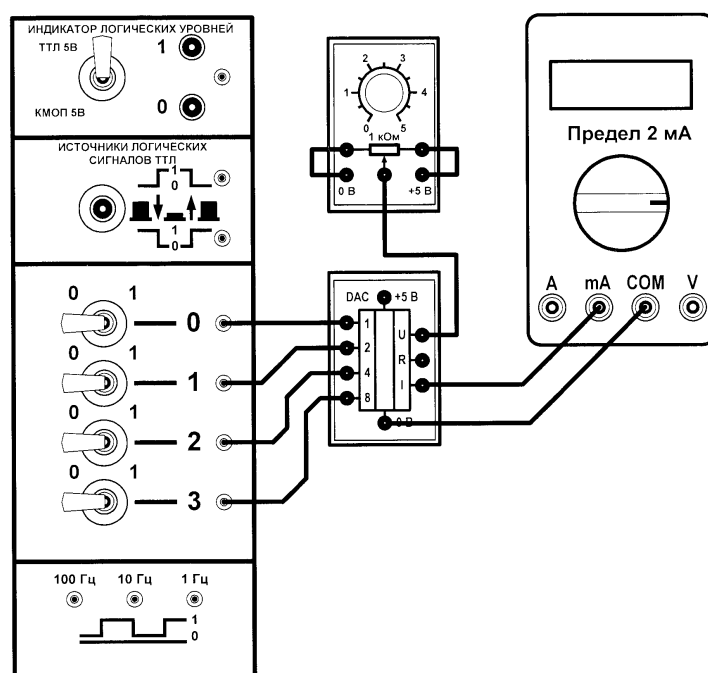


Рис. 14.9. Схема тестирования ЦАП с регулируемым опорным напряжением

При необходимости изменения исследуемой схемы отключите выключатель «СЕТЬ» блока испытания цифровых устройств А1, измените схему и вновь включите выключатель «СЕТЬ».

По результатам тестирования заполните табл. 14.1 и 14.2.

Так же как в схеме рис. 14.8, входной цифровой код ЦАП задается тумблерами 0–3 (0 – младший значащий разряд двоичного числа, 3 – старший значащий разряд). Для ЦАП с выходом по току и с регулируемым опорным напряжением произведите все необходимые расчеты в соответствии с пунктом 3. Проведите анализ полученных результатов.

5. Соберите схему для тестирования ЦАП с выходом по напряжению и с фиксированным опорным напряжением, равным напряжению питания. Вариант схемы тестирования ЦАП с фиксированным опорным напряжением, равным напряжению питания цифровых интегральных микросхем, приведен на рис. 14.10.

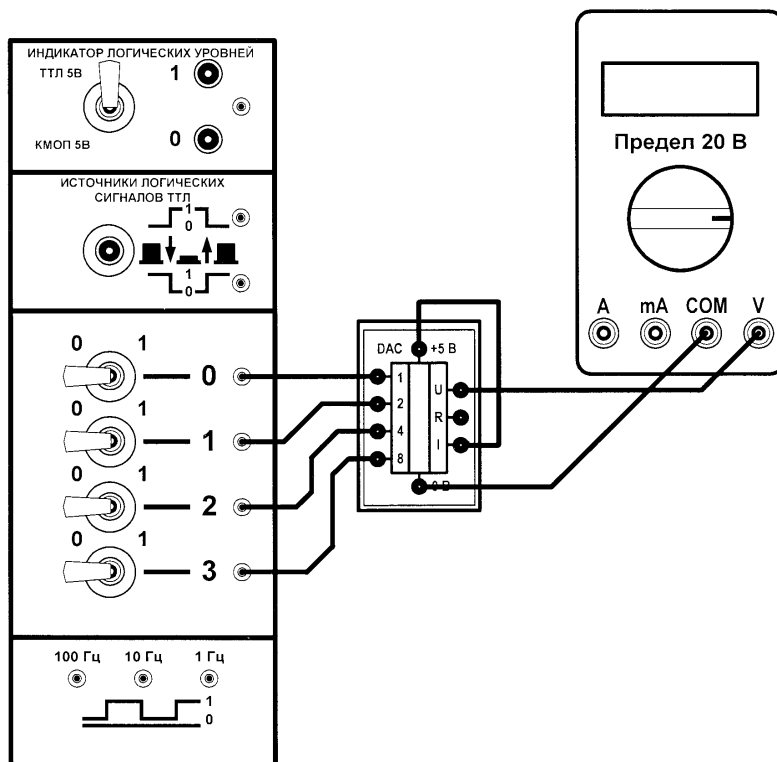


Рис. 14.10. Схема тестирования ЦАП с фиксированным опорным напряжением и выходом по напряжению

Протестируйте работу схемы. При необходимости изменения исследуемой схемы отключите напряжение выключателем «СЕТЬ» блока испытания цифровых устройств А1. Измените схему и подайте на неё напряжение выключателем «СЕТЬ». Входной цифровой код ЦАП задается тумблерами 0–3 (0 – младший значащий разряд двоичного числа, 3 – старший значащий разряд).

По результатам тестирования заполните табл. 14.1 и 14.2.

6. Определите вес единицы младшего разряда в вольтах:

$$U_{(1)} = \frac{U_{\text{вых}(15)}}{15},$$

где $U_{\text{вых}(15)}$ – напряжение ЦАП при $N_{10} = 15$ (максимальное значение двоичного числа на входе ЦАП, т. е. 1111_2).

При найденном весе разряда ЦАП рассчитайте выходное напряжение ЦАП для всех возможных значений двоичных чисел на входе ЦАП. Данные занесите в таблицы.

$$U_{\text{рас}} = N_{10} \cdot U_{(1)},$$

где N_{10} – число N , установленное на входе ЦАП, в десятичной системе счисления.

Вычислите относительную погрешность выходного напряжения ЦАП:

$$\delta = \frac{U_{\text{вых}} - U_{\text{рас}}}{U_{\text{рас}}} \cdot 100 \%$$

Проведите анализ полученных результатов.

По завершении работы отключите выключатель «СЕТЬ» блока испытания цифровых устройств *A1* и автоматический выключатель в однофазном источнике питания *Q1*.

14.6. Порядок выполнения работы в программной среде Electronics Workbench

1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.
2. Изучите методические указания к лабораторной работе.
3. Произведите исследование цифро-аналогового преобразователя с выходом по току. Для этого необходимо вызвать библиотеку **Mixed ICs**. При нажатой левой клавиши мыши перенести преобразователь с выходом по току на рабочее поле.



4. Вызовите из библиотеки элементов **Sources** источник тока. Дважды щелкнув по нему левой кнопкой мыши, установите силу тока 0,01 А. Заземлите источник питания.

5. Соберите схему для проведения испытаний, подав на входы от 0 до 7 исследуемого ЦАП соответствующие двоичные сигналы с помощью генератора слов, как показано на рис. 14.11.

Обратите внимание, что старший значащий разряд ЦАП расположен справа, а на панели генератора слов (Word Generator) – слева. Для преобразования тока в напряжение можно использовать инвертирующий усилитель с единичным коэффициентом усиления.

6. Установив режим работы генератора слов STEP или CYCLE, проверьте работу схемы нажатием кнопок STEP или тумблера питания соответственно. Образец заполнения панели генератора слов для четырех старших разрядов ЦАП приведен на рис. 14.12.

Подключите выход ЦАП к осциллографу через операционный усилитель, исследуйте работу ЦАП. Образец лицевой панели аналогового светолучевого осциллографа с выходным сигналом ЦАП приведен на рис. 14.13.

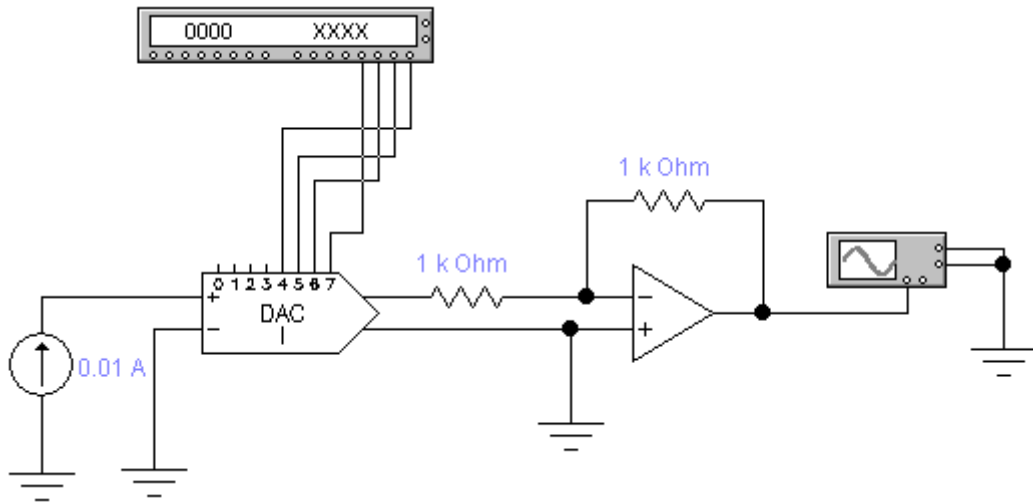


Рис. 14.11. Модель ЦАП с выходом по току в программной среде Electronics Workbench

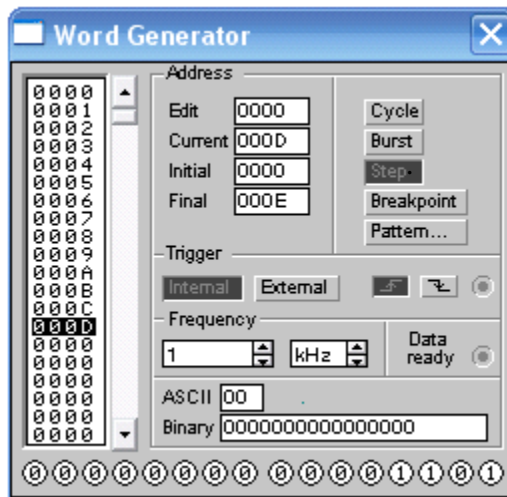


Рис. 14.12. Образец заполнения панели генератора слов для испытания ЦАП

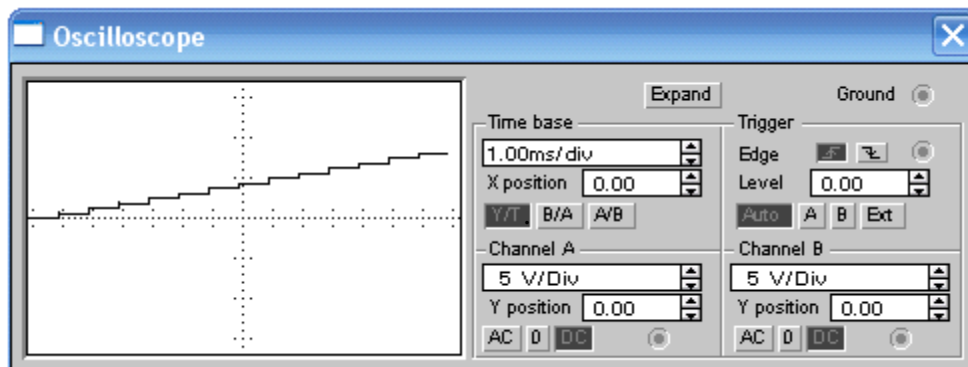


Рис. 14.13. Лицевая панель светолучевого осциллографа с выходным сигналом ЦАП

Заполните табл. 14.3.

Таблица 14.3

Шестнадцатеричное число	1	5	8	10	33	56	75	84	AD	FF
Двоичное число	0000	0000	0000	0001	0011	0101	0111	1000	1010	1111
	0001	0101	1000	0000	0011	0110	0101	0100	1101	1111
$U_{\text{вых}}, \text{В}$										

Проведите исследование полученных результатов.

7. Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам так, чтобы рядом появился символ \checkmark , а затем выполните команду **Print**.

8. Соберите схему для проведения испытаний ЦАП с выходом по напряжению, подав на входы от 0 до 7 исследуемого ЦАП соответствующие двоичные сигналы с помощью генератора слов, как показано на рис. 14.14.

Обратите внимание, что старший значащий разряд ЦАП расположен справа, а на панели генератора слов (Word Generator) – слева. Для согласования ЦАП с выходом по напряжению и осциллографа можно использовать повторитель напряжения.

Установив режим работы генератора слов STEP или CYCLE, проверьте работу схемы нажатием кнопок **STEP** или тумблера питания соответственно. Образец заполнения панели генератора слов для четырех старших разрядов ЦАП приведен на рис. 14.12.

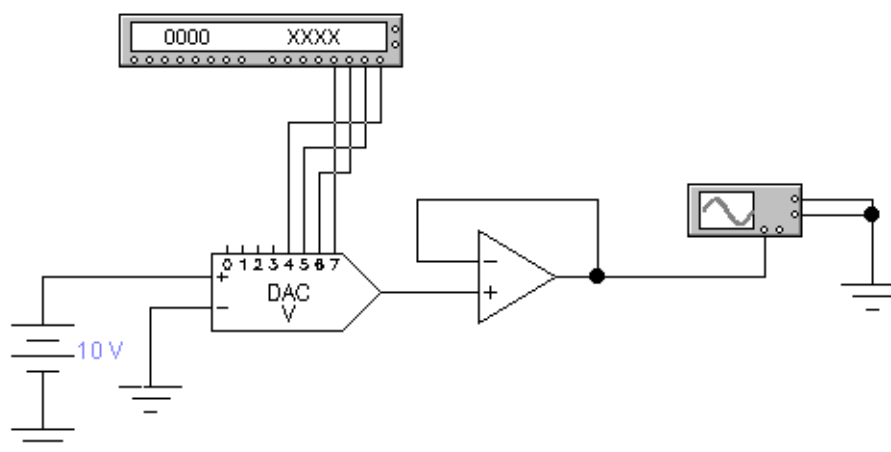


Рис. 14.14. Модель ЦАП с выходом по напряжению в программной среде Electronics Workbench

Подключите выход ЦАП к осциллографу и заполните табл. 14.4.

Таблица 14.4

Шестнадцатеричное число	1	5	8	10	33	56	75	84	AD	FF
Двоичное число	0000 0001	0000 0101	0000 1000	0001 0000	0011 0011	0101 0110	0111 0101	1000 0100	1010 1101	1111 1111
$U_{\text{вых}}, \text{В}$										

9. Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные вам так, чтобы рядом появился символ ✓, а затем выполните команду **Print**.

14.7. Содержание отчета

1. Цель работы.
2. Краткие теоретические сведения.
3. Экспериментальные материалы в виде таблиц, графиков, осциллограмм, фотографий.
4. Результаты математических расчетов.
5. Схема и результаты исследований ЦАП в программной среде Electronics Workbench.
6. Выводы о проделанной работе и полученных результатах.

14.8. Список литературы

1. Схемотехника электронных систем. Аналоговые и импульсные устройства / В.И. Бойко и др. – Санкт-Петербург : БХВ-Петербург, 2004. – 496 с.
2. Красногорцев И.Л. Основы цифровой техники : руководство по выполнению базовых экспериментов / И.Л. Красногорцев. – Челябинск : Учебная техника, 2006. – 97 с.
3. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования / Ю.В. Новиков. – Москва : Мир, 2001. – 379 с.
4. Федорков Б.Г. Микросхемы ЦАП и АЦП : функционирование, параметры, применение / Б.Г. Федорков. – Москва : Энергоатомиздат, 1990. – 320 с.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ	3
1. ОСЦИЛЛОГРАФИРОВАНИЕ В ЭЛЕКТРОННЫХ СХЕМАХ	10
Лабораторная работа № 1	10
1.1. Общие положения	10
1.2. Принцип действия осциллографа и его составные части	10
1.3. Расположение органов управления и их назначение	12
1.4. Приведение осциллографа в рабочее состояние	18
1.5. Порядок работы	19
1.6. Проведение измерений	30
1.7. Подготовка к проведению измерений	34
1.8. Программа работы	35
1.9. Порядок выполнения лабораторной работы при использовании программы Electronics Workbench 5.12	35
1.10. Содержание отчета	37
1.11. Задания для самопроверки	37
1.12. Список литературы	38
2. ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ СХЕМ	39
Лабораторная работа № 2	39
2.1. Общие положения	39
2.2. Основные логические функции и схемы	39
2.3. Комплементарные МОП-структуры	44
2.4. Транзисторно-транзисторная логика	45
2.5. Синтез цифрового автомата	49
2.6. Построение логических схем на микросхемах ТТЛ	52
2.7. Порядок выполнения работы на лабораторном стенде	55
2.8. Порядок выполнения работы в программной среде Electronics Workbench	58
2.9. Содержание отчета	60
2.10. Задания для самопроверки	60
2.11. Список литературы	61
3. ИССЛЕДОВАНИЕ ГЕНЕРАТОРОВ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ	65
Лабораторная работа № 3	65
3.1. Общие положения	65

3.2.	Генераторы на трех элементах ТТЛ	65
3.3.	Генератор на двух интегральных микросхемах	72
3.4.	Порядок выполнения работы на лабораторном стенде	75
3.5.	Порядок выполнения работы в программной среде Electronics Workbench	77
3.6.	Содержание отчета	78
3.7.	Задания для самопроверки	78
3.8.	Список литературы	78
4.	ИССЛЕДОВАНИЕ ОДНОВИБРАТОРОВ	79
	Лабораторная работа № 4	79
4.1.	Общие положения	79
4.2.	Одновибратор на транзисторах	79
4.3.	Одновибратор на логических элементах	81
4.4.	Порядок выполнения работы на лабораторном стенде	84
4.5.	Порядок выполнения работы в программной среде Electronics Workbench	85
4.6.	Содержание отчета	86
4.7.	Контрольные вопросы	86
4.8.	Список литературы	86
5.	ИССЛЕДОВАНИЕ ТРИГГЕРОВ НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ	87
	Лабораторная работа № 5	87
5.1.	Общие положения	87
5.2.	<i>RS</i> -триггеры (асинхронные, нетактируемые)	88
5.3.	Синхронизированные <i>RS</i> -триггеры	92
5.4.	<i>JK</i> -триггеры	94
5.5.	<i>D</i> -триггеры	97
5.6.	<i>T</i> -триггеры	100
5.7.	Порядок выполнения работы на лабораторном стенде	101
5.8.	Порядок выполнения работы в программной среде Electronics Workbench	105
5.9.	Содержание отчета	107
5.10.	Список литературы	107
6.	ИССЛЕДОВАНИЕ СЧЕТЧИКОВ	108
	Лабораторная работа № 6	108
6.1.	Общие положения	108
6.2.	Двоичные счетчики на <i>T</i> -триггерах	109
6.3.	Двоично-десятичные счетчики	114
6.4.	Порядок выполнения работы на лабораторном стенде	116

6.5. Порядок выполнения работы в программной среде Electronics Workbench	117
6.6. Содержание отчета	119
6.7. Список литературы	119
7. ИССЛЕДОВАНИЕ РЕВЕРСИВНЫХ СЧЕТЧИКОВ	120
Лабораторная работа № 7	120
7.1. Общие положения	120
7.2. Реверсивный двоичный счетчик КР1533ИЕ7	121
7.3. Реверсивный двоично-десятичный счетчик КР1533ИЕ6	124
7.4. Счетчик с произвольным модулем коэффициента счета	125
7.5. Порядок выполнения работы на лабораторном стенде	126
7.6. Порядок выполнения работы в программной среде Electronics Workbench	129
7.7. Содержание отчета	130
7.8. Список литературы	131
8. ИССЛЕДОВАНИЕ РЕГИСТРОВ НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ	132
Лабораторная работа № 8	132
8.1. Общие положения	132
8.2. Регистры хранения	133
8.3. Регистры сдвига	135
8.4. Порядок выполнения работы на лабораторном стенде	137
8.5. Порядок выполнения работы в программной среде Electronics Workbench	139
8.6. Содержание отчета	141
8.7. Список используемой литературы	141
9. ИССЛЕДОВАНИЕ ЦИФРОВЫХ СУММАТОРОВ	142
Лабораторная работа № 9	142
9.1. Общие положения	142
9.2. Порядок выполнения работы на лабораторном стенде	147
9.3. Порядок выполнения работы в программной среде Electronics Workbench	149
9.4. Содержание отчета	149
9.5. Контрольные вопросы	150
9.6. Список литературы	150
10. ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ	151
Лабораторная работа № 10	151
10.1. Общие положения	151
10.2. Дешифраторы на микросхемах К155ИД14	152

10.3. Дешифраторы на микросхемах CD4511BE	154
10.4. Порядок выполнения работы на лабораторном стенде	157
10.5. Порядок выполнения работы в программной среде Electronics Workbench	163
10.6. Содержание отчета	166
10.7. Список литературы	166
11. ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ И ДЕМУЛЬТИПЛЕКСОРОВ	167
Лабораторная работа № 11	167
11.1. Мультиплексор	167
11.2. Демультимплексор	171
11.3. Программа работы	173
11.4. Порядок выполнения работы с программой Electronics Workbench	175
11.5. Содержание отчета	178
11.6. Список используемой литературы	178
12. ИССЛЕДОВАНИЕ УСИЛИТЕЛЕЙ ПОСТОЯННОГО ТОКА, ВЫПОЛНЕННЫХ НА ОПЕРАЦИОННЫХ УСИЛИТЕЛЯХ	179
Лабораторная работа № 12	179
12.1. Общие положения	179
12.2. Инвертирующий усилитель, выполненный на операционном усилителе	180
12.3. Неинвертирующий усилитель, выполненный на операционном усилителе	181
12.4. Программа работы	183
12.5. Порядок выполнения работы в программной среде Electronics Workbench	186
12.6. Содержание отчета	189
12.7. Список литературы	189
13. ИССЛЕДОВАНИЕ КОМПАРАТОРОВ, ВЫПОЛНЕННЫХ НА ОПЕРАЦИОННЫХ УСИЛИТЕЛЯХ	190
Лабораторная работа № 13	190
13.1. Общие положения	190
13.2. Программа работы	195
13.3. Порядок выполнения работы с программой Electronics Workbench	197
13.4. Содержание отчета	201
13.5. Список литературы	201

14. ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ	202
Лабораторная работа № 14	202
14.1. Общие положения	202
14.2. Параллельные ЦАП с суммированием весовых токов	204
14.3. Последовательные ЦАП с широтно-импульсной модуляцией	207
14.4. Интегральное исполнение ЦАП	208
14.5. Порядок выполнения работы	209
14.6. Порядок выполнения работы в программной среде Electronics Workbench	215
14.7. Содержание отчета	218
14.8. Список литературы	218

Учебное издание

ЧЕРНЫШЕВ Игорь Александрович
ЧЕРНЫШЕВ Александр Юрьевич

ЭЛЕКТРОННАЯ И МИКРОПРОЦЕССОРНАЯ ТЕХНИКА

ЭЛЕКТРОННЫЕ УСТРОЙСТВА НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

Лабораторный практикум

Учебно-методическое пособие

Научный редактор
*доктор технических наук,
профессор С.И. Качин*


Корректурa *С.Н. Карпотин*
Компьютерная верстка *К.С. Чечельницкая*

**Зарегистрировано в Издательстве ТПУ
Размещено на корпоративном портале ТПУ**



Национальный исследовательский Томский политехнический университет
Система менеджмента качества
Издательства Томского политехнического университета
сертифицирована в соответствии с требованиями ISO 9001:2008



ИЗДАТЕЛЬСТВО  **ТПУ**. 634050, г. Томск, пр. Ленина, 30
Тел./факс: 8(3822)56-35-35, www.tpu.ru