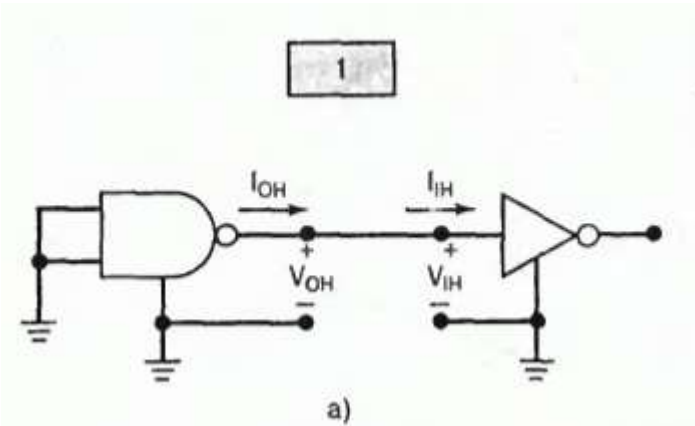


Семейства интегральных логических схем

Терминология



$V_{IH(min)}$ — высокий уровень входного напряжения (High-level Input Voltage). Минимальный уровень напряжения на входе, который представляет логическую 1. Любое значение напряжения ниже этого уровня не будет попадать в диапазон высокого уровня сигнала для данной логической схемы.

$V_{IL(max)}$ — низкий уровень входного напряжения (Low-level Input Voltage). Максимальный уровень напряжения на входе, который представляет логический 0. Любое значение напряжения выше этого уровня не будет попадать в диапазон низкого уровня сигнала для данной логической схемы.

$V_{OH(min)}$ — высокий уровень выходного напряжения (High-level Output Voltage). Минимальный уровень напряжения на выходе логической схемы, который представляет логическую 1 при заданной нагрузке.

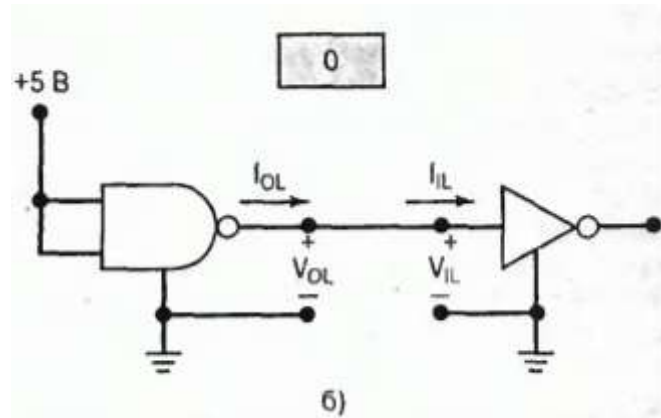
$V_{OL(max)}$ — низкий уровень выходного напряжения (Low-level Output Voltage). Максимальный уровень напряжения на выходе логической схемы, который представляет логический 0 при заданной нагрузке.

I_{IH} — высокий уровень входного тока (High-level Input Current). Ток, который протекает на входе схемы, если на этот вход подан высокий уровень напряжения.

I_{IL} — низкий уровень входного тока (Low-level Input Current). Ток, который протекает на входе схемы, если на этот вход подан низкий уровень напряжения.

I_{OH} — высокий уровень выходного тока (High-level Output Current). Ток, который протекает на выходе схемы, находящемся в единичном состоянии, при заданной нагрузке.

I_{OL} — низкий уровень выходного тока (Low-level Output Current). Ток, который протекает на выходе схемы, находящемся в нулевом состоянии, при заданной нагрузке.



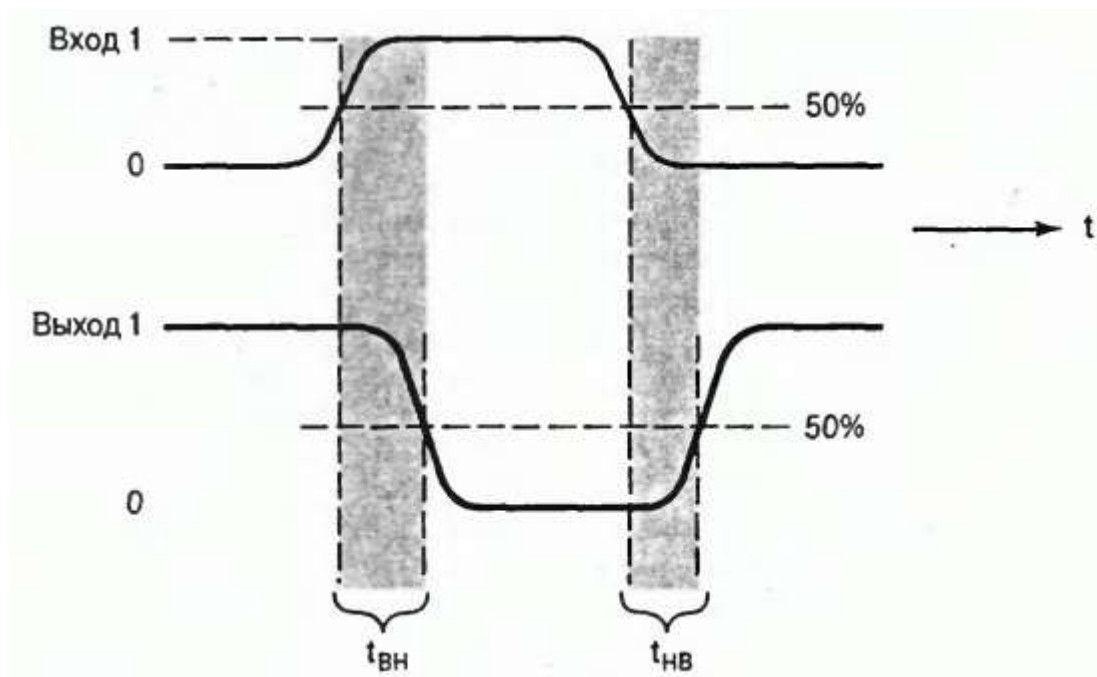
Коэффициент разветвления

Обычно состояния входов логической схемы управляются логическими уровнями, поступающими с какого-либо выхода предыдущей схемы. Иногда все ИС цифровой системы принадлежат к одному логическому семейству, но многие системы состоят из микросхем сразу нескольких семейств. Коэффициентом разветвления (иногда его еще называют нагрузочным множителем) называется *максимальное* число логических входов, логические состояния которых могут надежно управляться сигналом с одного выхода предыдущей схемы. Например, если для логического элемента коэффициент разветвления равен 10, то сигнал с любого его выхода может управлять 10 логическими входами других схем. Если это число будет превышено, напряжения на выходах схем будут иметь случайные значения. Ясно, что коэффициент разветвления зависит от логики, на которой выполнено устройство, где на входы подаются сигналы с выхода. Если в качестве нагрузки не указана интегральная схема другого логического семейства, то по умолчанию подразумевается, что подключенные устройства относятся к тому же семейству, что и схема, выходы которой являются управляющими.

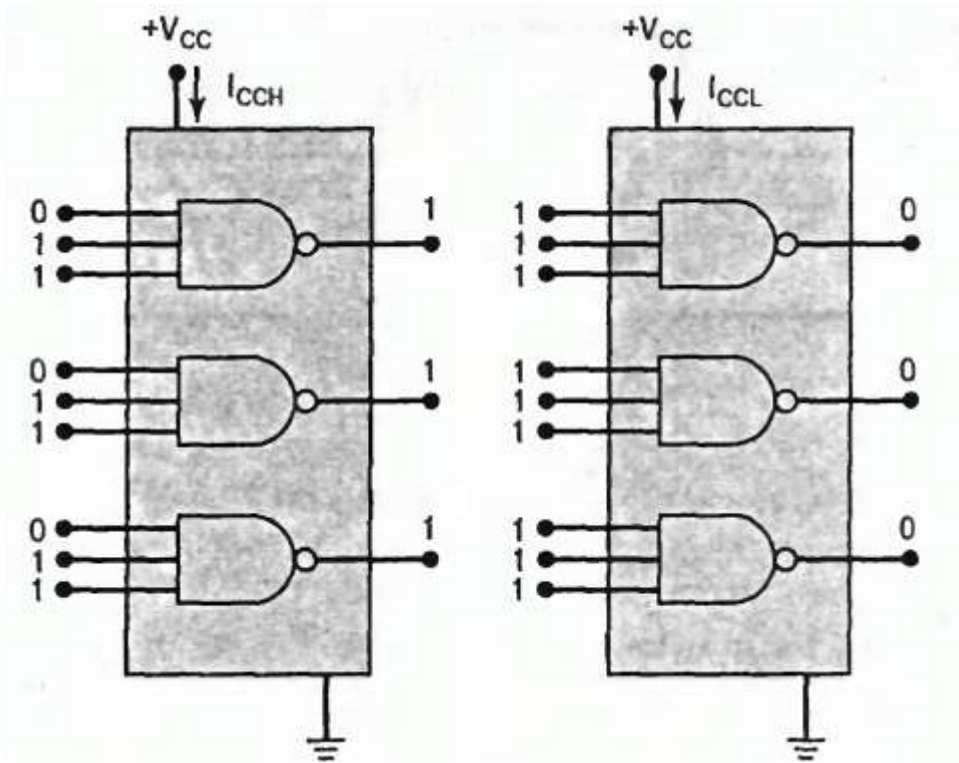
Задержки распространения

Логический сигнал всегда претерпевает задержку по пути через элементы схемы. Ниже даны определения двух задержек распространения:

- t_{PLH} — величина задержки распространения сигнала при его переходе от состояния логического 0 к состоянию логической 1 (от *низкого* уровня к *высокому*).
- t_{PHL} — величина задержки распространения сигнала при его переходе от состояния логической 1 к состоянию логического 0 (от *высокого* уровня к *низкому*).



Средняя мощность



$$I_{CC(\text{средн})} = \frac{I_{CCN} + I_{CCL}}{2}.$$

$$P_D(\text{средн}) = I_{CC(\text{средн})} \times V_{CC}.$$

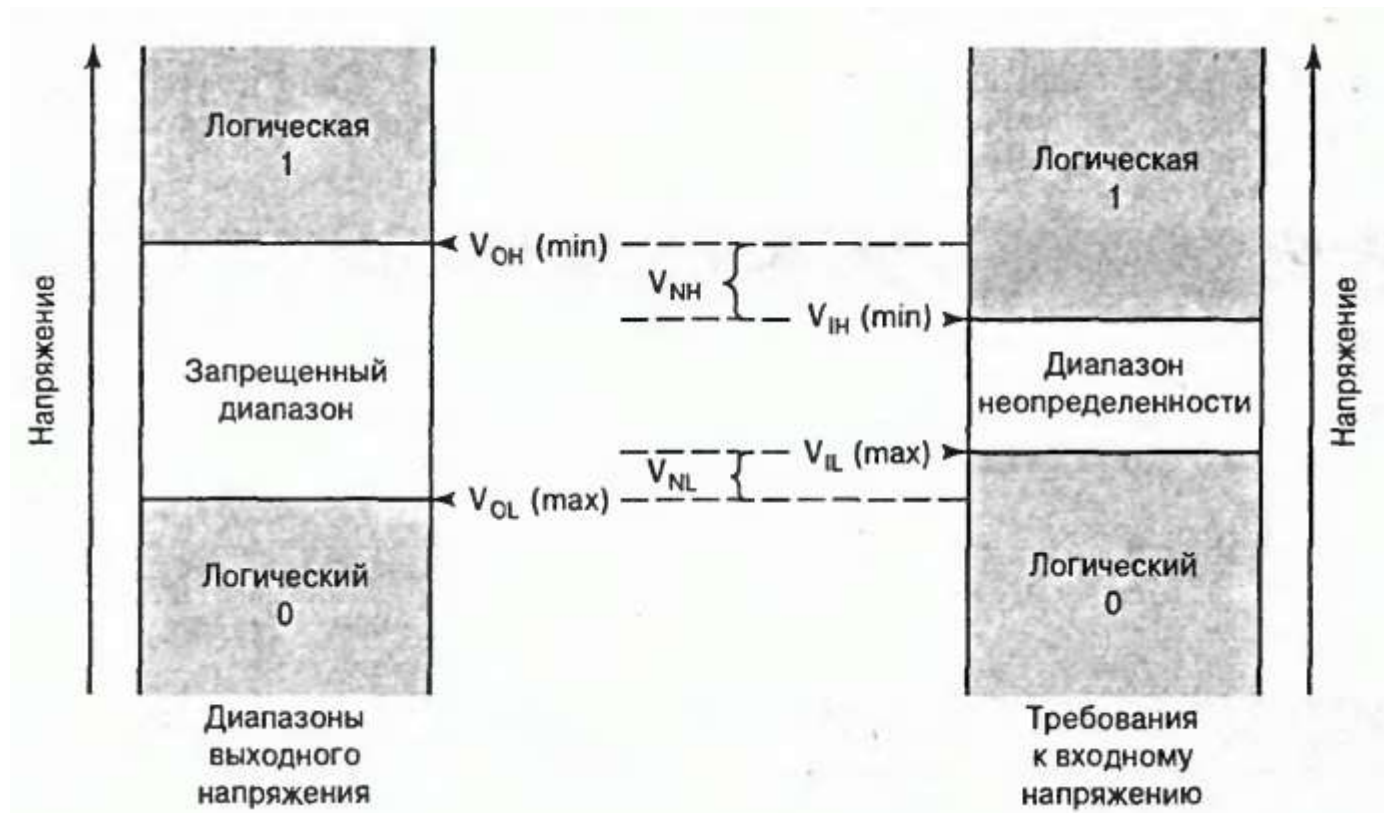
Быстродействие и мощность

Исторически сложилось, что цифровые семейства ИС принято характеризовать их быстродействием и потребляемой мощностью. Безусловно, предпочтительнее иметь как можно более короткие задержки распространения сигнала (т.е. более высокое быстродействие) и меньшие значения мощности рассеяния. Различные логические семейства и подсемейства позволяют выбирать ИС с широким диапазоном показателей скорости и потребления энергии. Для измерения и сравнения общей производительности семейств интегральных схем пользуются показателем, который определяется как произведение задержки сигнала на мощность рассеяния (*speed-power product*). Быстродействие можно определить, зная длительность задержки сигнала при его прохождении через элемент, поэтому данный показатель легко рассчитать, перемножив задержку на рассеиваемую элементом мощность. Например, пусть семейство ИС имеет среднюю величину задержки распространения сигнала, равную 10 нс, и среднюю мощность рассеяния 5 мВ. Тогда произведение задержки сигнала на мощность рассеяния составит

$$10 \text{ нс} \times 5 \text{ мВ} = 50 \times 10^{-12} \text{ Вт-с} = 50 \text{ пДж.}$$

Обратите внимание, что величина задержки распространения сигнала выражается в наносекундах, мощность — в милливаттах, а общее произведение — в пикоджоулях.

Помехоустойчивость



Запрещенные уровни напряжения для ТТЛ от 0.8В до 2.0В

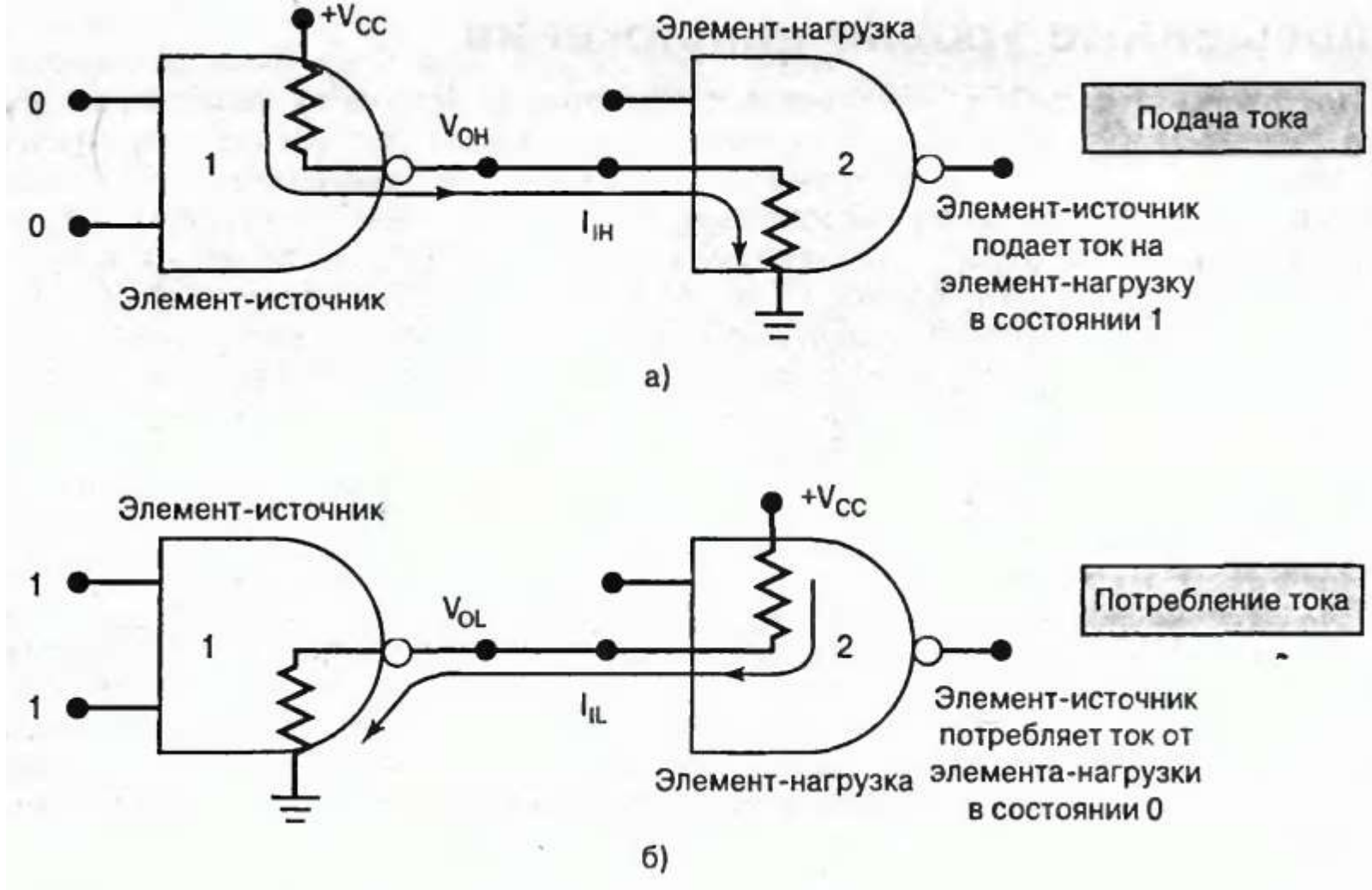
Запасом помехоустойчивости для единичного состояния (*high-state noise margin*) называется величина, которая определяется как

$$V_{NH} = V_{OH}(\min) - V_{IH}(\min).$$

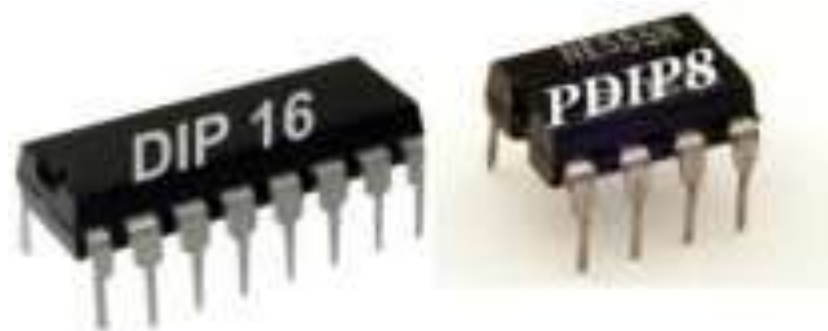
Запасом помехоустойчивости для нулевого состояния (*low-state noise margin*) называется величина, которая определяется как

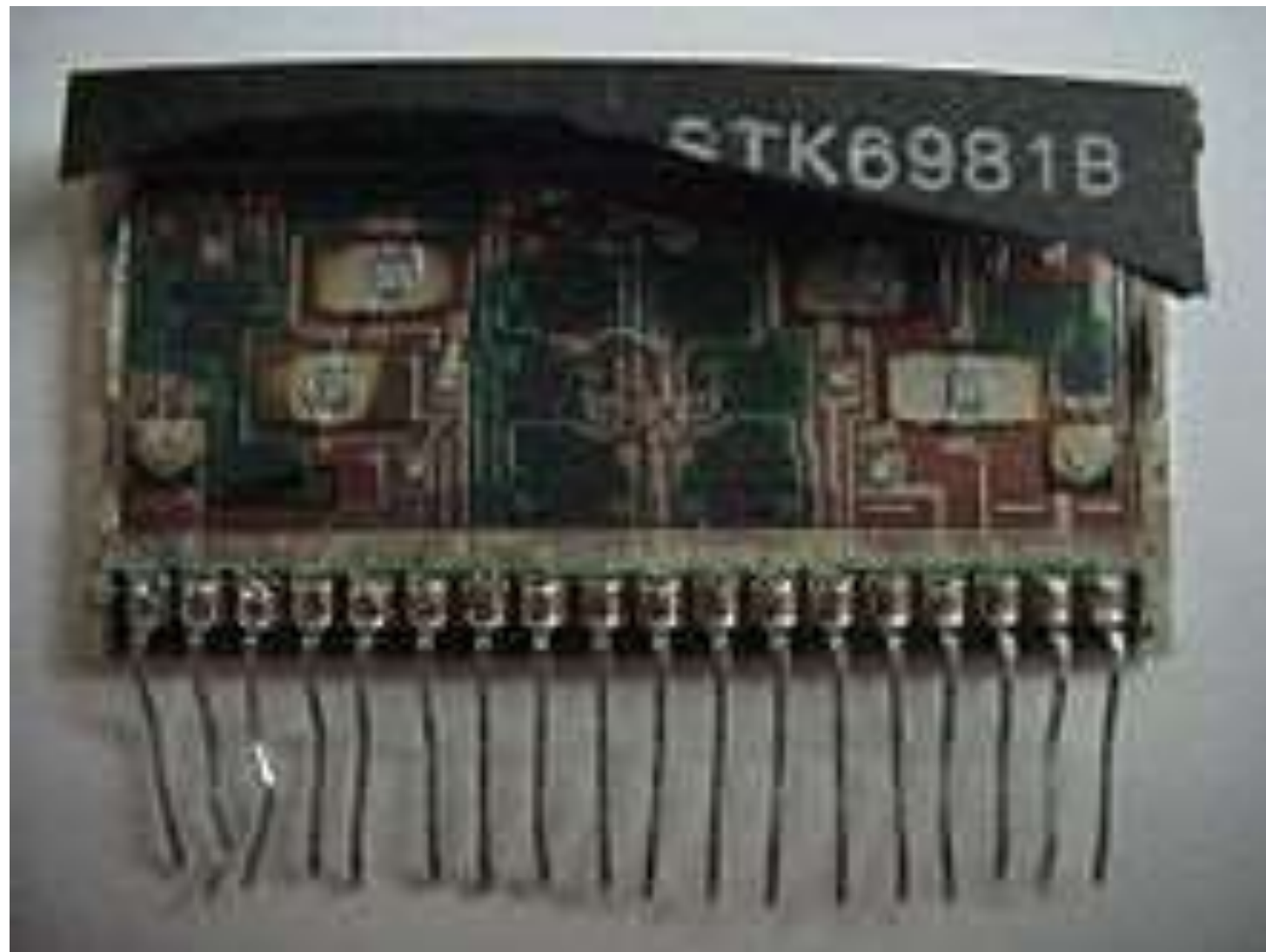
$$V_{NL} = V_{IL}(\max) - V_{OL}(\max).$$

Источник тока или нагрузка



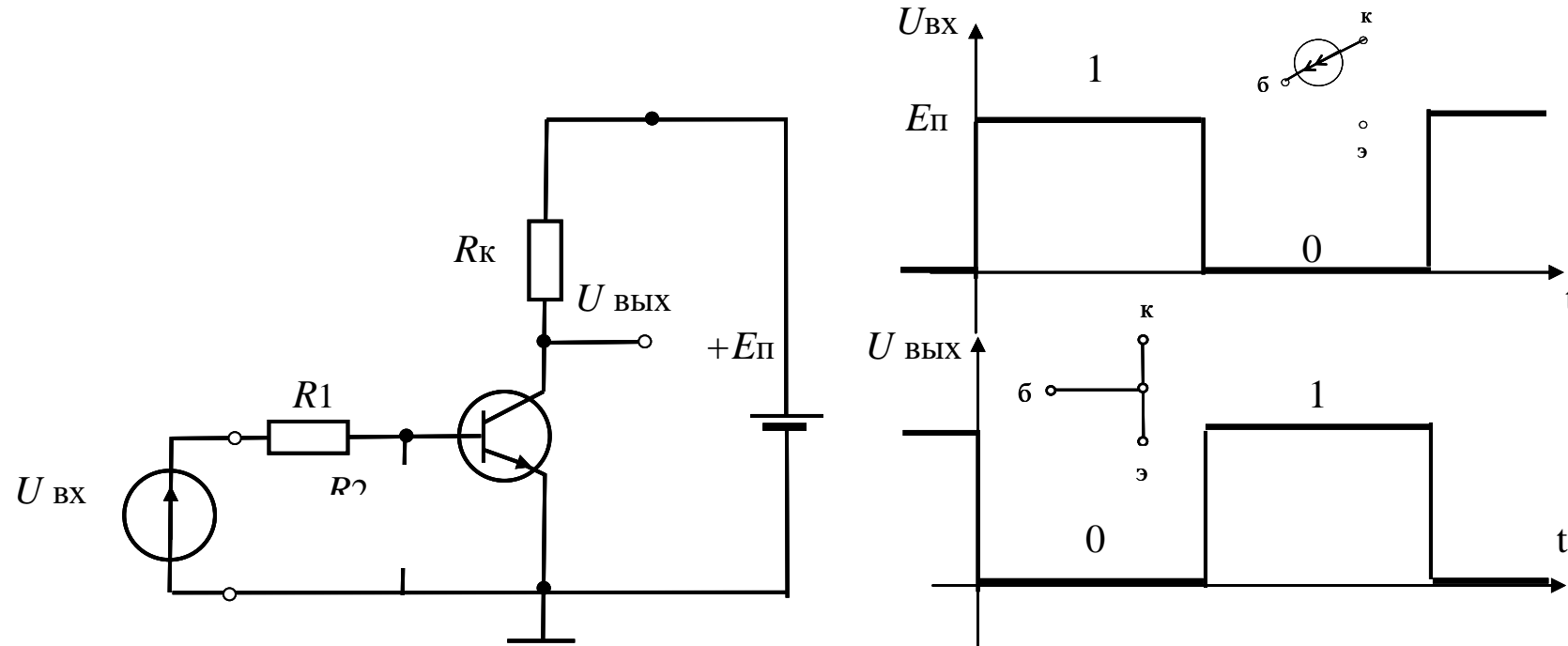
Корпуса





Корпуса

Аббревиатура	Тип корпуса	Высота, мм	Шаг выводов, мм
DIP	Корпус с двухрядным расположением выводов или корпус типа DIP (Dual-in-Line Package)	2,1	2,54
SOIC	Малогабаритный корпус для ИС или корпус типа SO (Small-Outline Package Integrated Circuit)	2,65	1,27
SSOP	Уменьшенный малогабаритный корпус (Shrink Small Outline Package)	2,0	0,65
TSSOP	Уменьшенный тонкий малогабаритный корпус (Thin Shrink Small Outline Package)	1,1	0,65
TVSOP	Ультрауменьшенный тонкий малогабаритный корпус (Thin Very Small Outline Package)	1,2	0,4
PLCC	Безвыводной пластиковый кристаллодержатель (Plastic Leadless Chip Carrier)	4,5	1,27
QFP	Плоский корпус с четырехрядным расположением выводов (Quad Flat Pack)	4,5	0,635
TQFP	Тонкий плоский корпус с четырехрядным расположением выводов (Thin Quad Flat Pack)	1,6	0,5
LFPGA	Плоский корпус с матричным расположением шариковых выводов с малым шагом (Low-profile Fine-pitch Ball Grid Array — BGA)	1,5	0,8

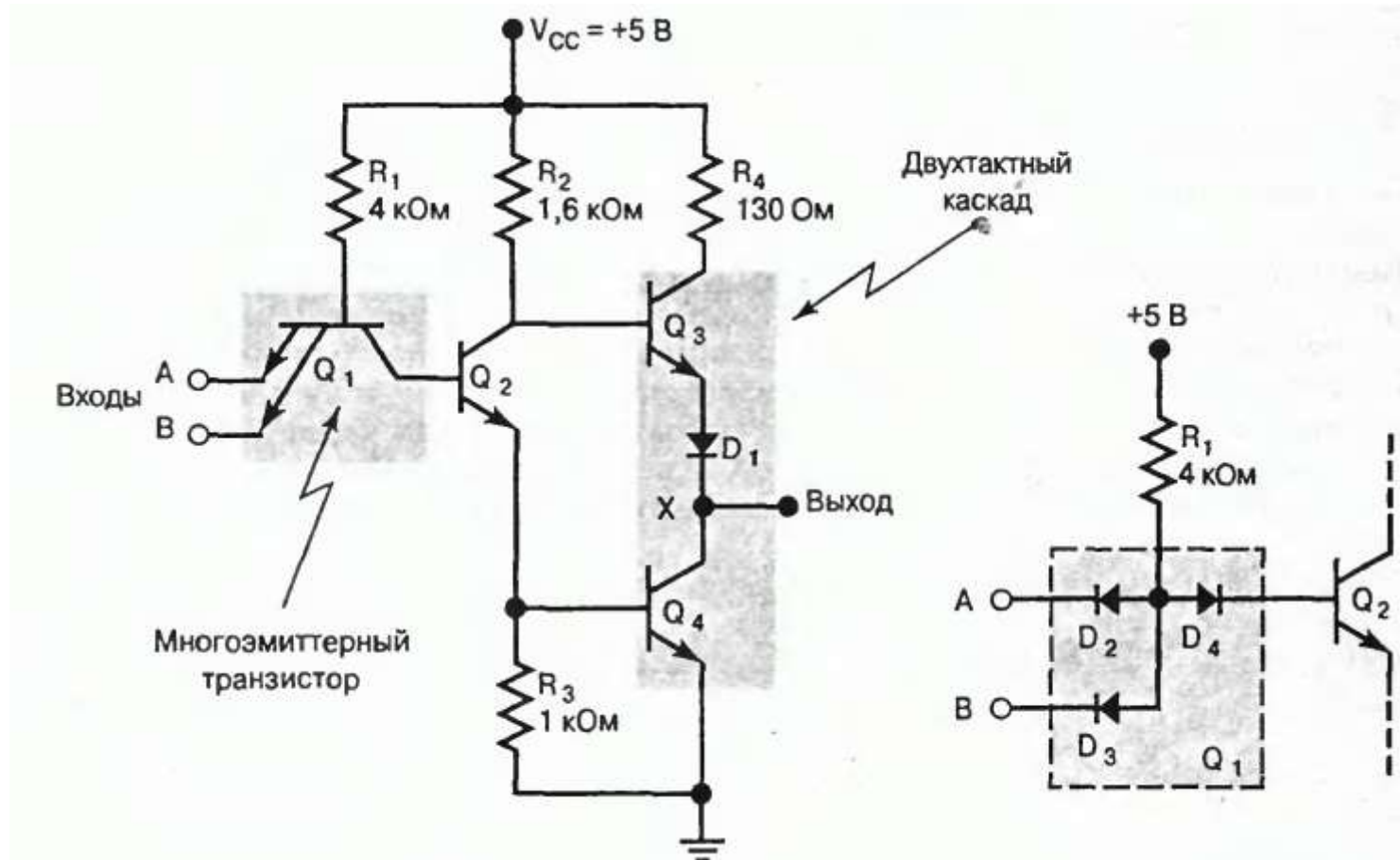


Транзисторный ключ с однополярным управляющим напряжением и резистивной нагрузкой

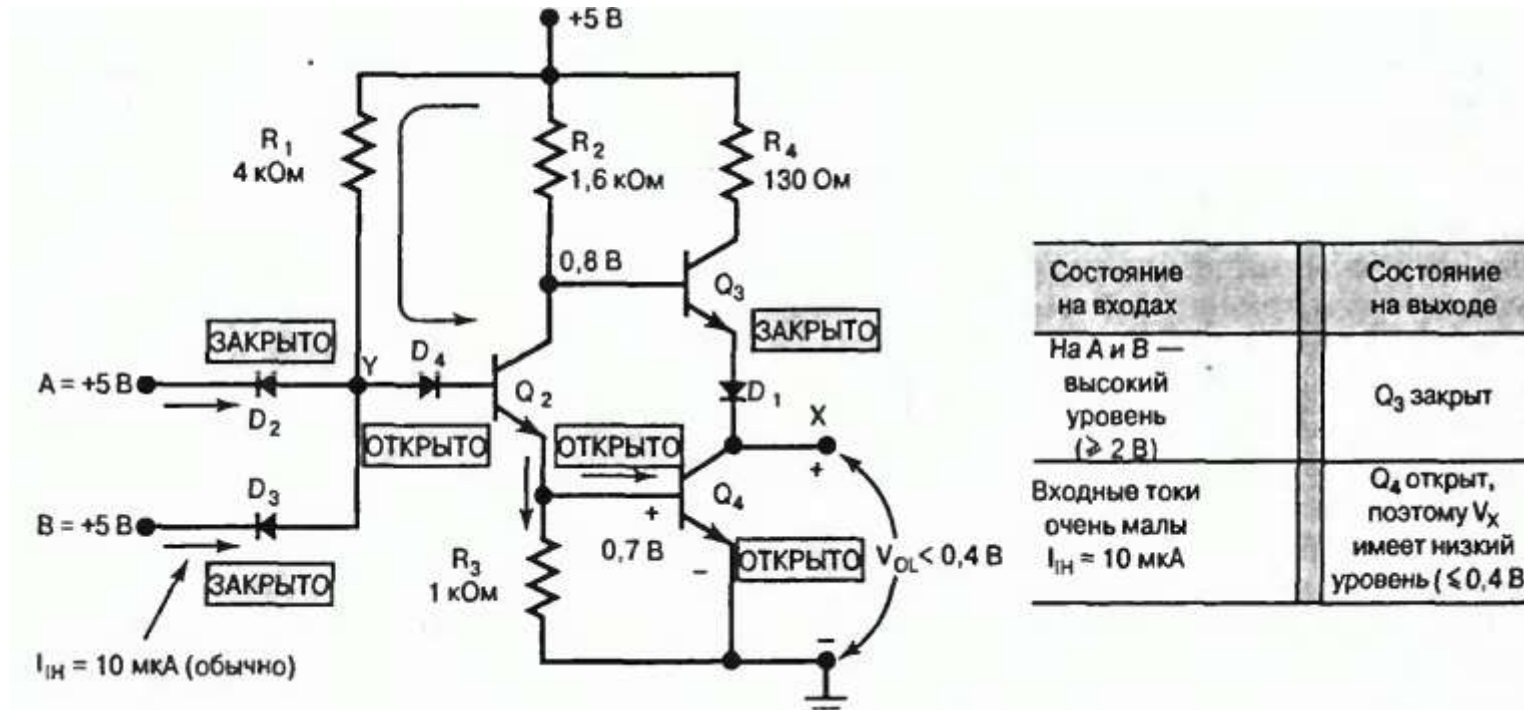
Транзистор в ключе работает в трёх режимах:

- насыщения (ключ замкнут);
- отсечки (ключ разомкнут);
- усилительном (очень быстрый режим перехода из насыщения в отсечку).

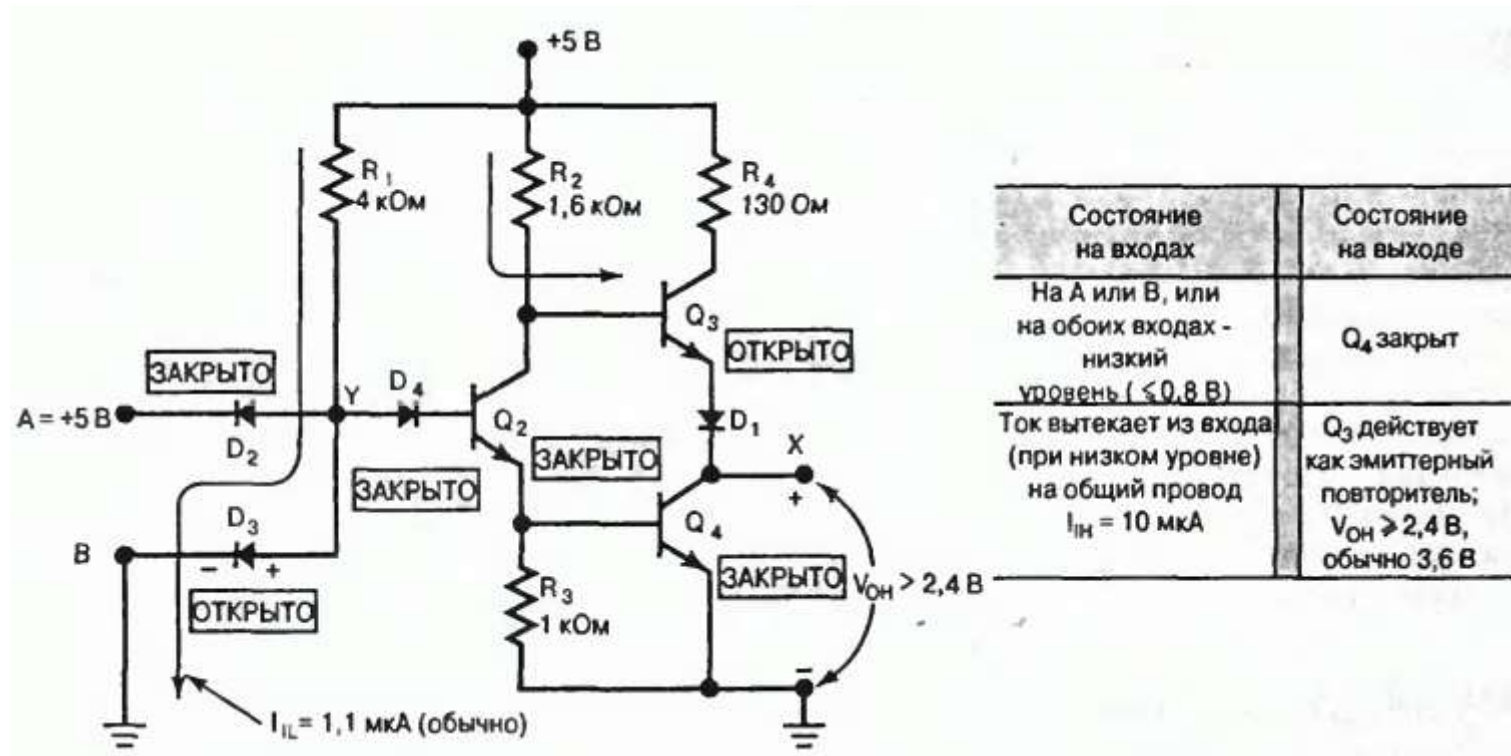
Базовый элемент И-НЕ



Низкий уровень на выходе

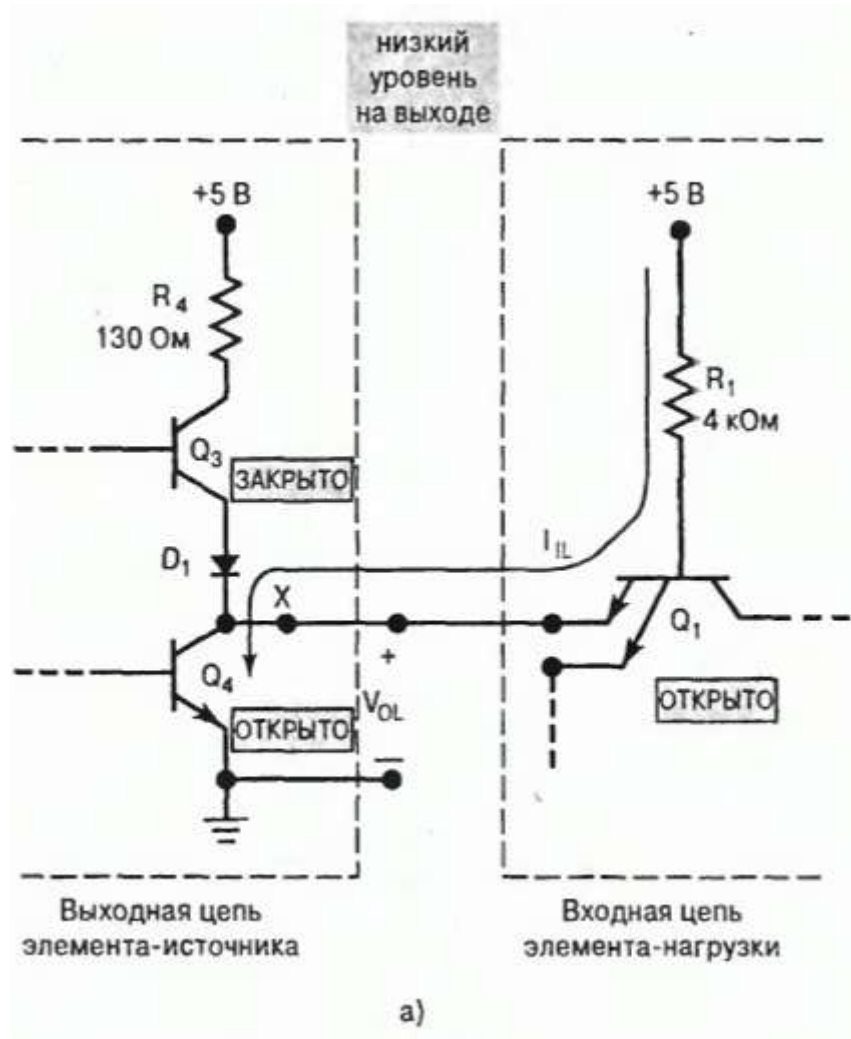


Высокий уровень на выходе



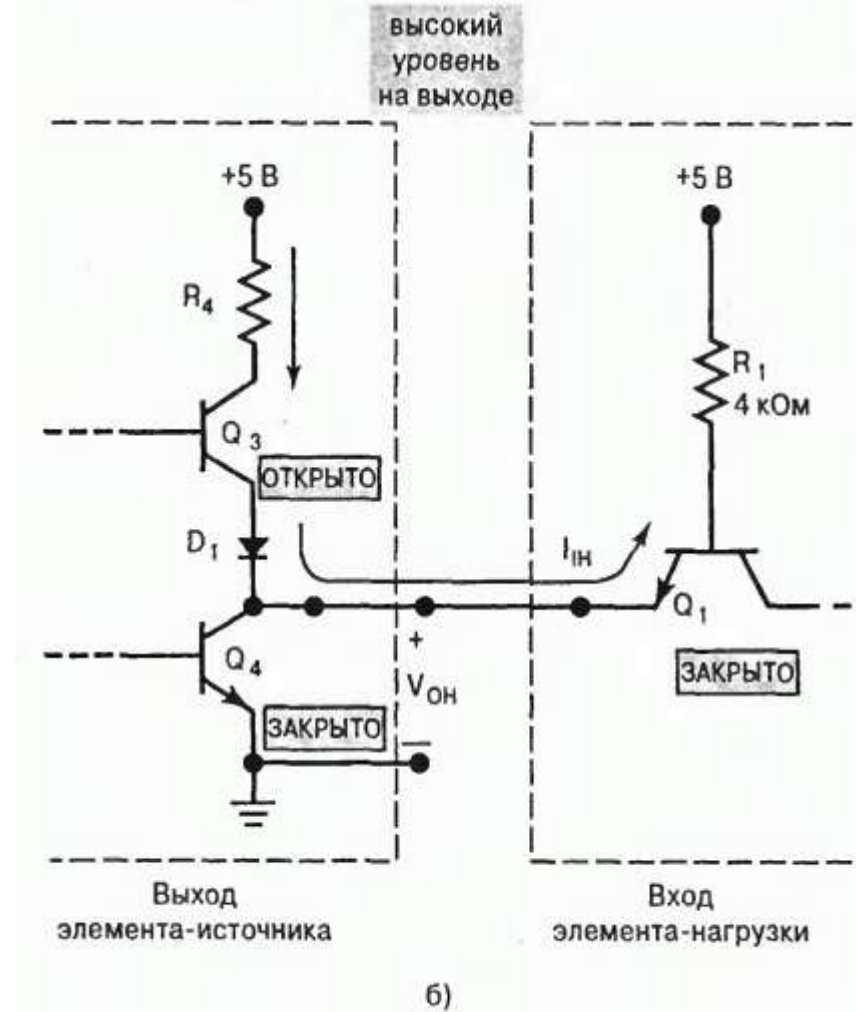
Управление входом следующей схемы ТТЛ

Функционирование в режиме нагрузки



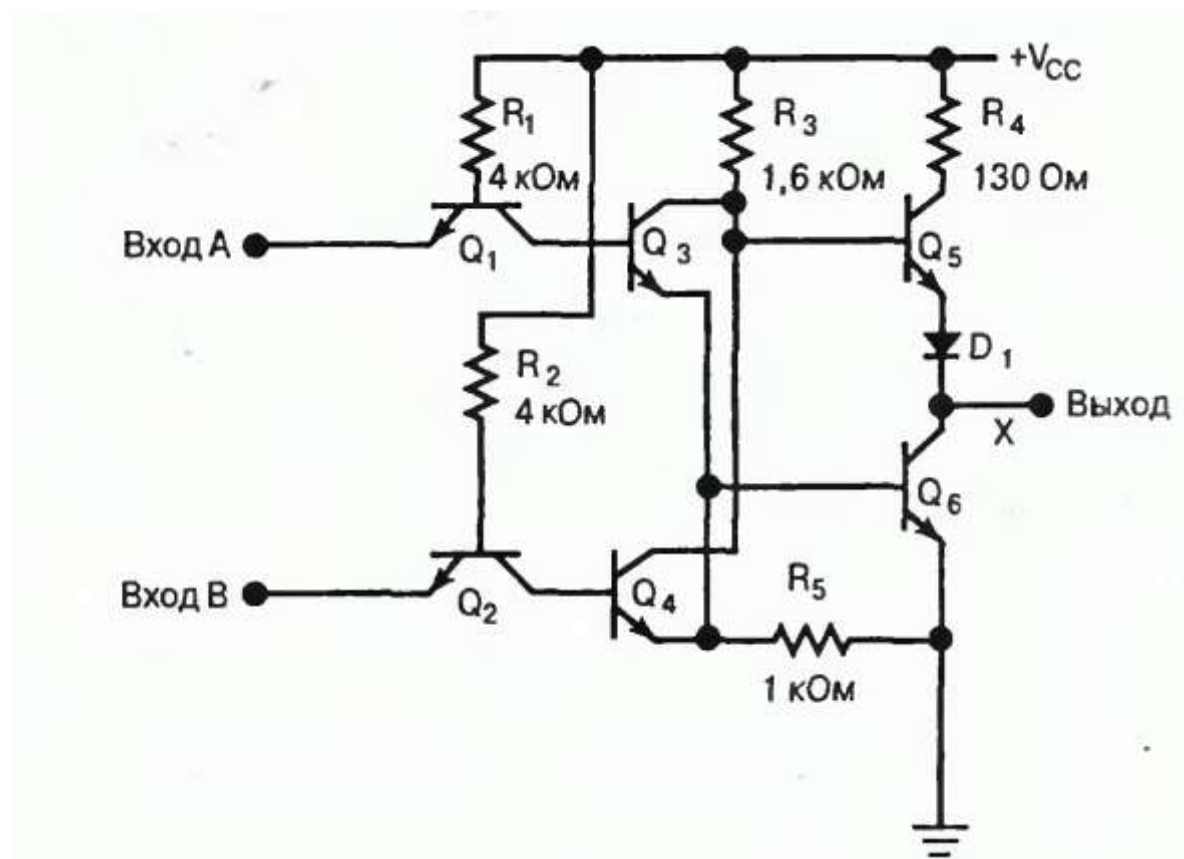
Q4 нагрузочный транзистор

Функционирование в режиме источника тока

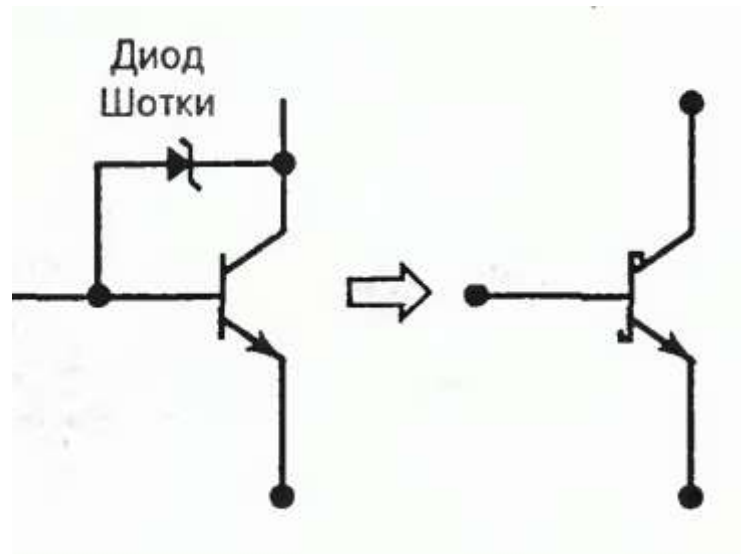


Q3 транзистор установки РТ на Q4

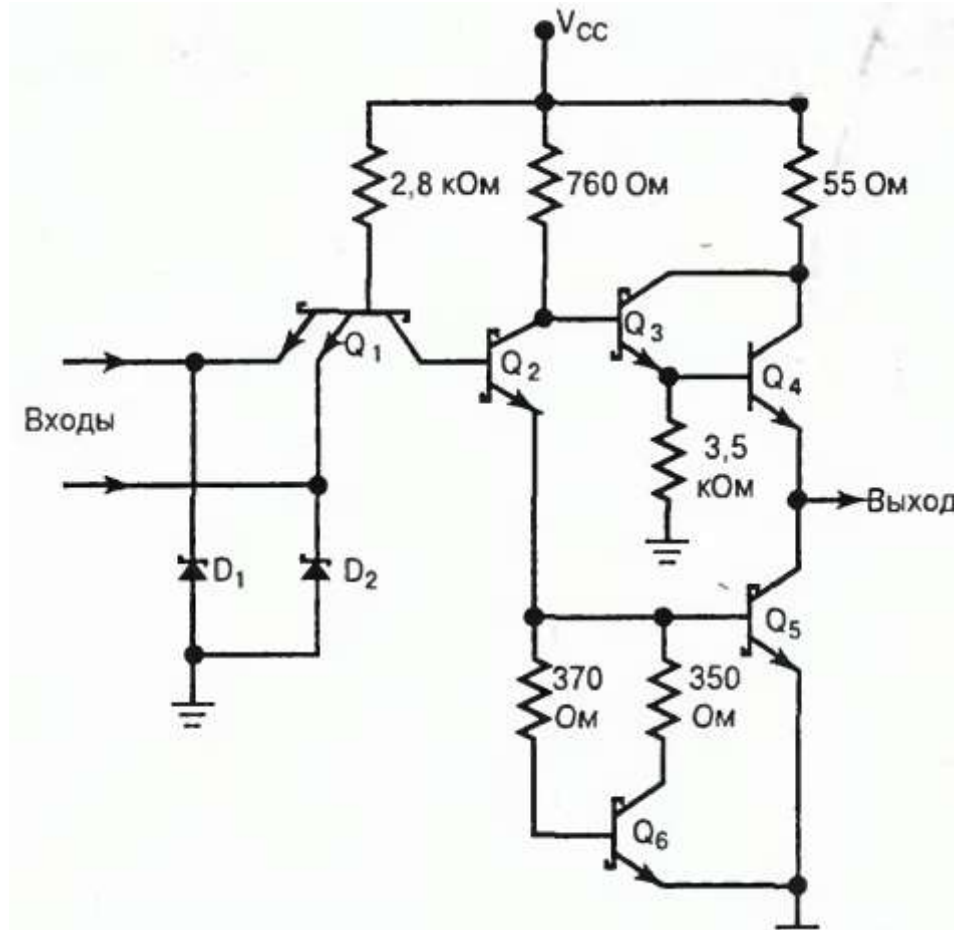
Базовый элемент ИЛИ-НЕ



ТТЛ на транзисторах Шотки



И-НЕ на транзисторах Шотки

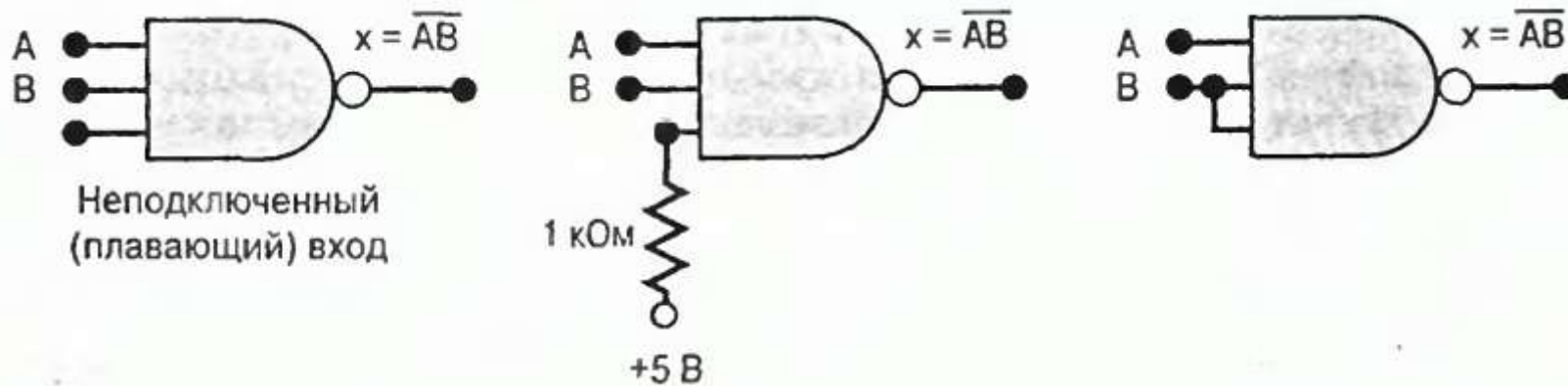


Типичные характеристики ТТЛ

Показатели производительности						
Задержка распространения, нс	9	3	9,5	1,7	4	3
Потребляемая мощность, мВт	10	20	2	8	1,2	6
Произведение задержки сигнала на мощность рассеяния. пДж	90	60	19	13,6	4,8	18
Максимальная частота синхронизации, МГц	35	125	45	200	70	100
Коэффициент разветвления (на ИС той же серии)	10	20	20	40	20	33
Параметры напряжения, В						
$V_{OH}(min)$	2,4	2,7	2,7	2,5	2,5	2,5
$V_{OL}(max)$	0,4	0,5	0,5	0,5	0,5	0,5
$V_{IH}(min)$	2,0	2,0	2,0	2,0	2,0	2,0
$V_{IL}(max)$	0,8	0,8	0,8	0,8	0,8	0,8

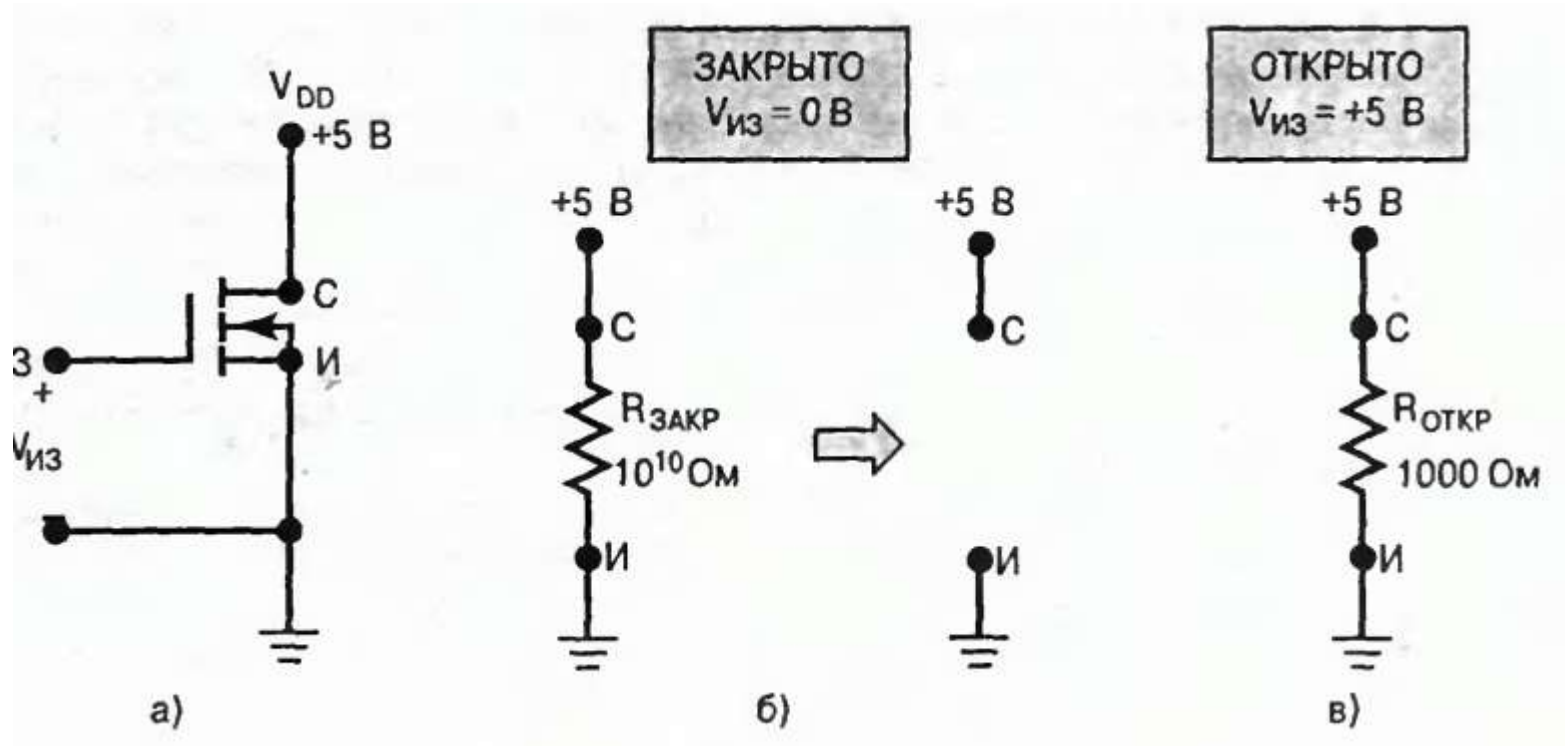
Неподключенные (плавающие) входы

Любой вход ТТЛ-схемы, который не был подключен к другой схеме или элементу (т.е. остался разомкнут), будет функционировать так, как будто на него была подана логическая 1, потому что в любом случае — либо на входе стоит многоэмиттерный транзистор, либо диод — на него не будет подано напряжение прямого смещения. Это значит, что *любые* неподключенные к какому-то источнику сигнала или земле входы *любой* ИС на ТТЛ будут себя вести так, как будто на них была подана логическая 1. Часто такие входы называют плавающими.



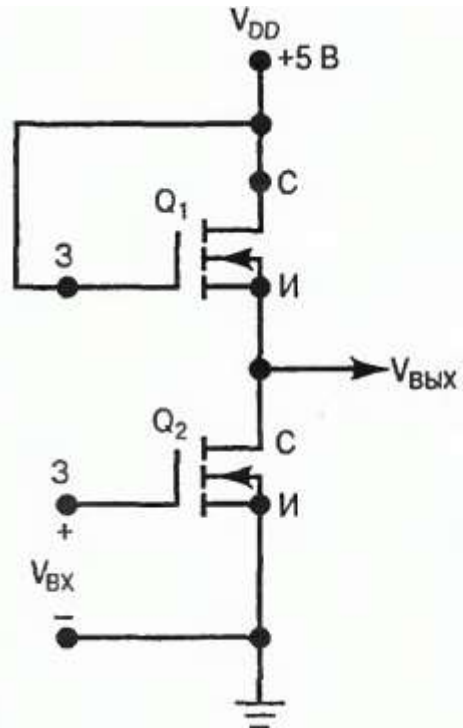
МОП

Ключи



	Смещение сток-исток	Напряжение затвор-исток ($V_{зи}$), необходимое для формирования проводящего канала	$R_{вкл}, \text{ Ом}$	$R_{выкл}, \text{ Ом}$
p-канальный	Отрицательное	Отрицательное; обычно по модулю больше, чем $-1,5\text{ В}$	1000 (обычно)	10^{10}
n-канальный	Положительное	Положительное; обычно больше, чем $+1,5\text{ В}$	1000 (обычно)	10^{10}

Инвертор серии МОП

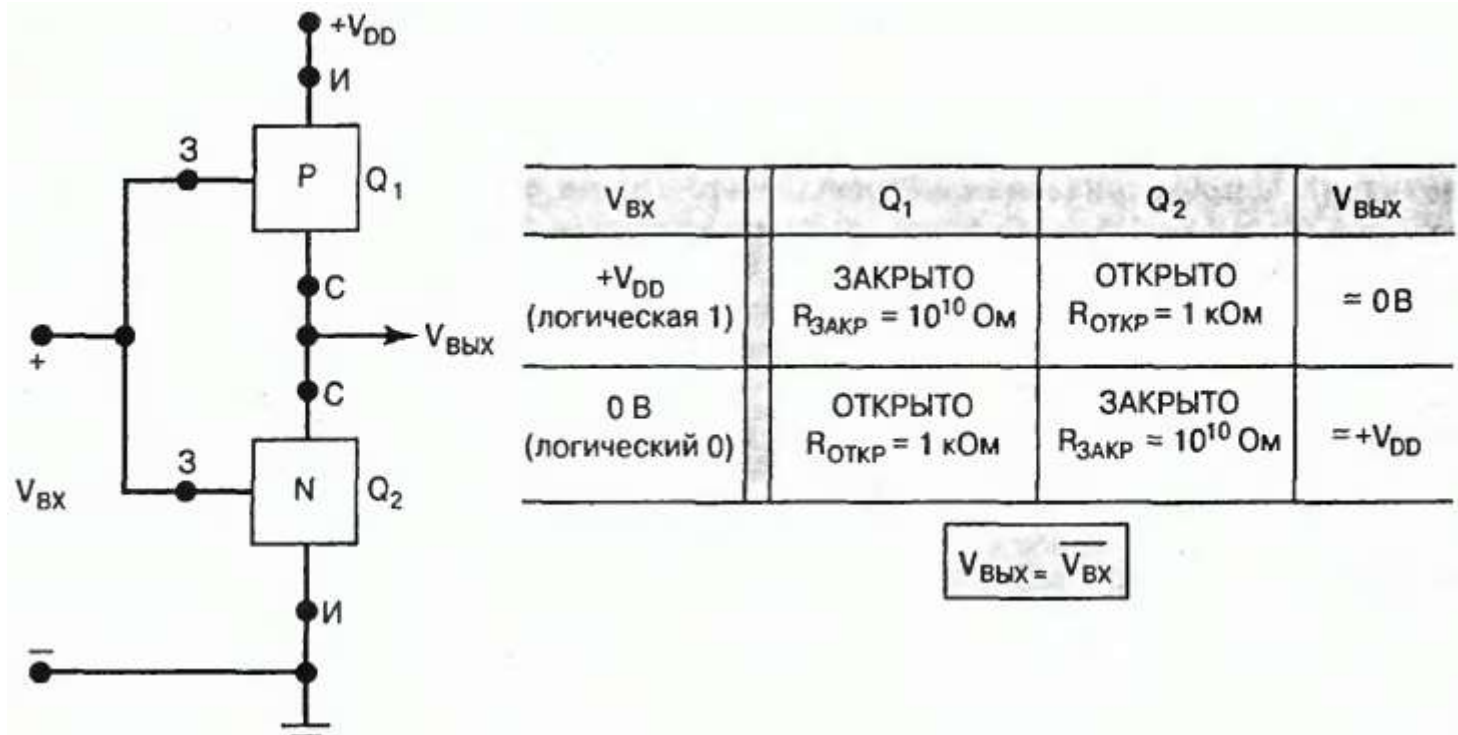


$V_{\text{вх}}$	Q_1	Q_2	$V_{\text{вых}} = \overline{V_{\text{вх}}}$
0 В (логический 0)	$R_{\text{откр}} = 100 \text{ кОм}$	$R_{\text{закр}} = 10^{10} \text{ Ом}$	+5 В (логическая 1)
+5 В (логическая 1)	$R_{\text{откр}} = 100 \text{ кОм}$	$R_{\text{откр}} = 1 \text{ кОм}$	+0,05 В (логический 0)

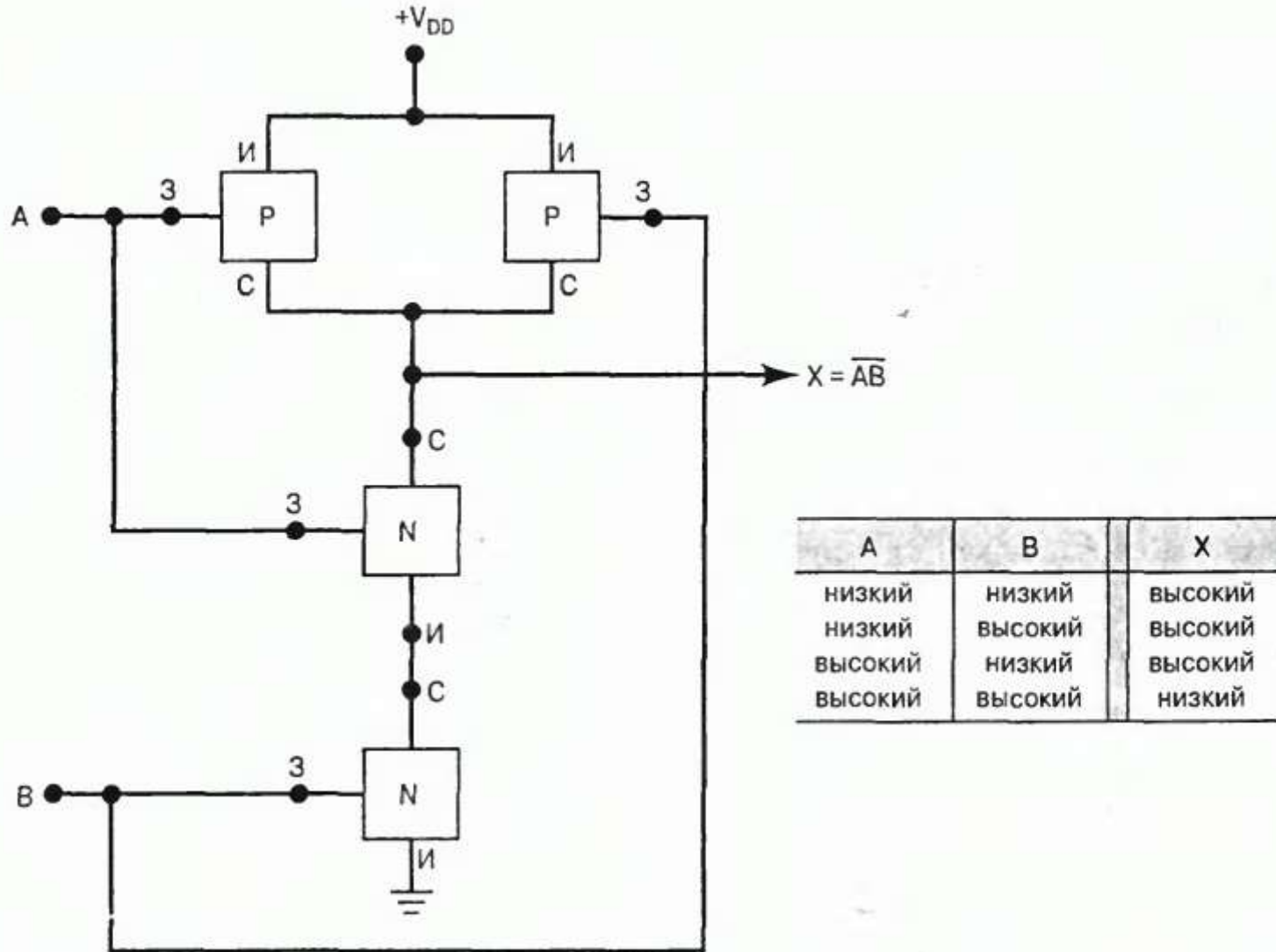
КМОП

— Семейство комплементарной МОП-логики (КМОП) использует сразу оба вида полевых транзисторов в одной схеме: р-канальные и п-канальные. При этом реализуются преимущества обеих структур. Иначе говоря, схемы на КМОП функционируют быстрее и потребляют меньше энергии, чем другие МОП-структуры. Эти преимущества, однако, несколько омрачаются тем фактом, что технологический процесс изготовления схем на КМОП сложнее других, КМОП также отличается более низкой плотностью упаковки.

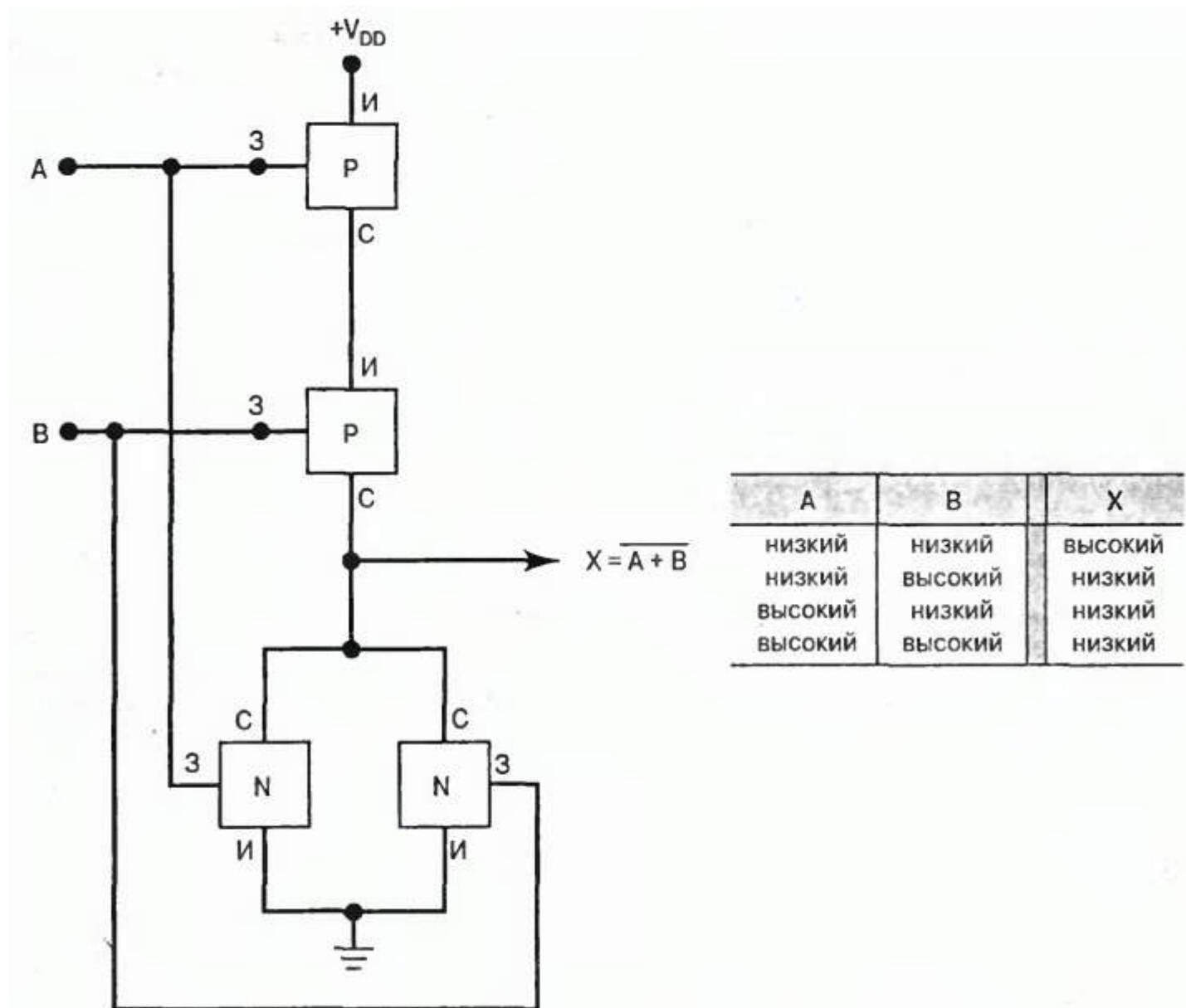
Инвертор серии КМОП



«И» серии КМОП



«ИЛИ» серии КМОП



Терминология для ТТЛ, МОП, КМОП

- **Совместимый по выводам.** Две ИС совместимы по выводам, если они имеют одинаковую конфигурацию выводов. Например, вывод 7 на обеих ИС обозначает землю, а вывод 1 — вход первого инвертора.
- **Функциональный эквивалент.** Две ИС функционально эквивалентны друг другу, если логические функции, которые они осуществляют, в точности совпадают. Например, обе схемы содержат по четыре элемента И-НЕ с двумя выводами каждый или обе схемы содержат шесть D-триггеров, которые переключаются по положительному фронту сигнала синхронизации.
- **Электрически совместимые.** Две ИС электрически совместимы, если их можно непосредственно подключить друг к другу без каких-либо специальных мер для обеспечения их правильной работы.

Неиспользуемые входы

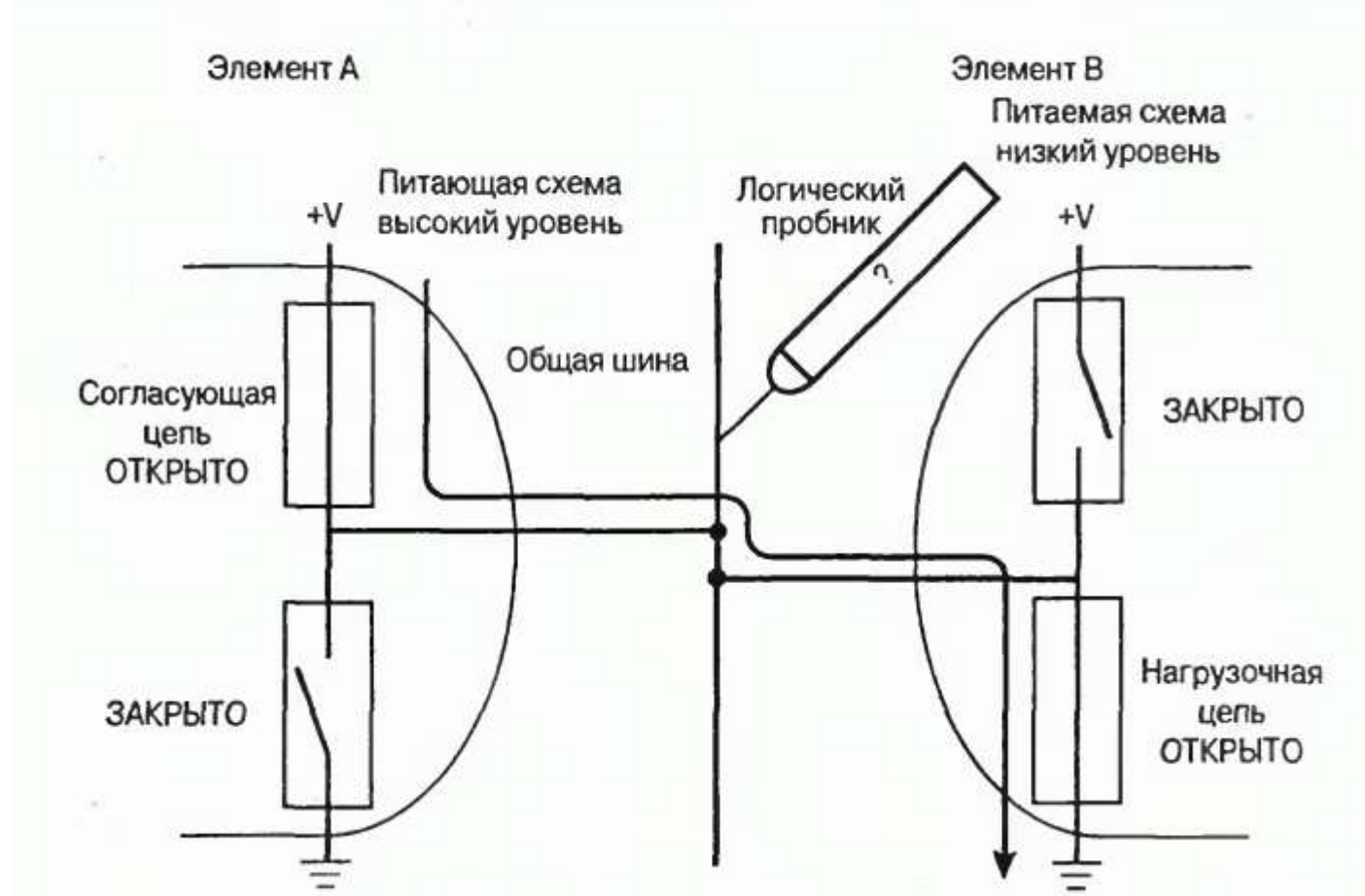
Входы устройств на КМОП никогда не должны оставаться неподключенными. Все входы таких устройств должны быть соединены либо с источником фиксированного напряжения (0 В или V_{DD}), либо с другим входом.

Общая шина

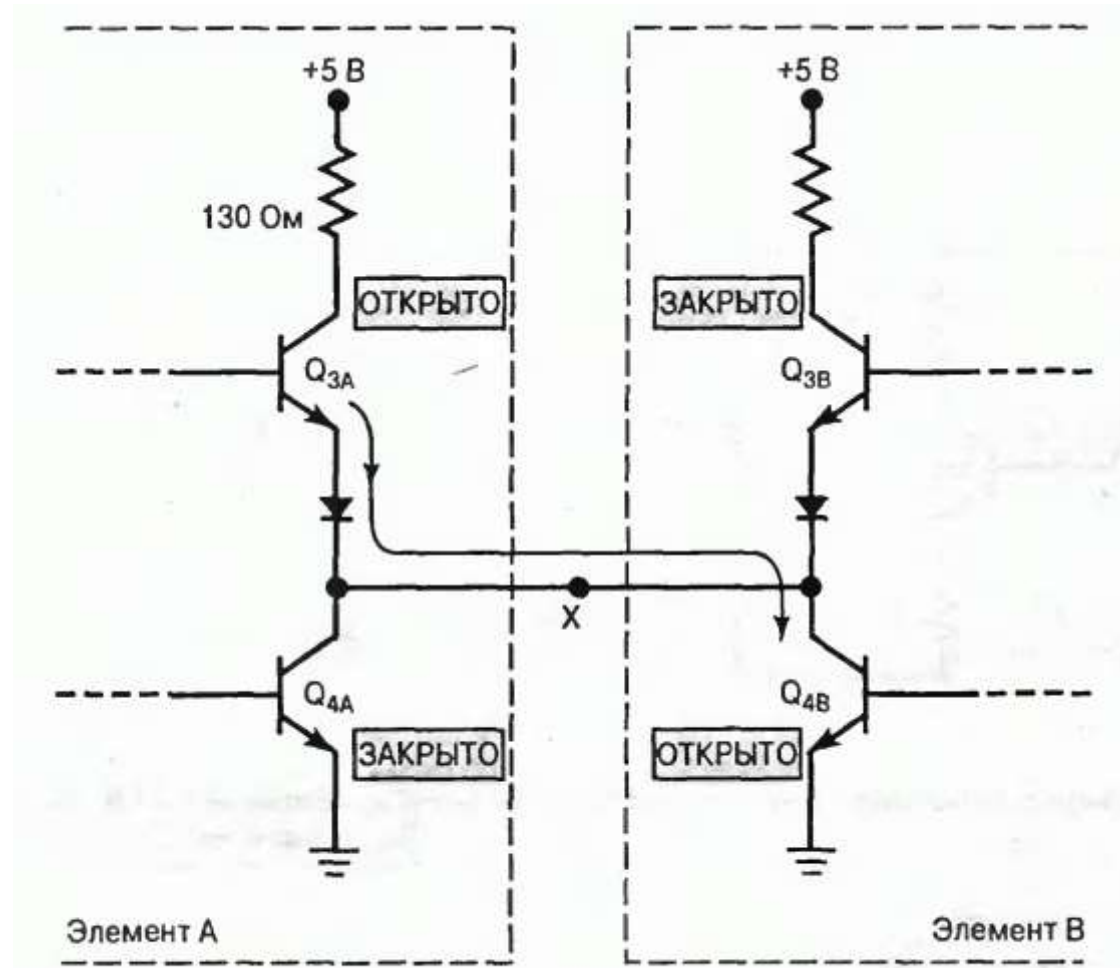
Случается, что сразу несколько цифровых устройств должны вместе использовать один провод, по которому сигнал передается к какому-нибудь удаленному терминалу. Это напоминает ситуацию, когда соседи пользуются одной и той же дорожкой, ведущей на улицу. С точки зрения электроники это означает, что выходы нескольких устройств должны быть присоединены к одной сигнальной шине (проводу), которая связывает их друг с другом. Для всех рассмотренных ранее логических устройств такая связь была проблемой. Каждый выход может иметь два состояния: с *высоким* уровнем сигнала и с *низким*. Если же на одном выходе установился *высокий* уровень, а на другом в то же время должен установиться *низкий*, и при этом они связаны вместе, возникнет конфликт уровней напряжений. Какой же уровень установится в итоге? В итоге “победит” более “сильный” из уровней. В этом случае на общем выходе установится напряжение с выхода схемы, выходной транзистор которой имеет наименьшее сопротивление в открытом состоянии.

Конфликт сигналов КМОП логики за управление общей шиной

Выходы схем на КМОП нельзя непосредственно соединять друг с другом.



Конфликт сигналов ТТЛ логики за управление общей шиной



Двухтактные выходы, связанные вместе, могут привести к появлению опасных значений тока через транзистор Q₄

двухтактные выходы схем на ТТЛ нельзя непосредственно соединять друг с другом.

Выходы с открытым коллектором (стоком)

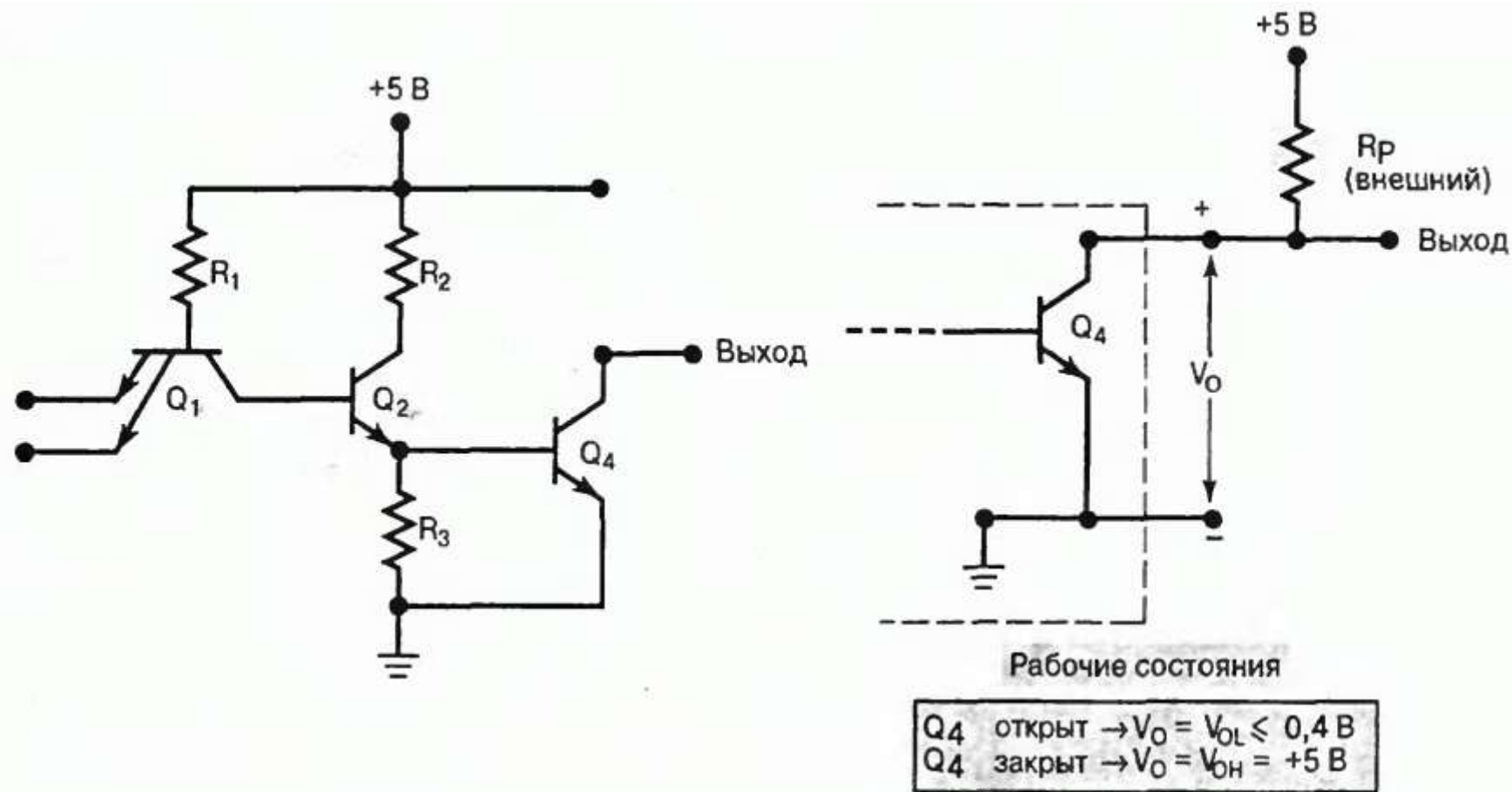
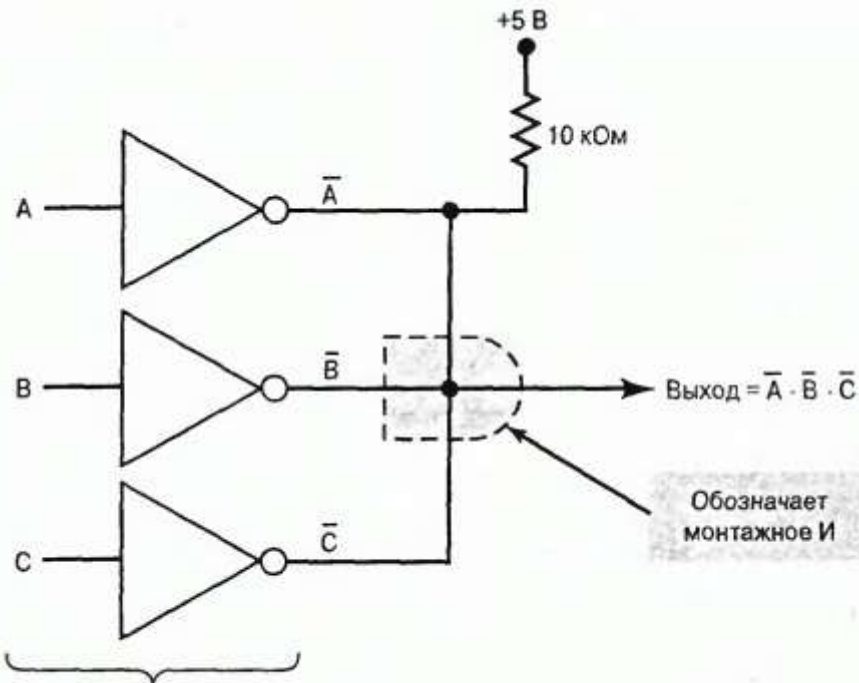


Схема с открытым коллектором не требует на своем выходе транзистора Q₃, диода D₁ и сопротивления R₄. Если на выходе установилось состояние с *низким* уровнем напряжения, то транзистор Q₄ будет открыт (на его базу поступает ток, поэтому транзистор, по существу, замкнут между коллектором и эмиттером); если же на выходе установилось состояние с *высоким* уровнем напряжения, то Q₄ будет заперт (ток на его базу не поступает, и можно считать, что между коллектором и эмиттером имеется разрыв). Поскольку такая схема не может иметь на выходе *высокий* уровень сигнала, то разработчик должен подсоединить к выходу внешний нагрузочный резистор R_p,

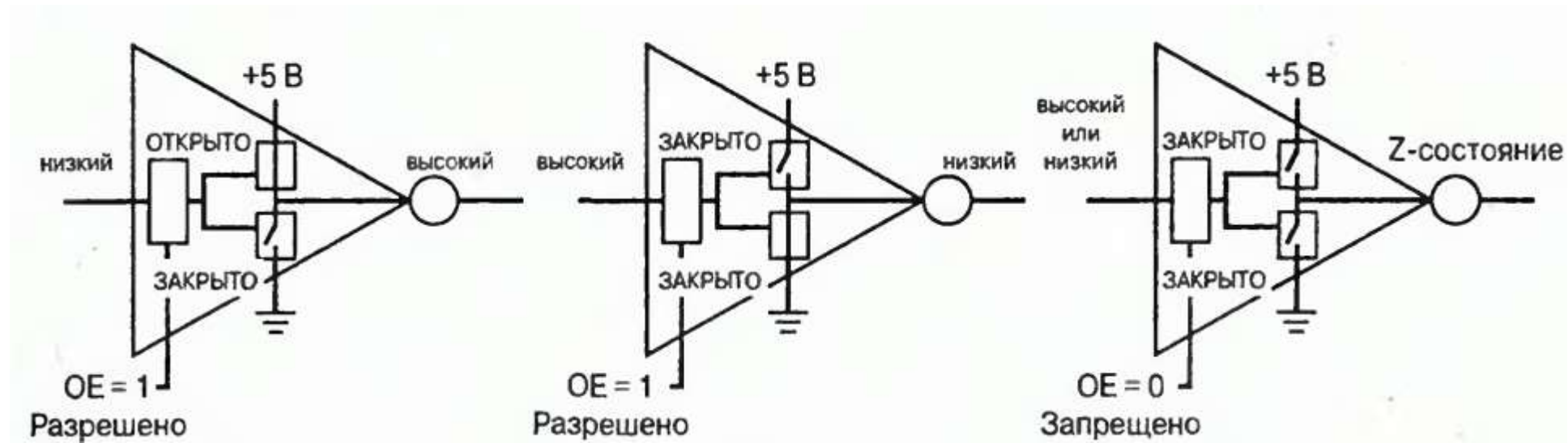
Монтажное «И» в схемах с открытым коллектором (стоком)

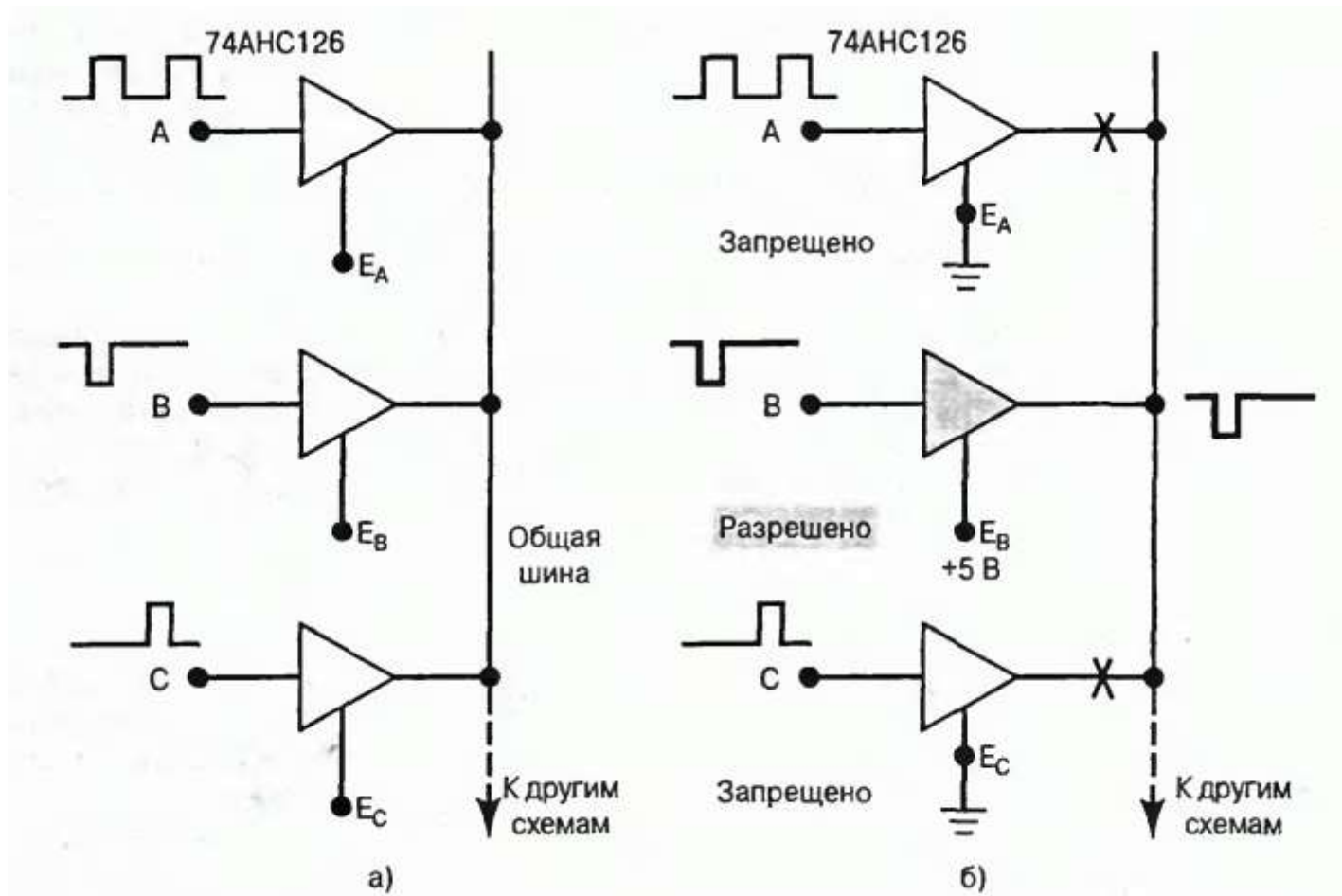
Если несколько элементов с открытыми коллекторами или открытыми стоками делят между собой общий узел, как это показано на рис. то благодаря наличию внешнего резистора *высокий* уровень сигнала наблюдается по умолчанию на общем проводе. Когда хотя бы на одном выходе какого-то элемента (или нескольких элементов) появляется *низкий* уровень сигнала, напряжение 5 В падает на сопротивлении R_p , и на общем сигнальном проводе установится состояние с *низким* уровнем. Так как на общем выходе *высокий* уровень сигнала устанавливается, только если на всех выходах установились единичные состояния, то подобное подключение выходов к общей шине фактически реализует логическую функцию И. Поэтому такое соединение называется монтажным И (wired-AND). На рисунке оно показано в виде символа элемента И, который нарисован штриховой линией. На самом деле схема не содержит никакого элемента И. Монтажное И можно реализовать только на логических устройствах с открытым коллектором (ТТЛ) и с открытым стоком (КМОП).



74LS05 (с открытым коллектором)
или 74HC05 (с открытым стоком)

Тристабильная логика





Конфликт

