

Микроконтроллеры
смешанного сигнала
семейства C8051Fxxx фирмы
Silicon Laboratories

Основные характеристики семейства C8051F060

Высокопроизводительное микропроцессорное ядро CIP-51 с конвейерной архитектурой, совместимое со стандартом 8051 (максимальная производительность – 25 MIPS).

Два встроенных 16-разрядных АЦП (производительность - 1 млн. преобразований в секунду) с контроллером прямого доступа к памяти.

Контроллер локальной сети (CAN 2.0B) с 32 объектами сообщений, каждое из которых имеет собственную маску идентификатора (C8051F060/1/2/3).

Встроенные средства отладки, обеспечивающие внутрисистемную, «неразрушающую» отладку в режиме реального времени.

10-разрядный 8-канальный АЦП (максимальная производительность – 200 тыс. преобр./сек.) с программируемым усилителем и аналоговым мультиплексором (C8051F060/1/2/3).

Два 12-разрядных ЦАП с программируемым обновлением выходного сигнала (C8051F060/1/2/3).

64 Кбайта (C8051F060/1/2/3/4/5) или 32 Кбайта (C8051F066/7) Flash-памяти, программируемой внутрисистемно.

4352 (4096 + 256) байт встроенного ОЗУ.

Интерфейс внешней памяти данных с доступным адресным пространством 64 Кбайта (C8051F060/2/4/6).

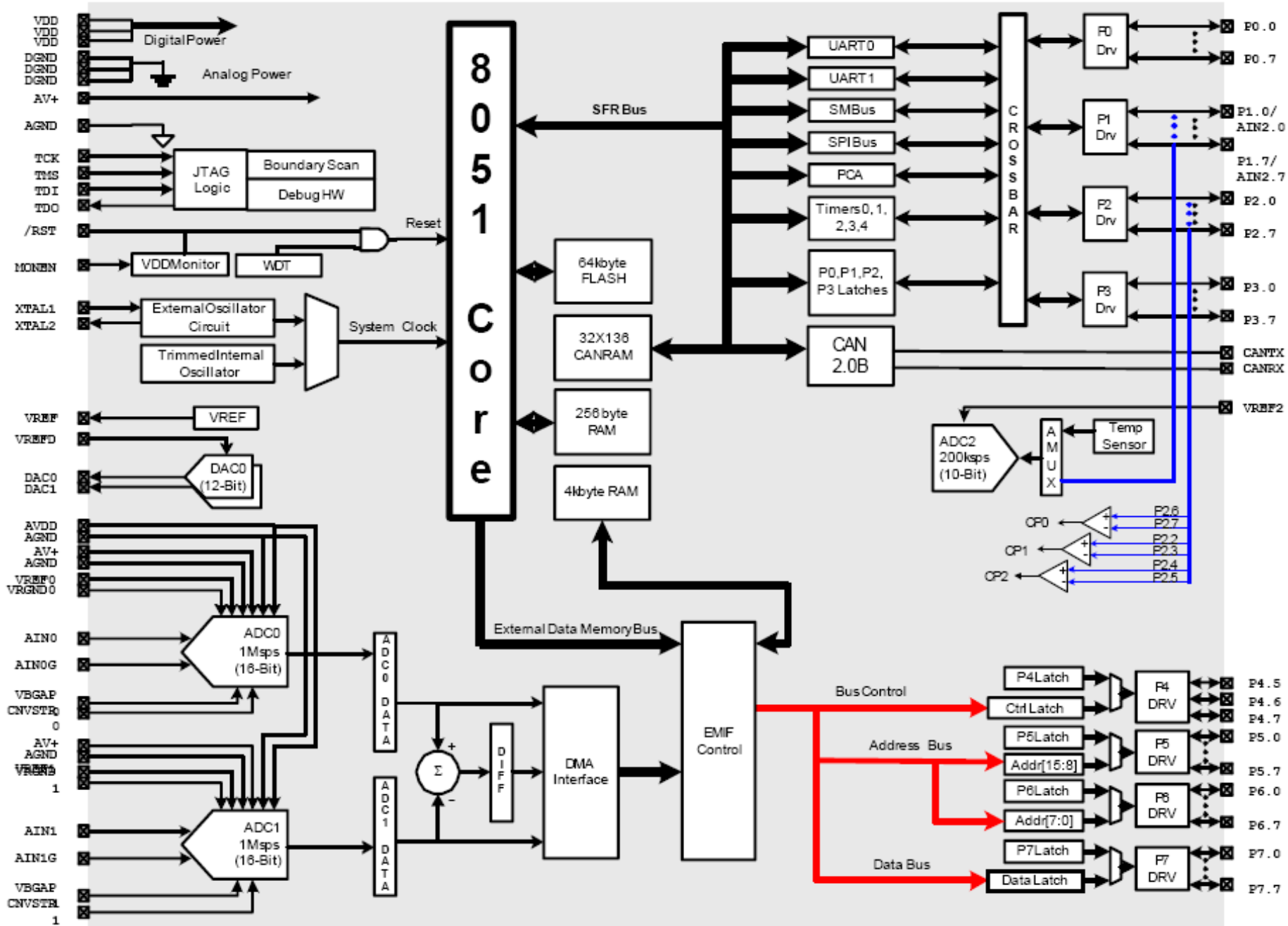
Аппаратно реализованные последовательные интерфейсы I2C/SMBus, SPI и два УАПП.

Пять 16-разрядных таймеров общего назначения.

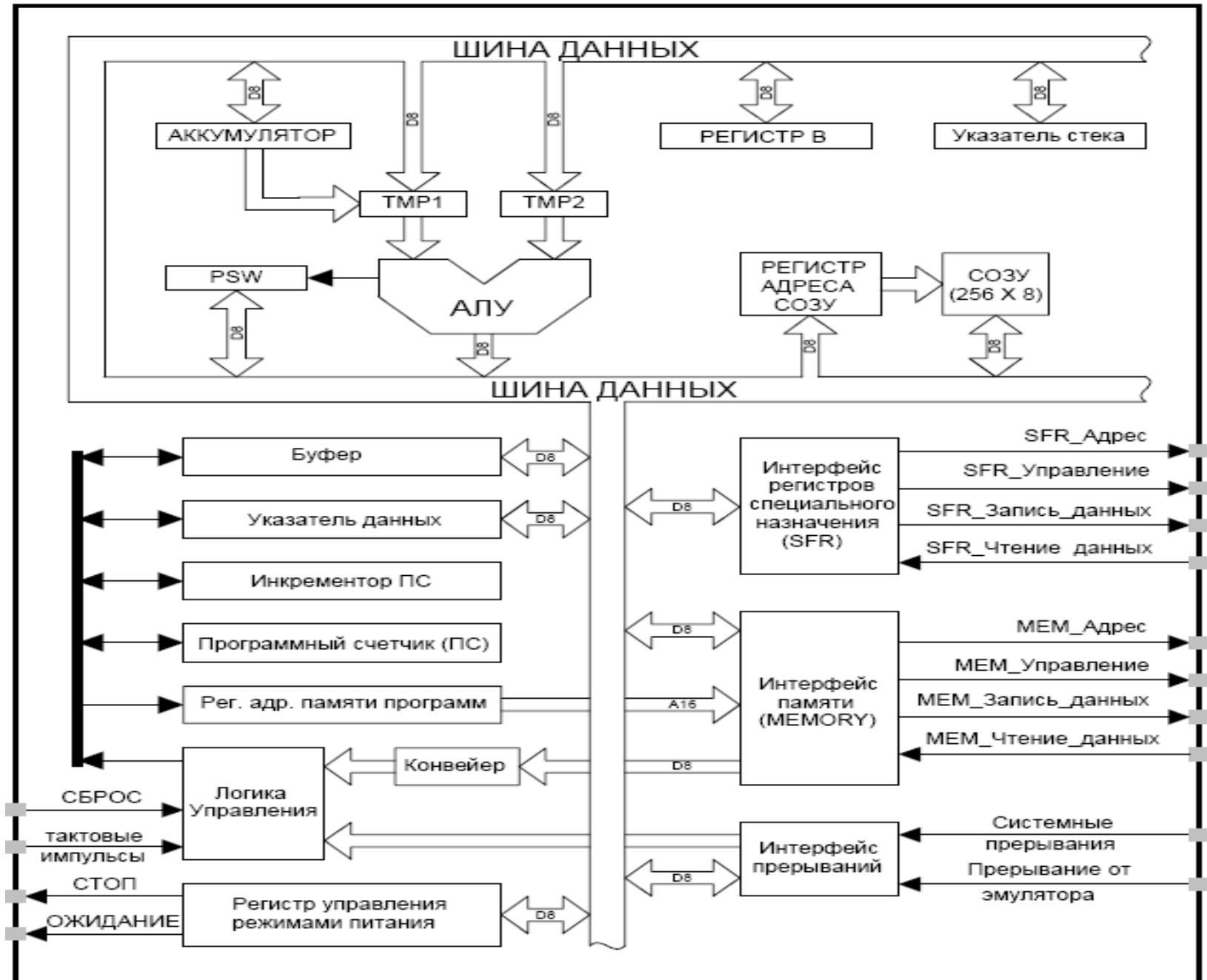
Программируемый массив счетчиков/таймеров (ПМС) с шестью модулями захвата/сравнения.

Встроенные сторожевой таймер, схема слежения за напряжением питания и датчик температуры.

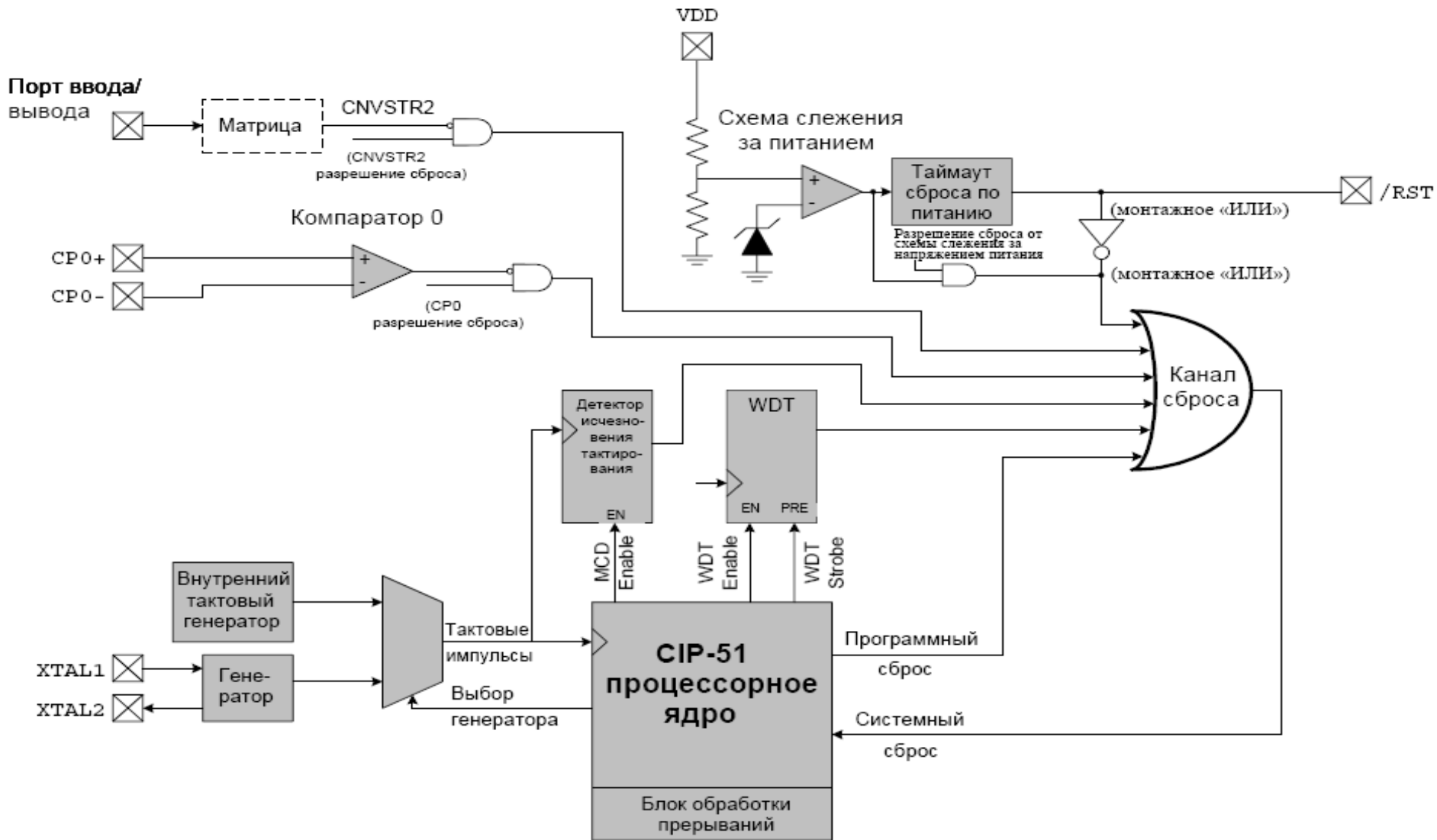
Архитектура C8051F060/062



Структурная схема CIP-51

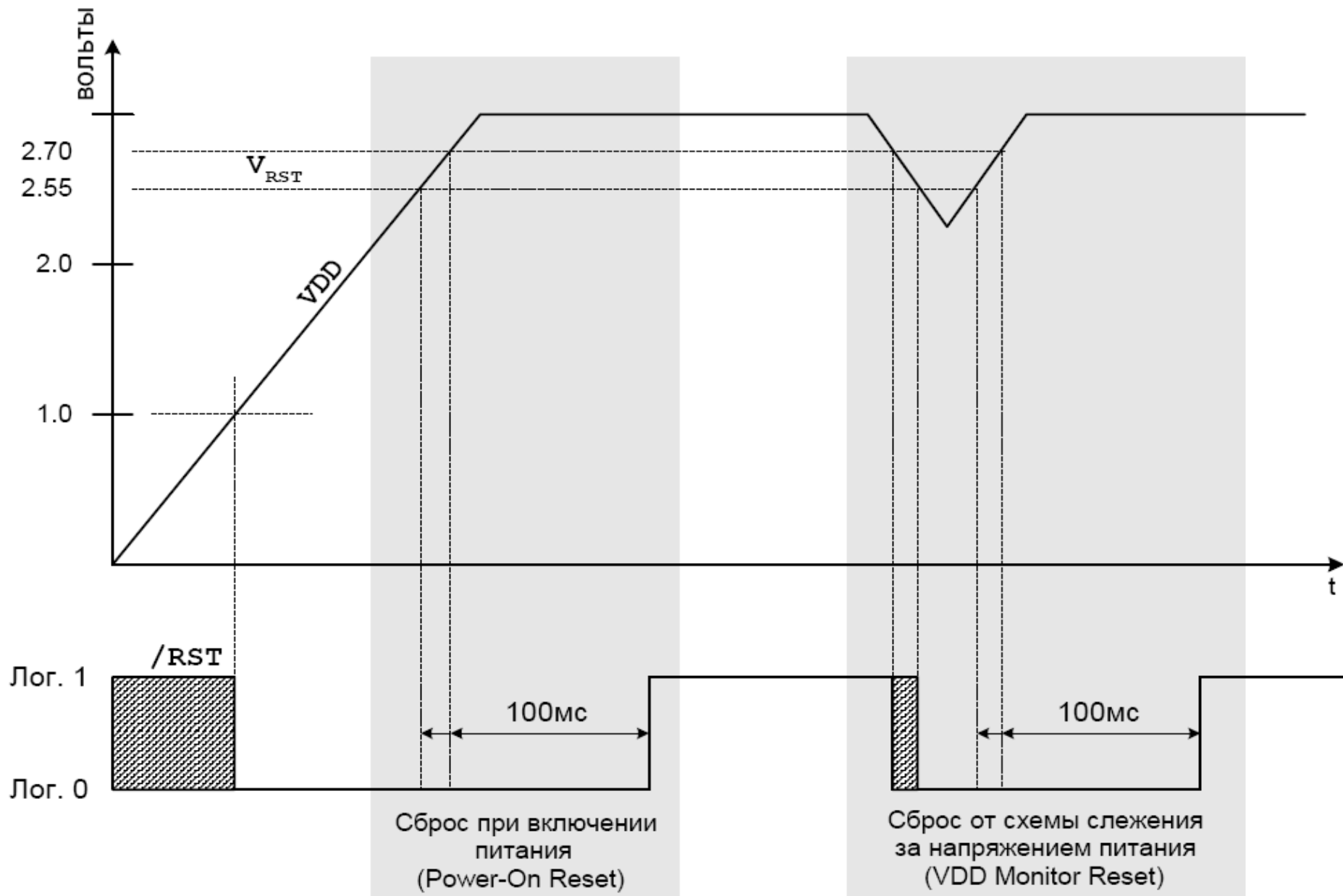


Структурная схема источников сброса



Каждый сброс ядра, кроме входного сброса /RST и монитора питания, может быть запрещен программно.

Временная диаграмма работы схемы слежения за напряжением питания



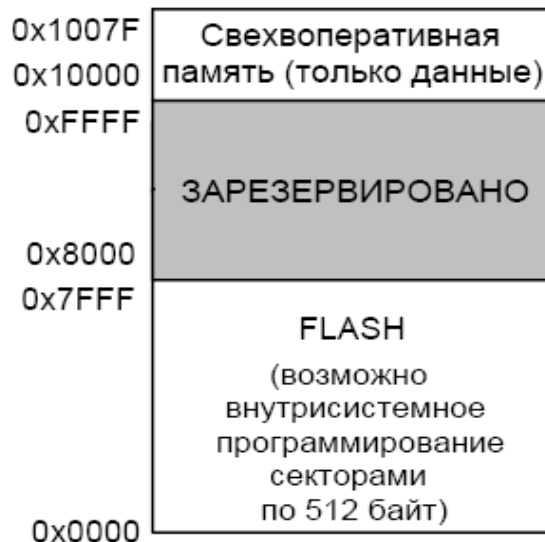
Карта распределения памяти

ПАМЯТЬ ПРОГРАММ/ДАННЫХ (FLASH)

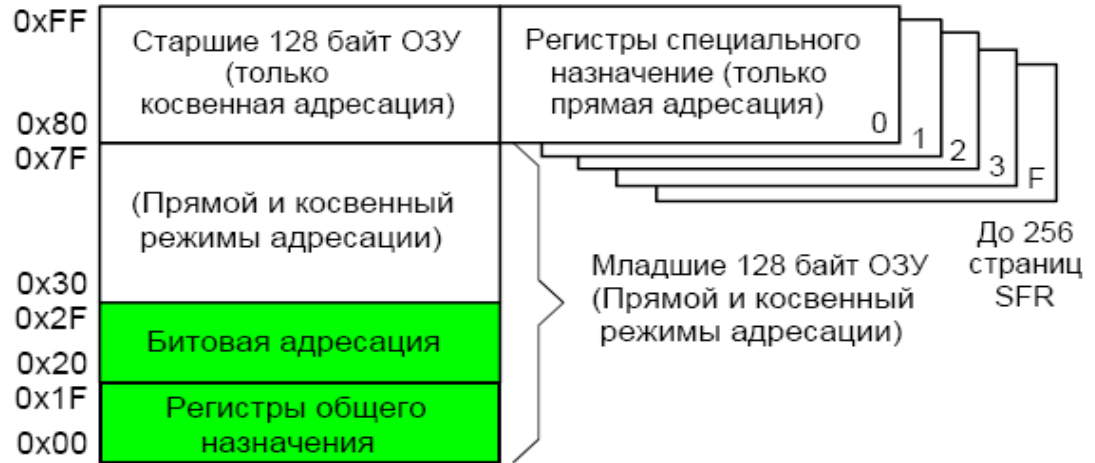
C8051F060/1/2/3/4/5



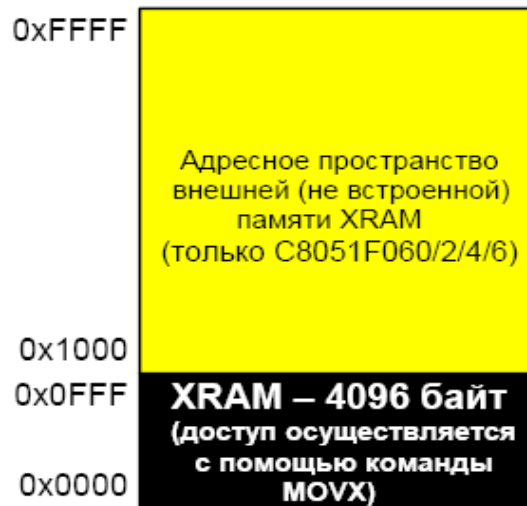
C8051F066/7



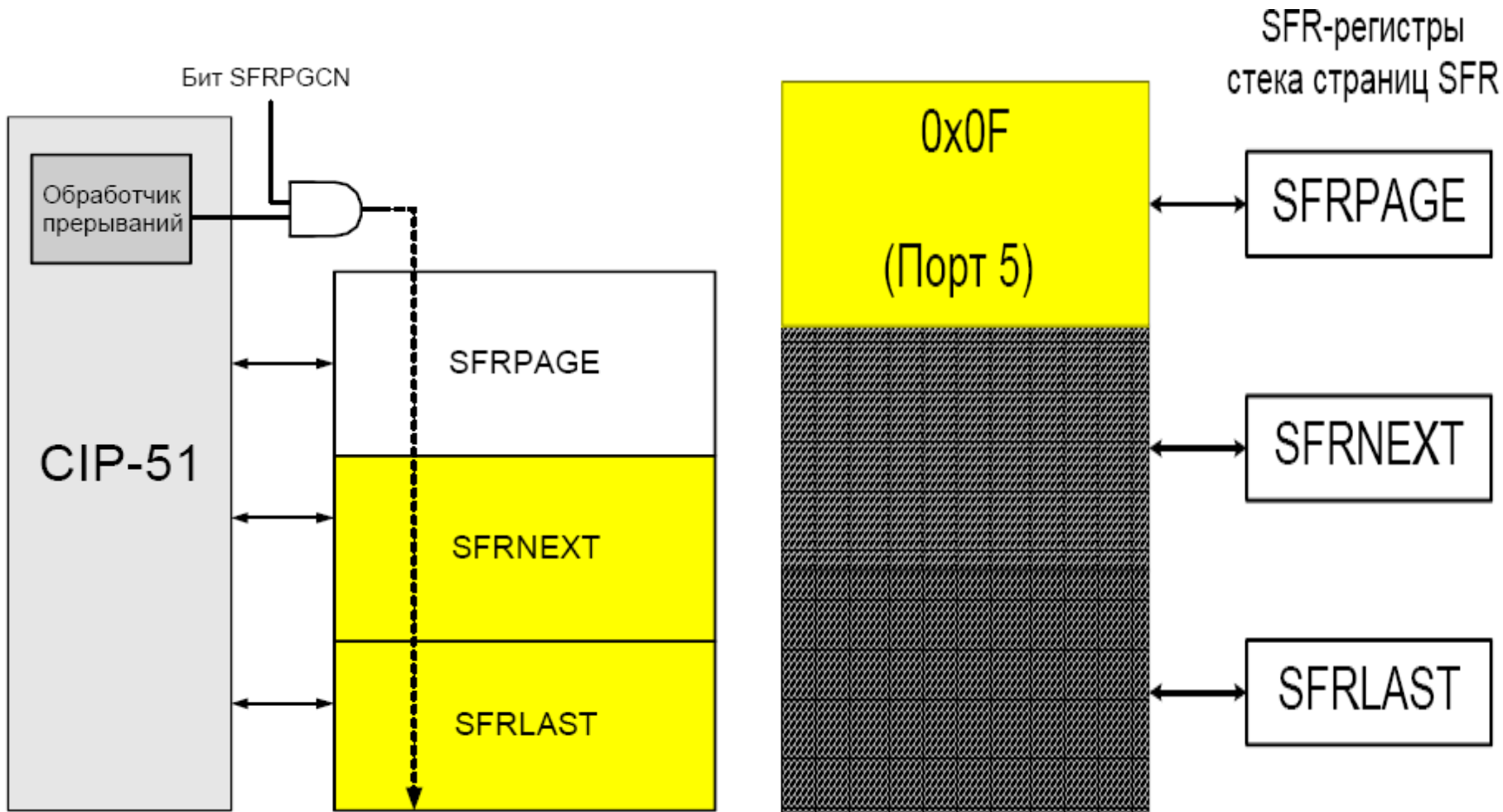
ПАМЯТЬ ДАННЫХ (ОЗУ) АДРЕСНОЕ ПРОСТРАНСТВО ВНУТРЕННЕЙ ПАМЯТИ ДАННЫХ



АДРЕСНОЕ ПРОСТРАНСТВО ВНЕШНЕЙ ПАМЯТИ ДАННЫХ



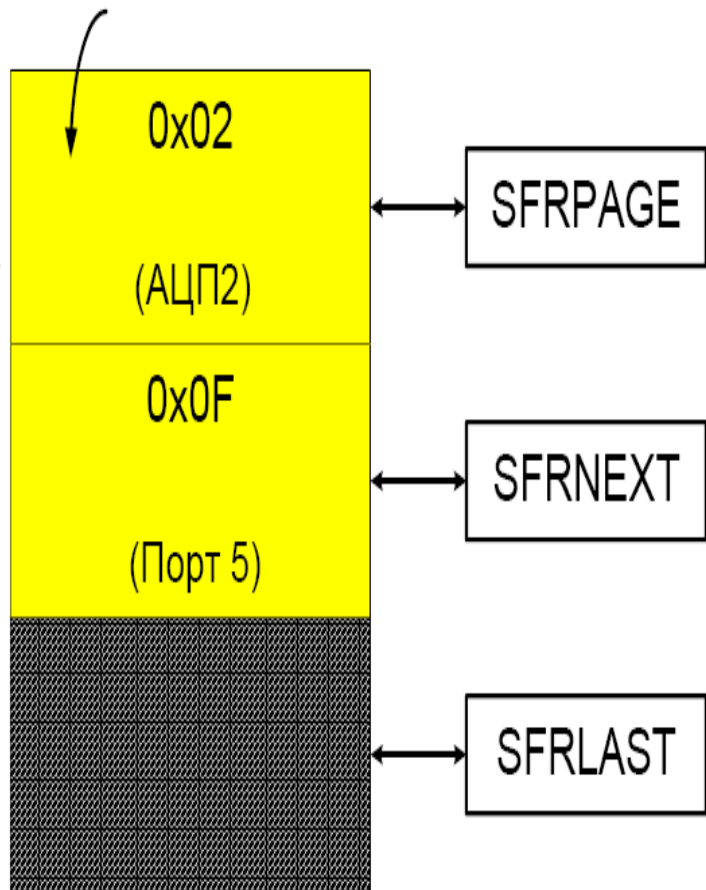
Стек страниц блока SFR



Стек страниц SFR

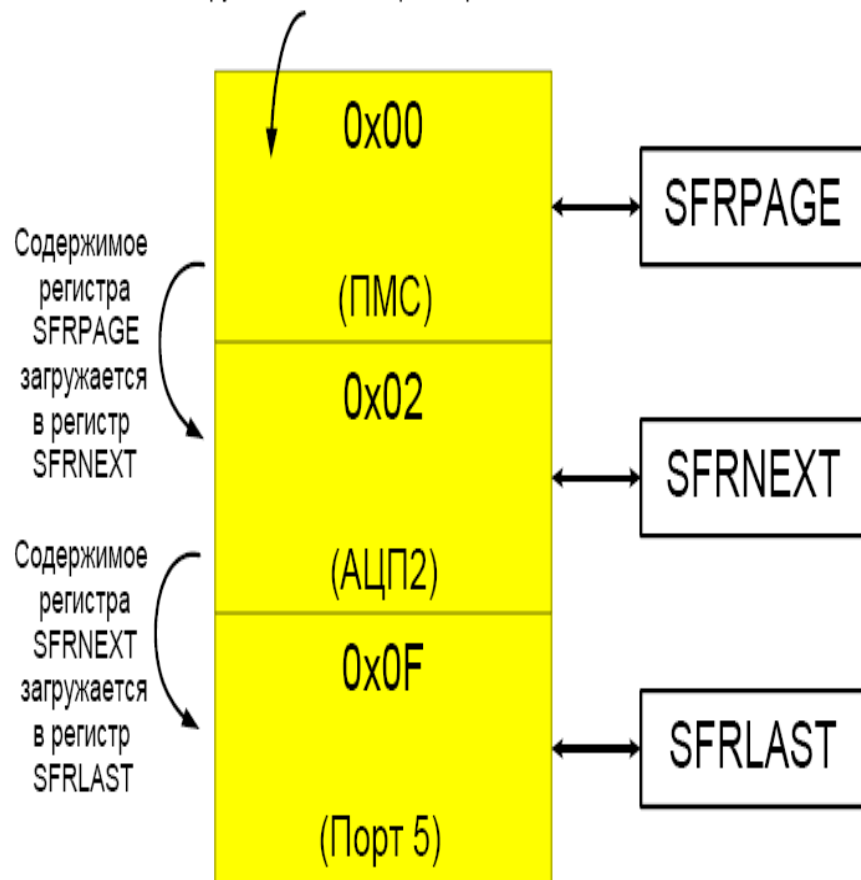
Стек страниц SFR при использовании страницы SFR 0x0F для обращения к Порту 5

При возникновении прерывания от АЦП2
SFR страница 0x02 автоматически
загружается в стек в регистр SFRPAGE



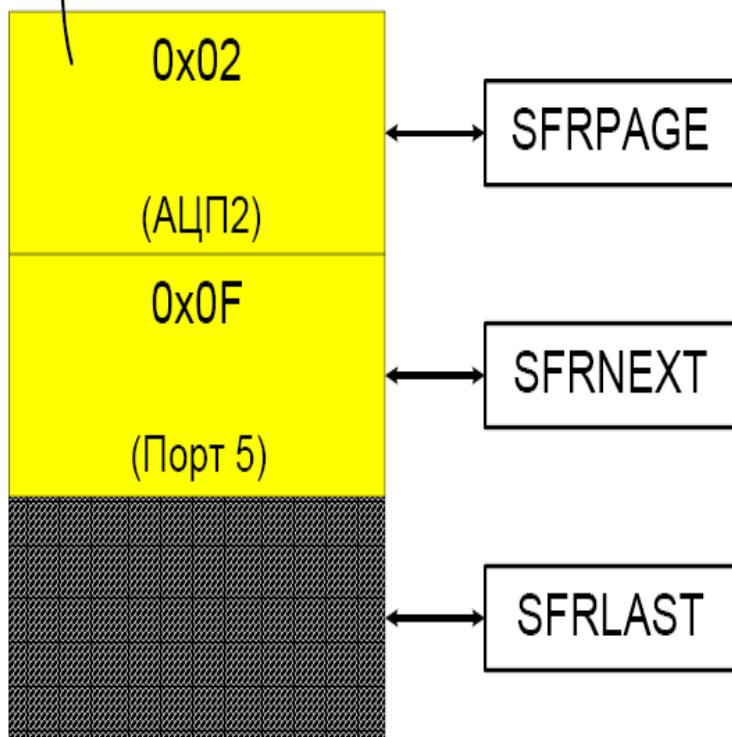
**Стек страниц SFR после
возникновения прерывания от
детектора диапазона АЦП2**

При возникновении прерывания от ПМС
SFR страница 0x00 автоматически
загружается в стек в регистр SFRPAGE



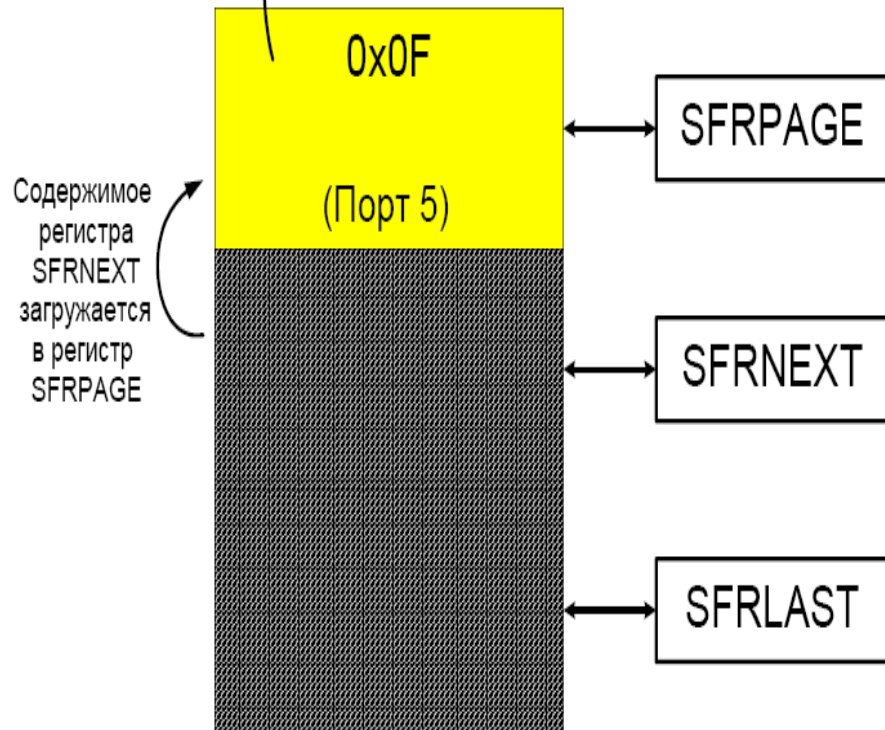
**Стек страниц SFR после
возникновения прерывания от
модуля ПМС во время выполнения
процедуры обслуживания
прерывания от АЦП2**

SFR страница 0x00 автоматически выталкивается из стека при выходе из процедуры обслуживания прерывания



Стек страниц SFR после возврата из процедуры обслуживания прерывания от модуля ПМС

SFR страница 0x02 автоматически выталкивается из стека при выходе из процедуры обслуживания прерывания

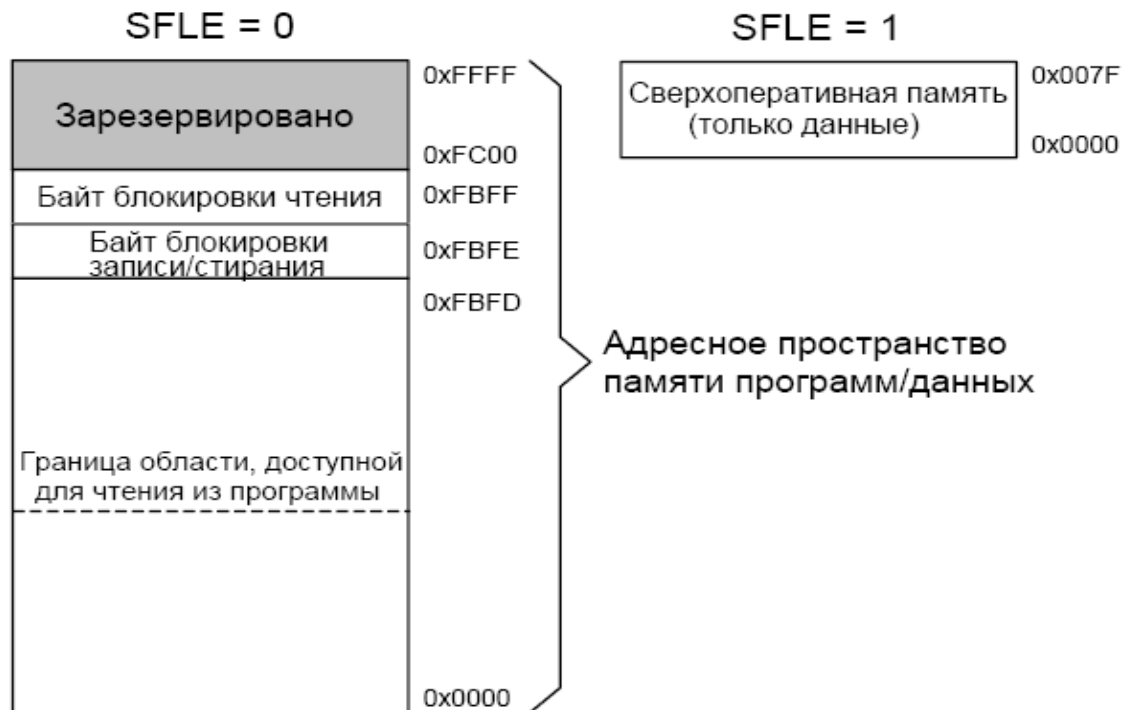


Стек страниц SFR после возврата из процедуры обслуживания прерывания от детектора диапазона АЦП2

Карта распределения Flash-памяти программ и байты защиты (C8051F060/1/2/3/4/5)

Биты защиты чтения и записи/стирания (бит 7 – старший)

Бит	Блок памяти
7	0xE000 - 0xFBFD
6	0xC000 - 0xDFFF
5	0xA000 - 0xBFFF
4	0x8000 - 0x9FFF
3	0x6000 - 0x7FFF
2	0x4000 - 0x5FFF
1	0x2000 - 0x3FFF
0	0x0000 - 0x1FFF



Байт блокировки чтения FLASH-памяти

Биты 7-0: Каждый бит блокирует соответствующий блок памяти (бит 7 - старший).

- 0: Операции чтения через JTAG-интерфейс для соответствующего блока заблокированы (запрещены).
- 1: Операции чтения через JTAG-интерфейс для соответствующего блока разблокированы (разрешены).

Байт блокировки записи/стирания FLASH-памяти

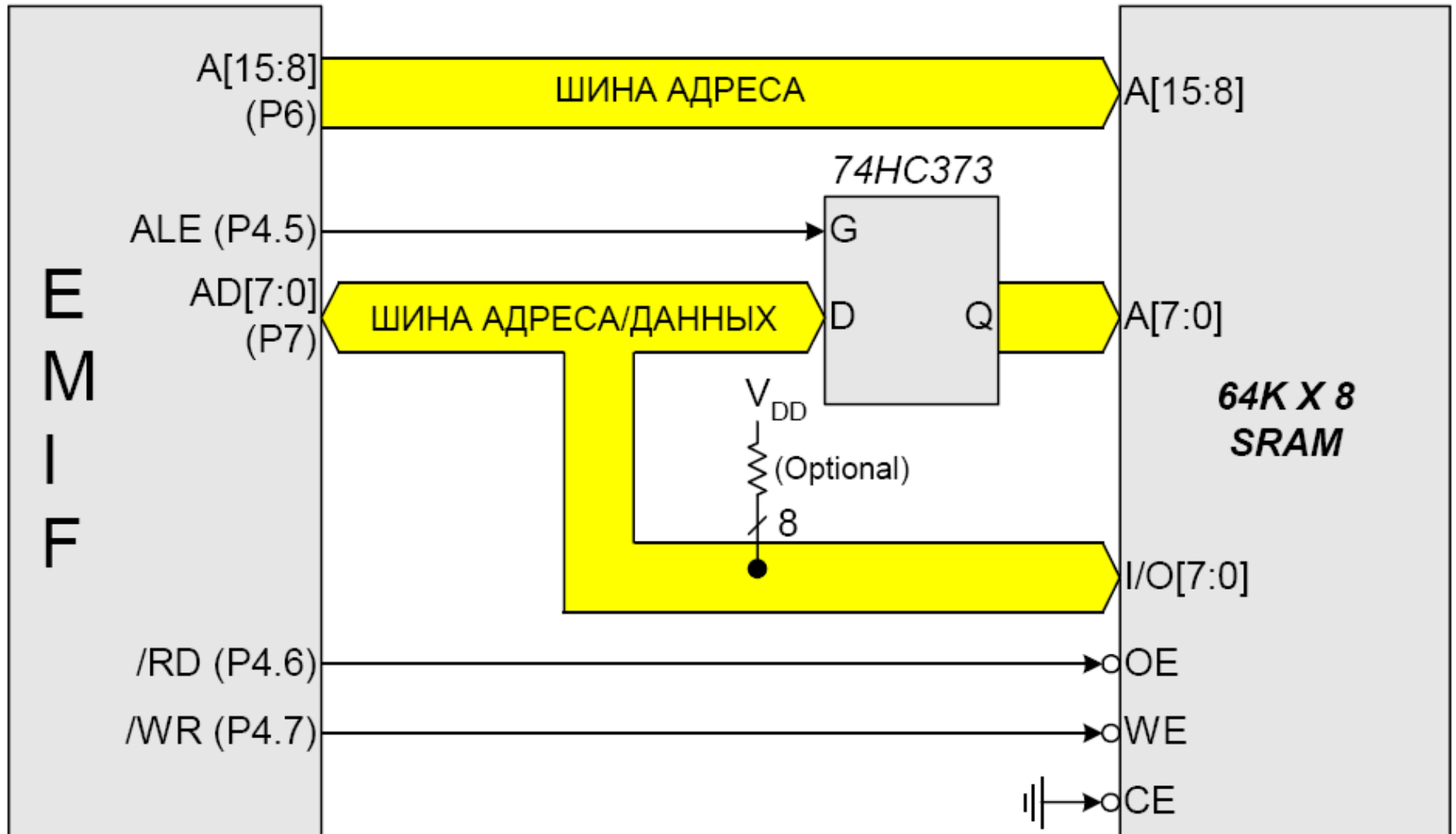
Биты 7-0: Каждый бит блокирует соответствующий блок памяти.

- 0: Операции записи/стирания через JTAG-интерфейс для соответствующего блока заблокированы (запрещены).
- 1: Операции записи/стирания через JTAG-интерфейс для соответствующего блока разблокированы (разрешены).

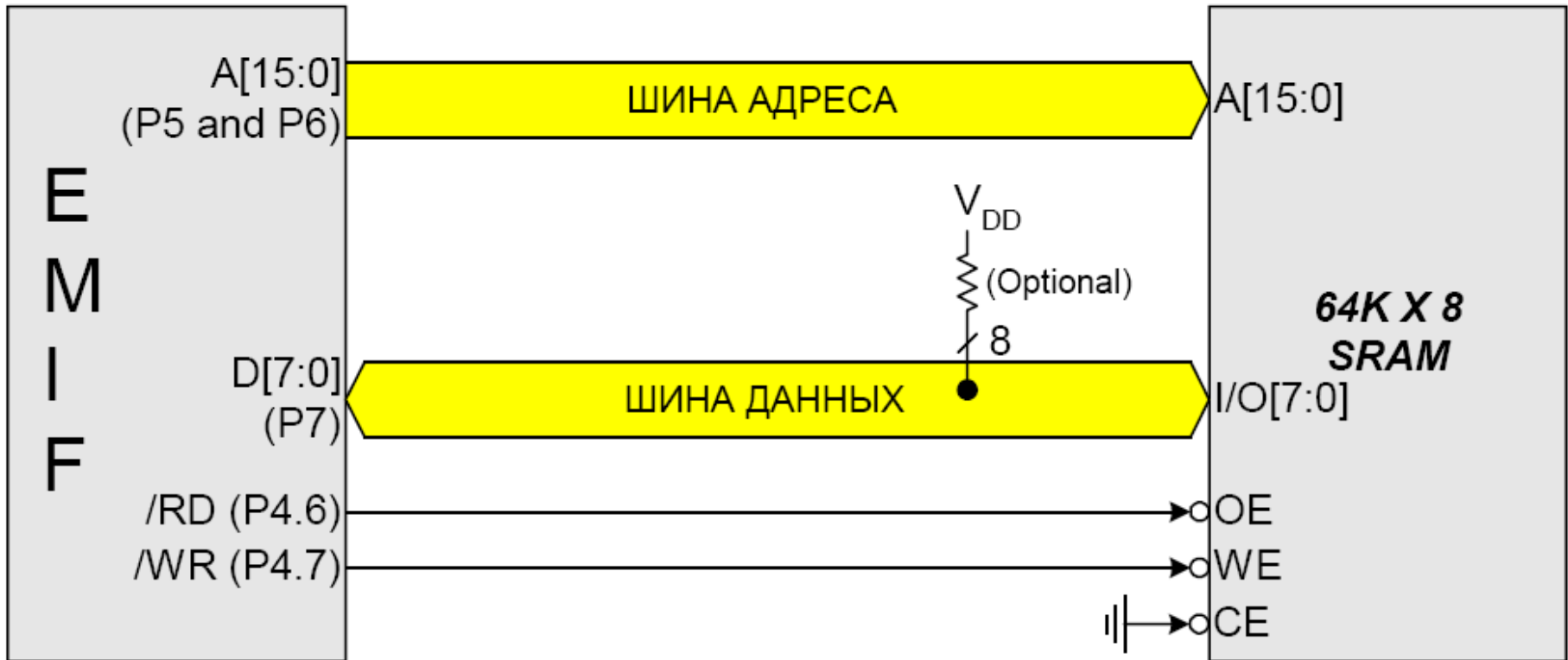
ОРГАНИЗАЦИЯ

ВНЕШНЕЙ ПАМЯТИ

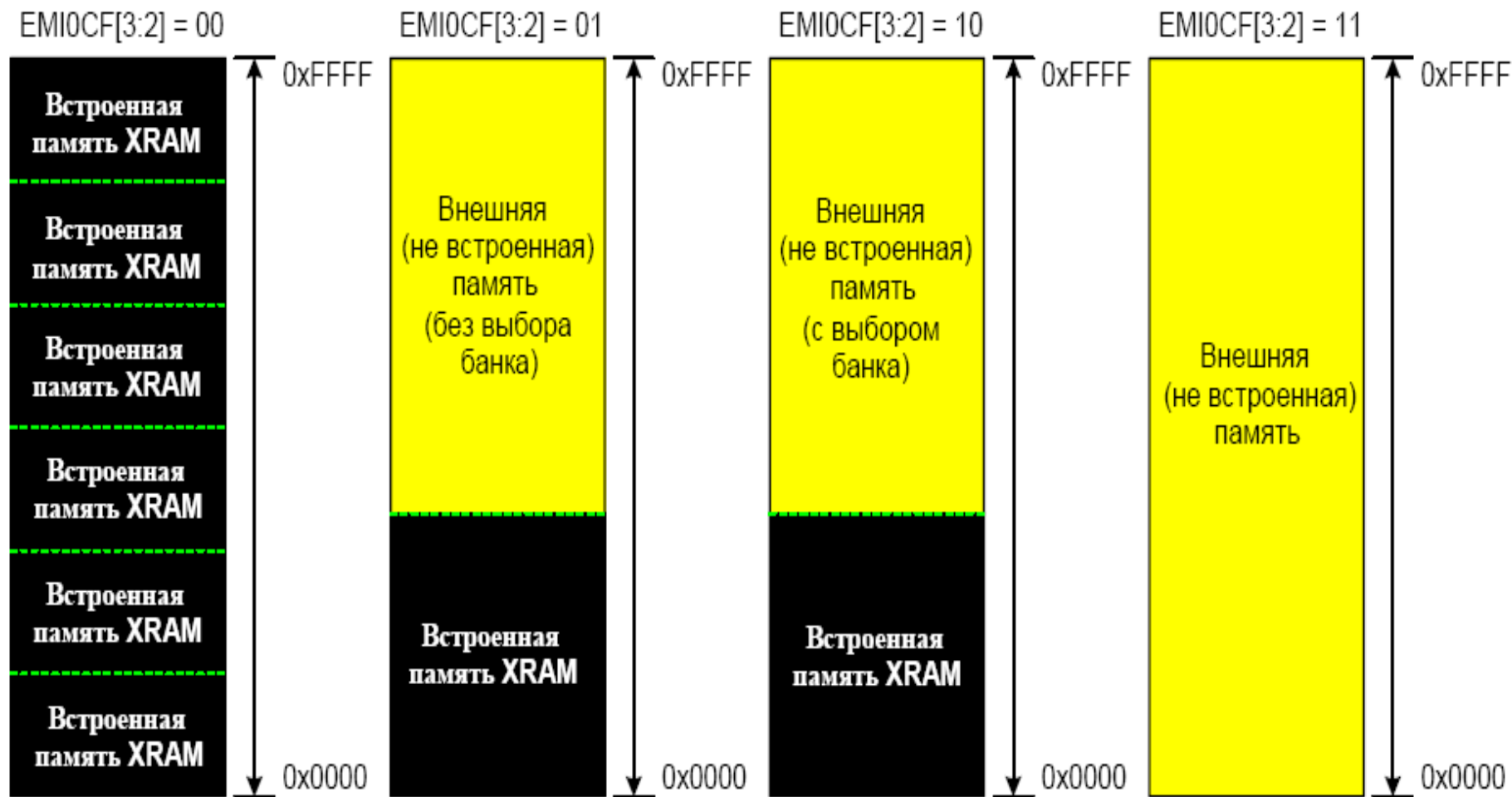
Пример конфигурации с мультиплексированной шиной адреса/данных



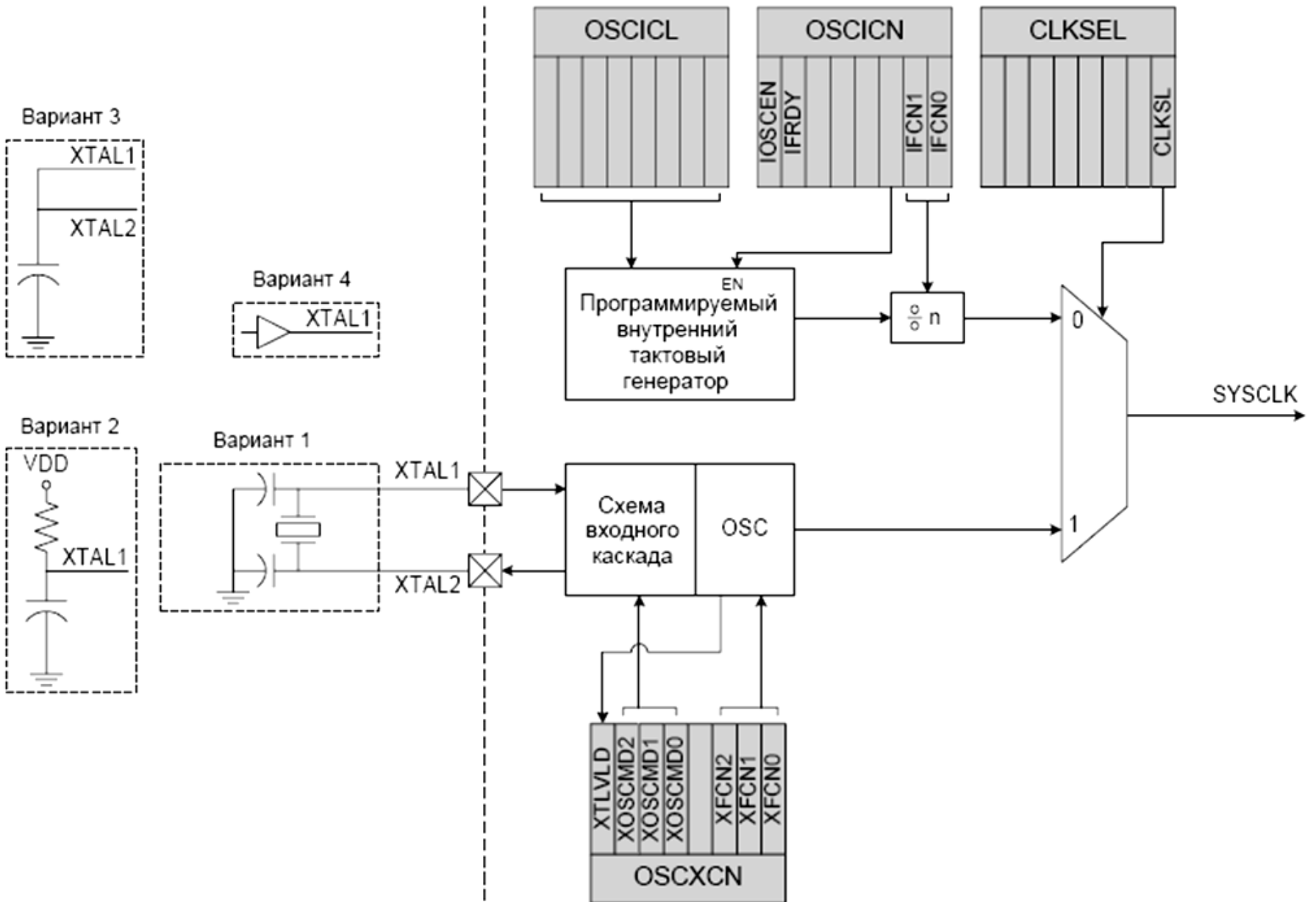
Пример конфигурации с немультимплексированной шиной адреса/данных



Режимы работы интерфейса внешней памяти



Структурная схема генератора



ПЕРИФЕРИЙНЫЕ
УСТРОЙСТВА
C8051F060

Функциональная схема портов ввода/вывода

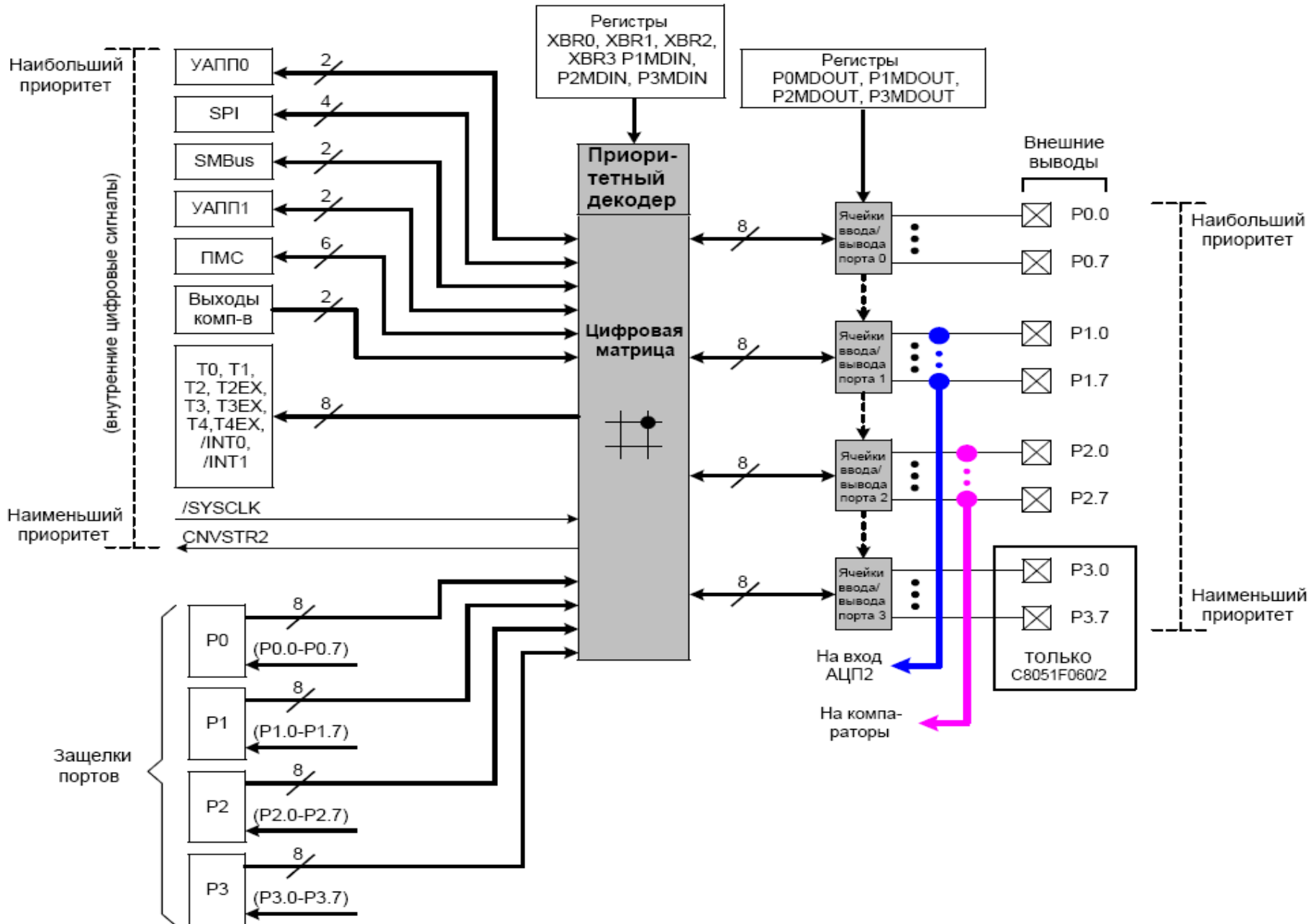


Схема тракта управления 16-разр. АЦП0 и АЦП1

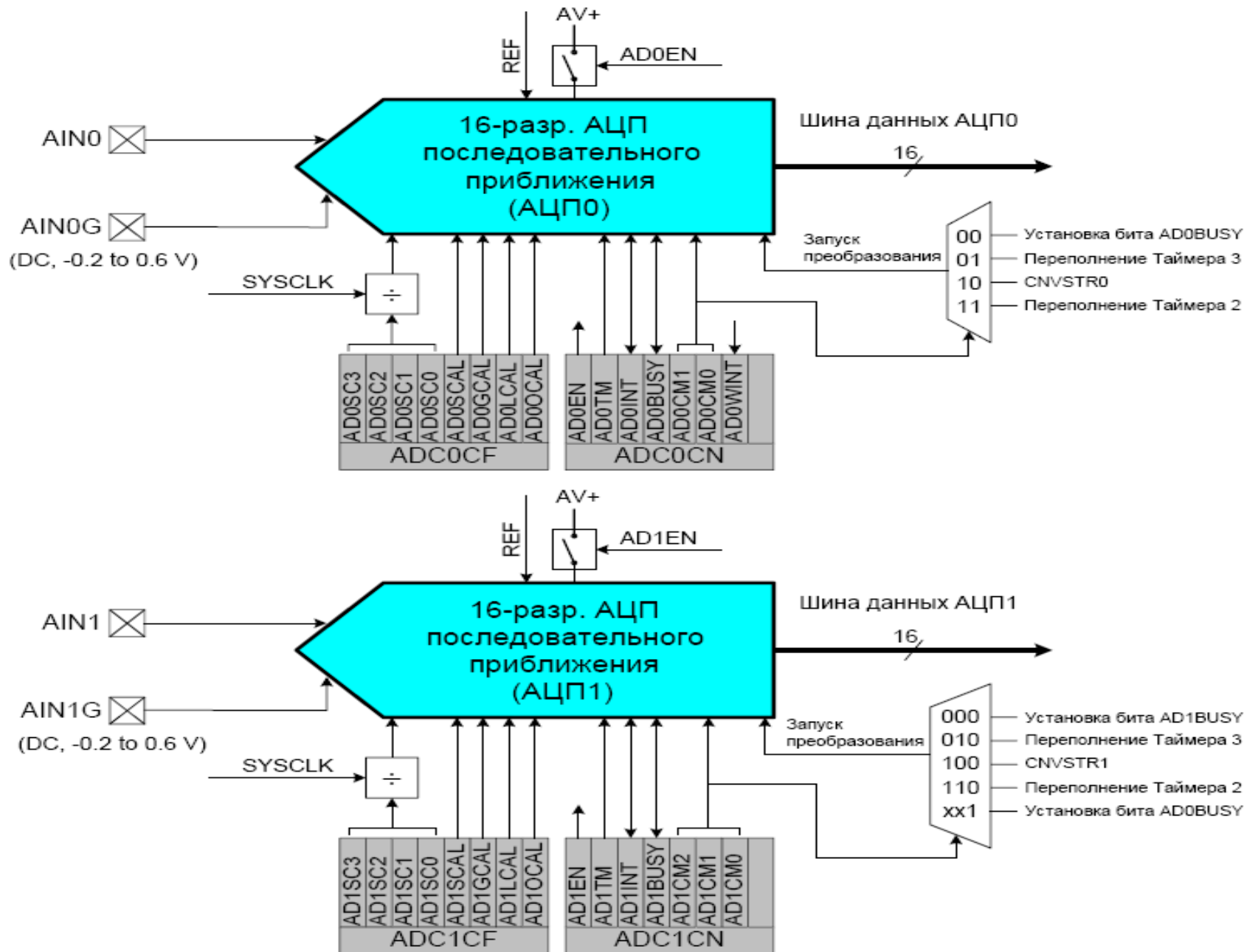
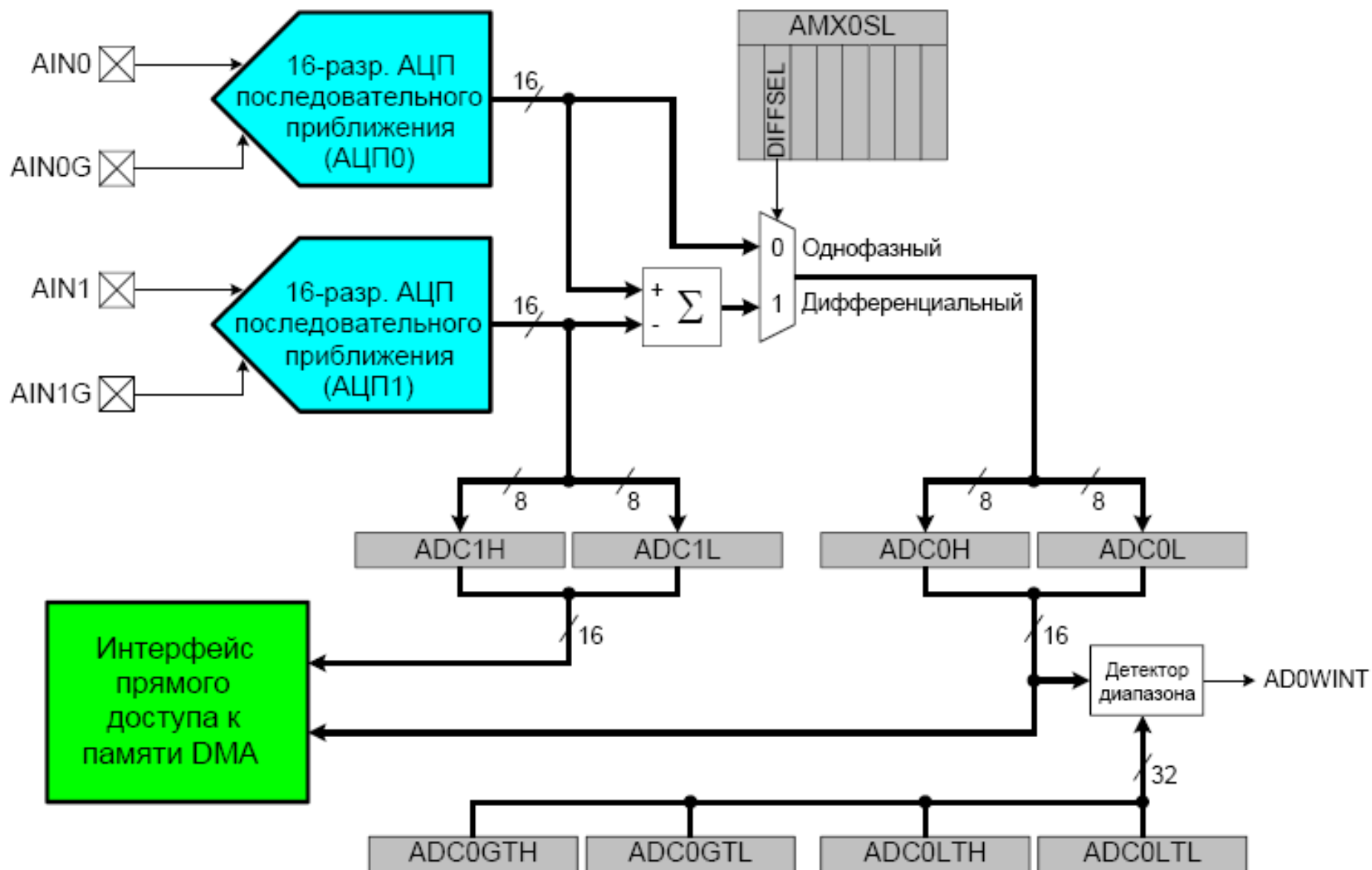
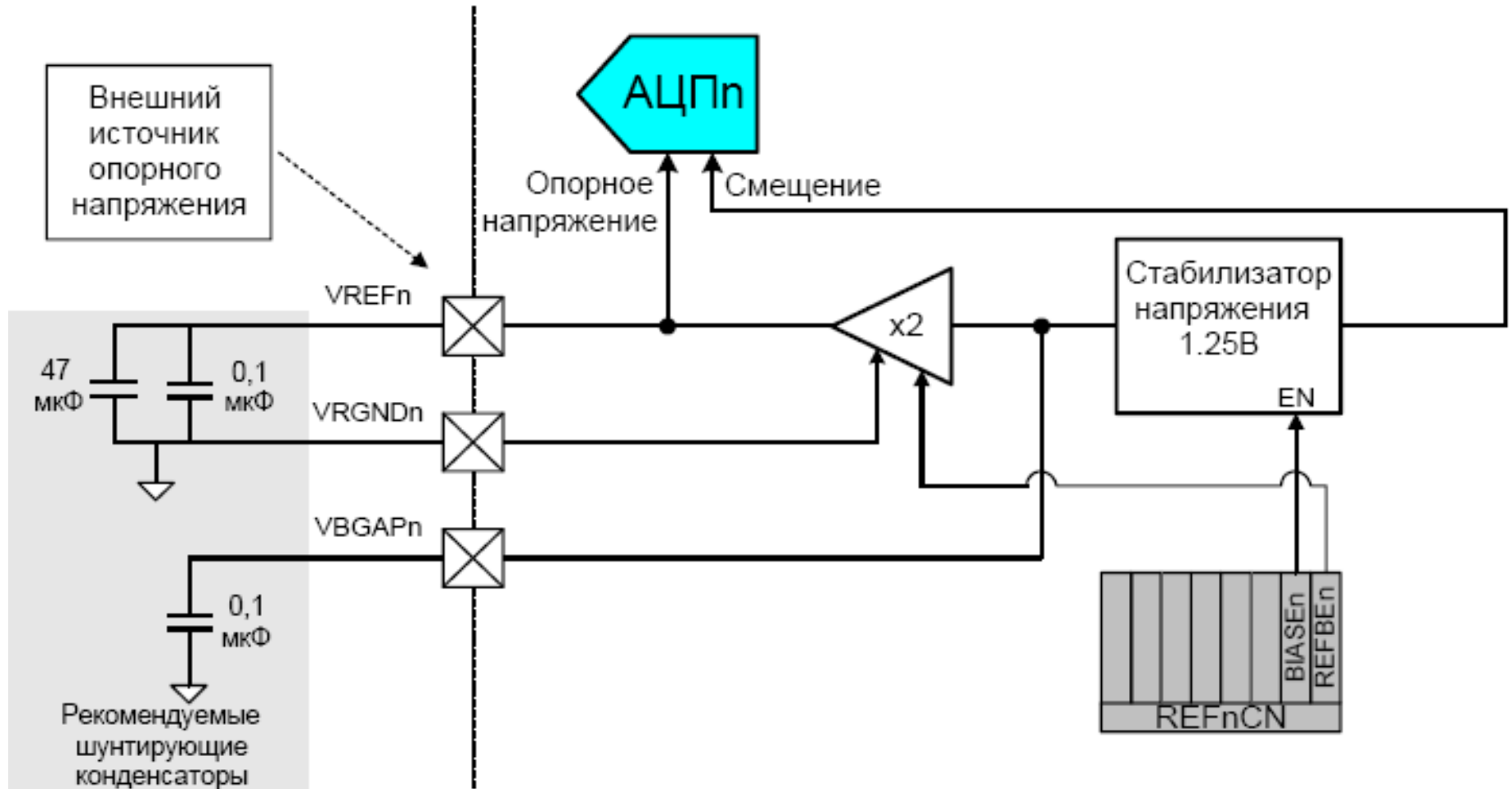


Схема тракта данных 16-разр. АЦП0 и АЦП1



Структурная схема источника опорного напряжения



Пример использования детектора диапазона 16-разрядного АЦПО (однофазный режим работы)

Входное напряжение (AIN0 - AIN0G)	Слово данных АЦПО		Входное напряжение (AIN0 - AIN0G)	Слово данных АЦПО	
REF x (65535/65536)	0xFFFF	AD0WINT не изменяется	REF x (65535/65536)	0xFFFF	AD0WINT=1
	0x2001			0x2001	
REF x (8192/65536)	0x2000	ADC0LTH:ADC0LTL	REF x (8192/65536)	0x2000	ADC0GTH:ADC0GTL
	0x1FFF	AD0WINT=1		0x1FFF	AD0WINT не изменяется
	0x1001			0x1001	
REF x (4096/65536)	0x1000	ADC0GTH:ADC0GTL	REF x (4096/65536)	0x1000	ADC0LTH:ADC0LTL
	0x0FFF	AD0WINT не изменяется		0x0FFF	AD0WINT=1
0	0x0000		0	0x0000	

Задано:

AMX0SL = 0x00,

ADC0LTH:ADC0LTL = 0x2000,

ADC0GTH:ADC0GTL = 0x1000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT = '1'), если полученное слово данных АЦПО < 0x2000 и > 0x1000.

Задано:

AMX0SL = 0x00,

ADC0LTH:ADC0LTL = 0x1000,

ADC0GTH:ADC0GTL = 0x2000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT = '1'), если полученное слово данных АЦПО > 0x2000 или < 0x1000.

Пример использования детектора диапазона 16-разрядного АЦПО (дифференциальный режим работы)

Входное напряжение (AIN0 - AIN1)	Слово данных АЦПО		Входное напряжение (AIN0 - AIN1)	Слово данных АЦПО	
REF x (32767/32768)	0x7FFF	AD0WINT не изменяется	REF x (32767/32768)	0x7FFF	AD0WINT=1
	0x1001			0x1001	
REF x (4096/32768)	0x1000	ADC0LTH:ADC0LTL	REF x (4096/32768)	0x1000	ADC0GTH:ADC0GTL
	0x0FFF	AD0WINT=1		0x0FFF	AD0WINT не изменяется
	0x0000			0x0000	
REF x (-1/32768)	0xFFFF	ADC0GTH:ADC0GTL	REF x (-1/32768)	0xFFFF	ADC0LTH:ADC0LTL
	0xFFFFE	AD0WINT не изменяется		0xFFFFE	AD0WINT=1
-REF	0x8000			-REF	

Задано:

AMX0SL = 0x40,

ADC0LTH:ADC0LTL = 0x1000,

ADC0GTH:ADC0GTL = 0xFFFF.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT = '1'), если полученное слово данных АЦПО < 0x1000 и > 0xFFFF.

(Используется дополнительный код, т.е 0xFFFF = -1).

Задано:

AMX0SL = 0x40,

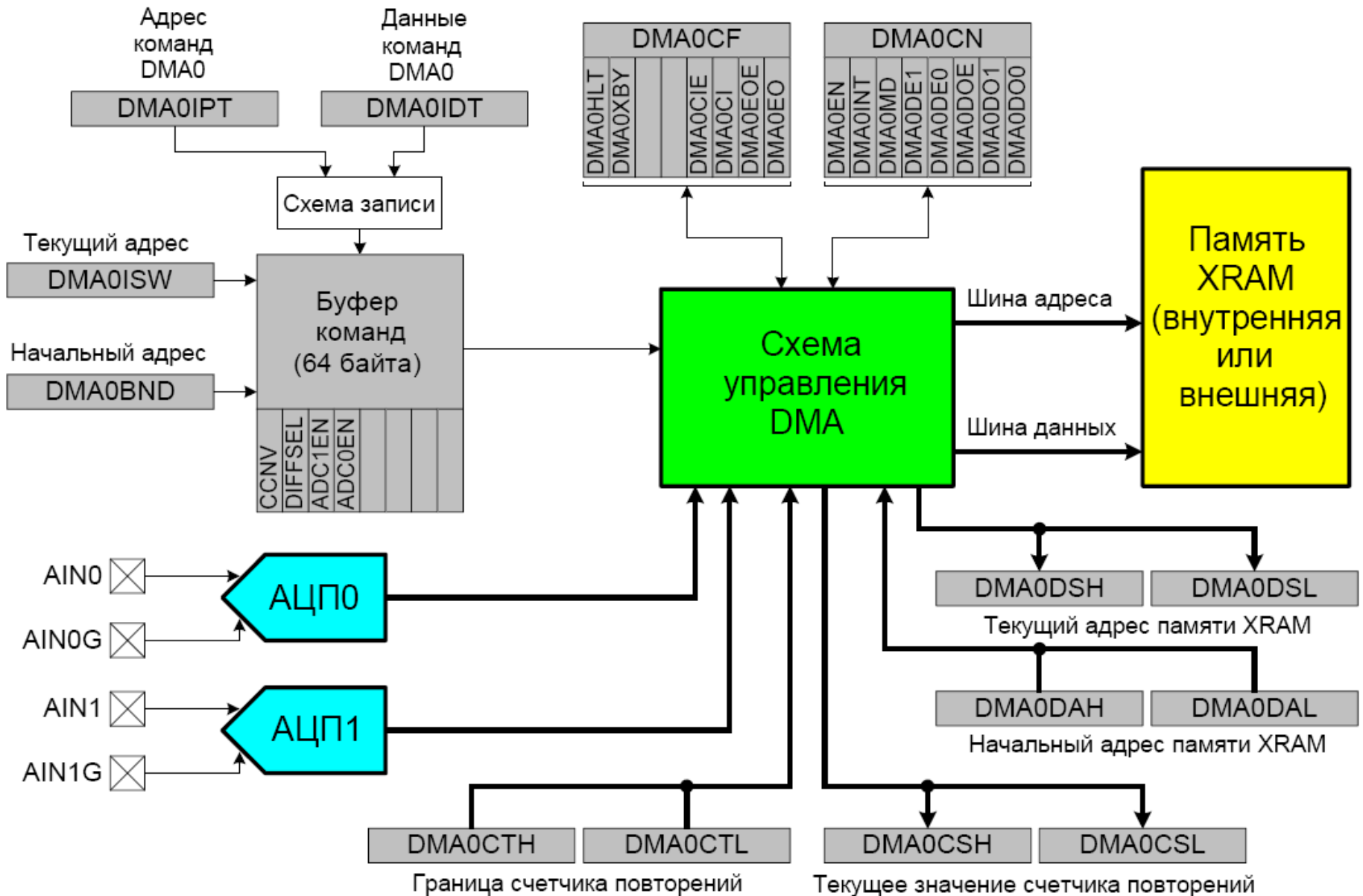
ADC0LTH:ADC0LTL = 0xFFFF,

ADC0GTH:ADC0GTL = 0x1000.

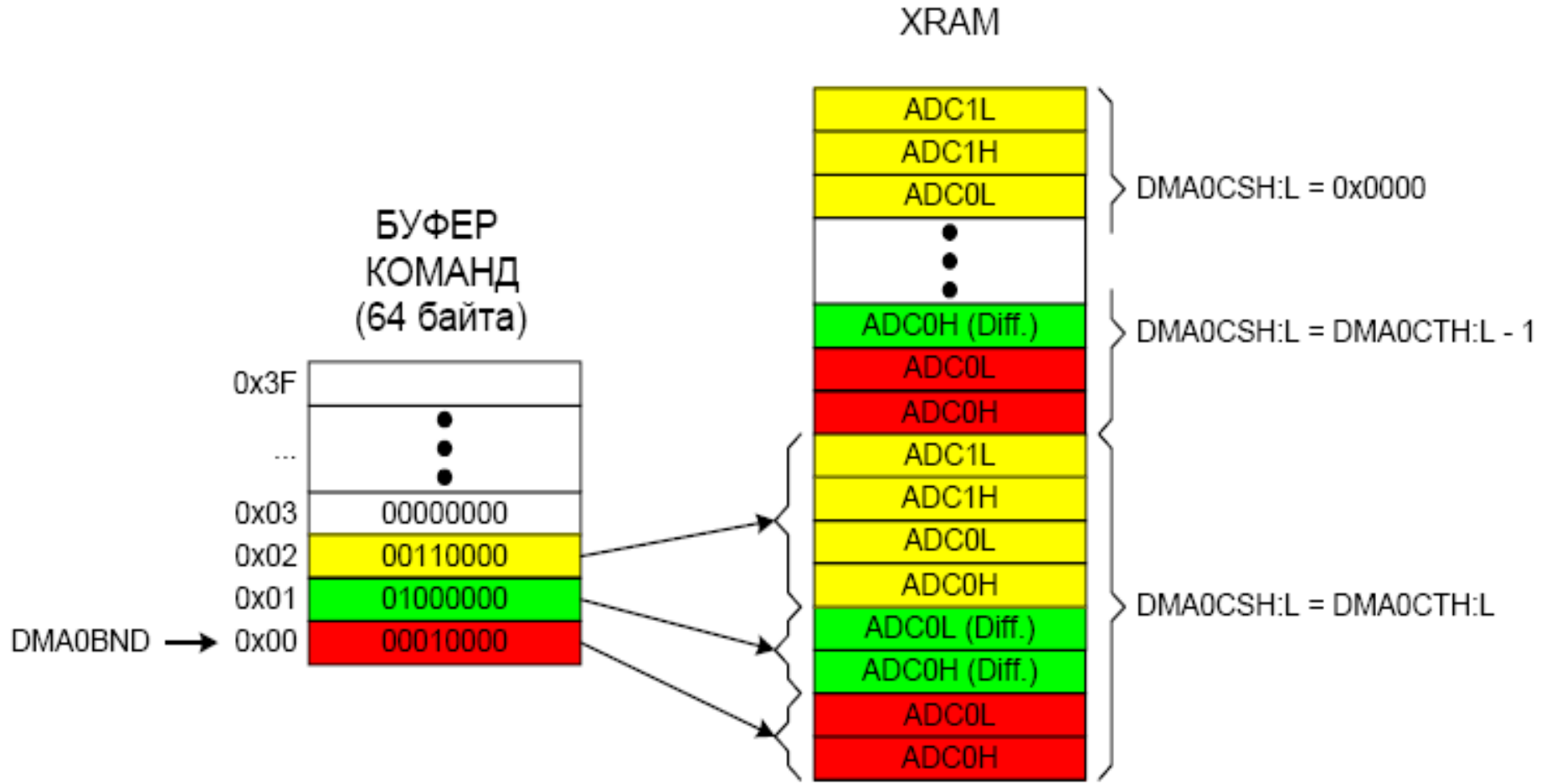
По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT = '1'), если полученное слово данных АЦПО < 0xFFFF или > 0x1000.

(Используется дополнительный код, т.е 0xFFFF = -1).

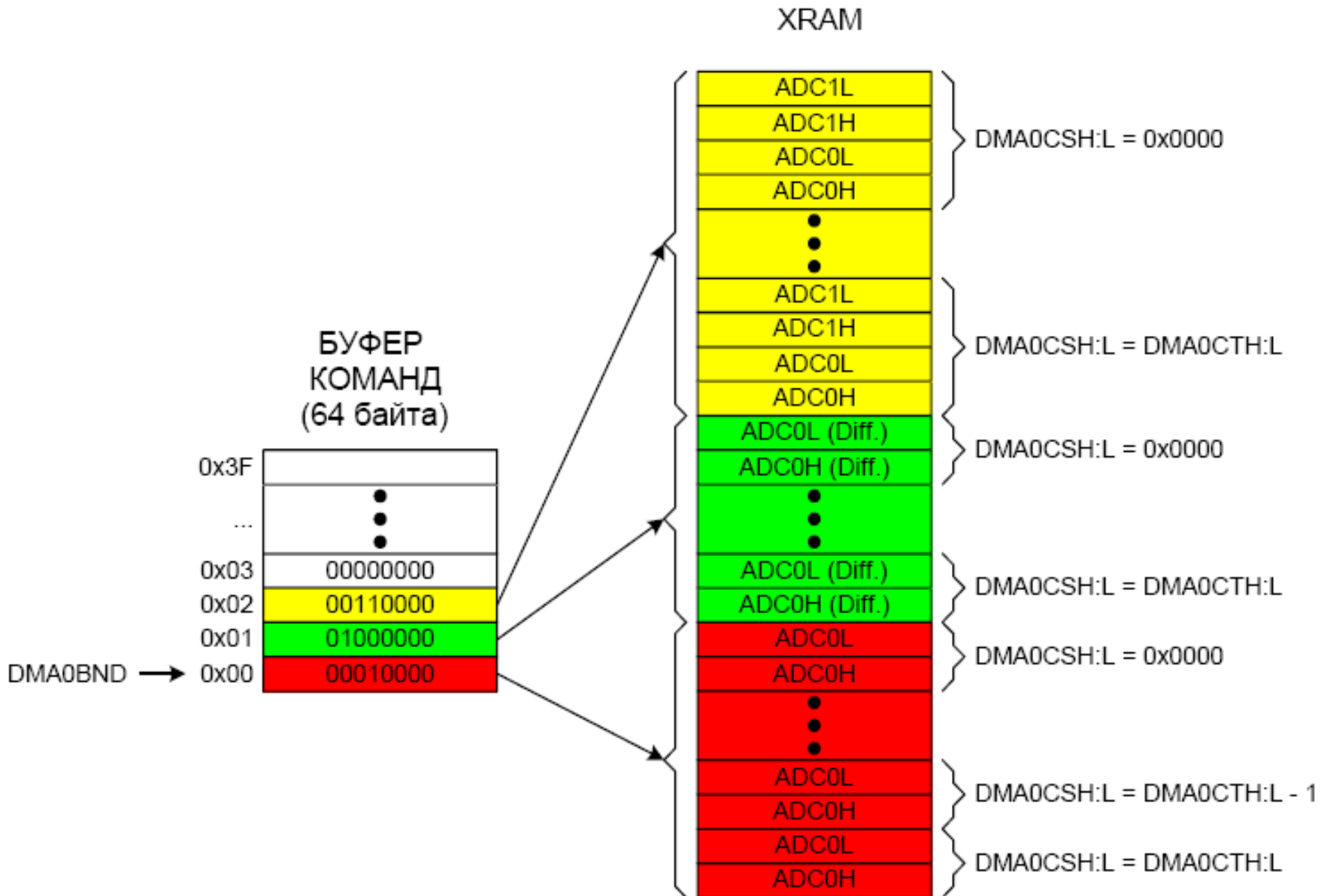
Структурная схема DMA0



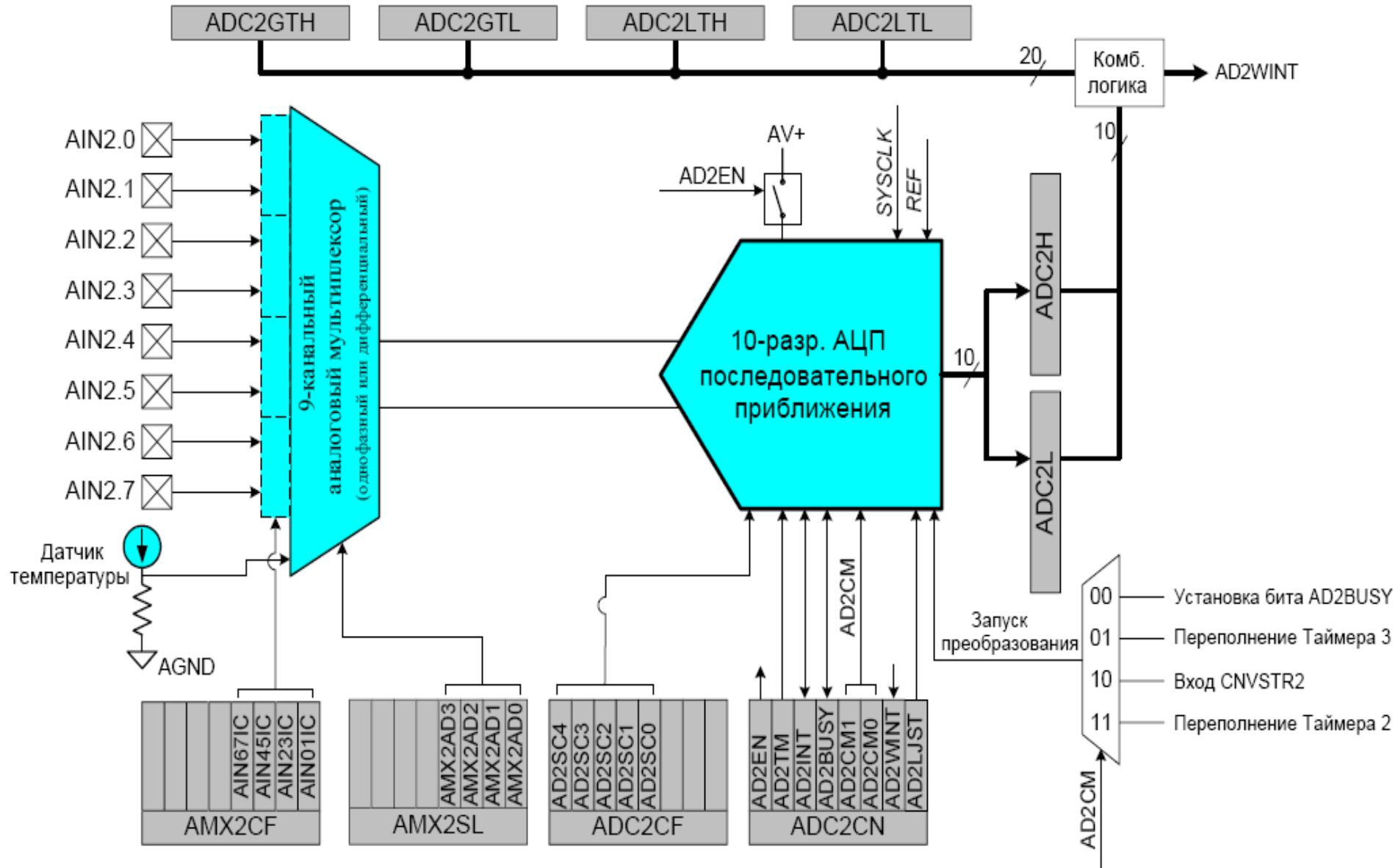
Функционирование DMA в режиме 0



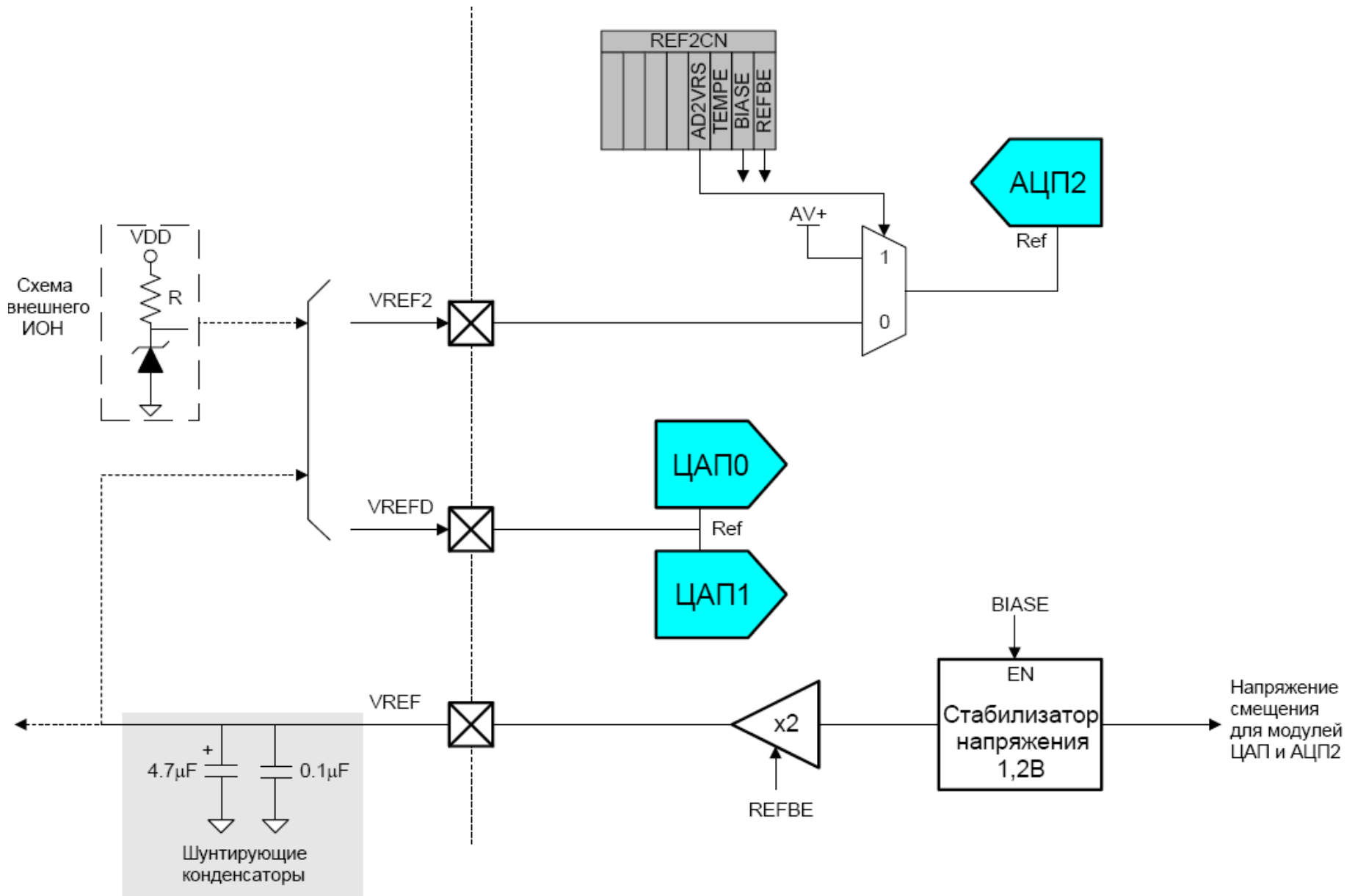
Функционирование DMA в режиме 1



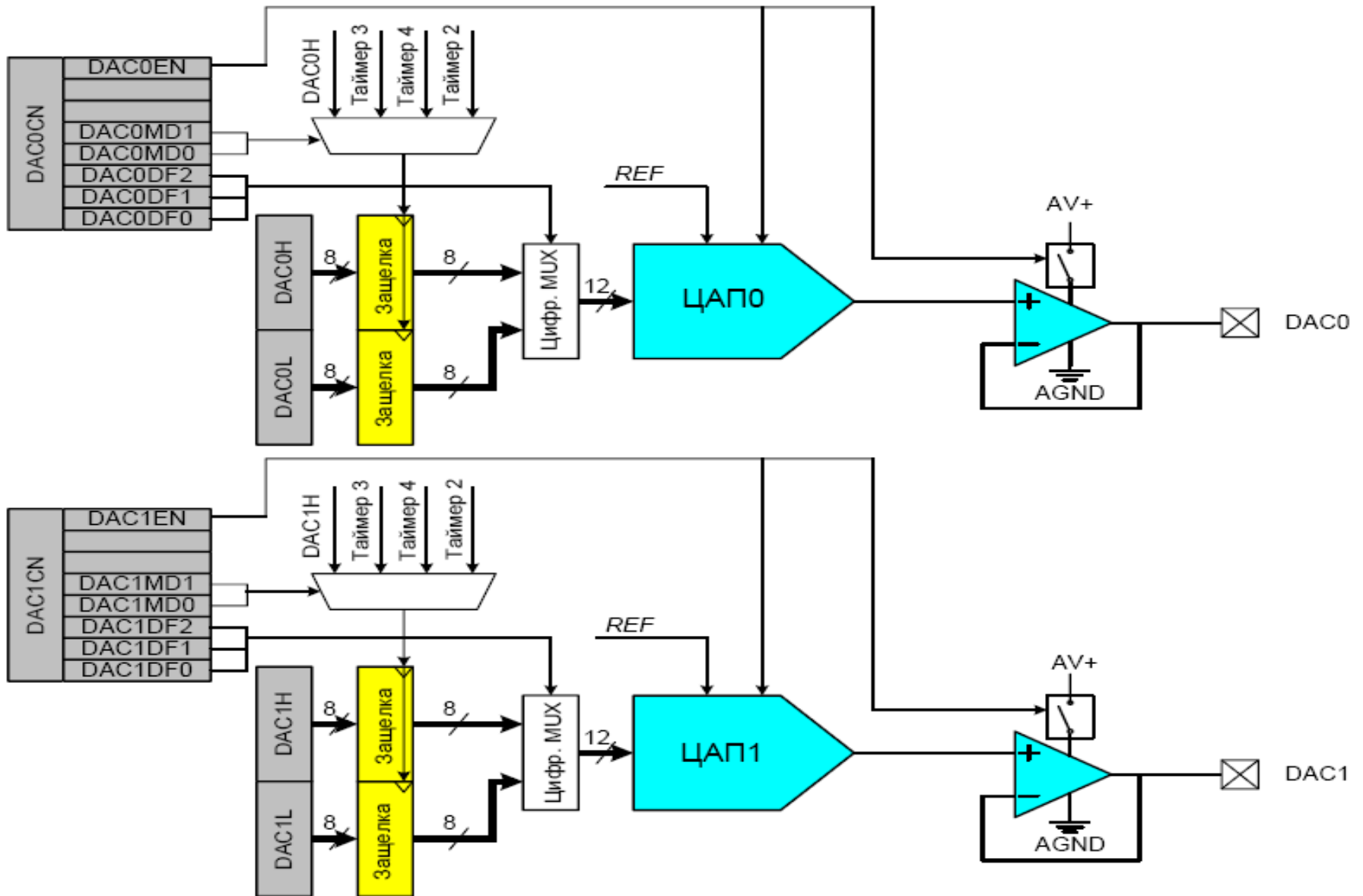
Функциональная схема 10-разрядного АЦП



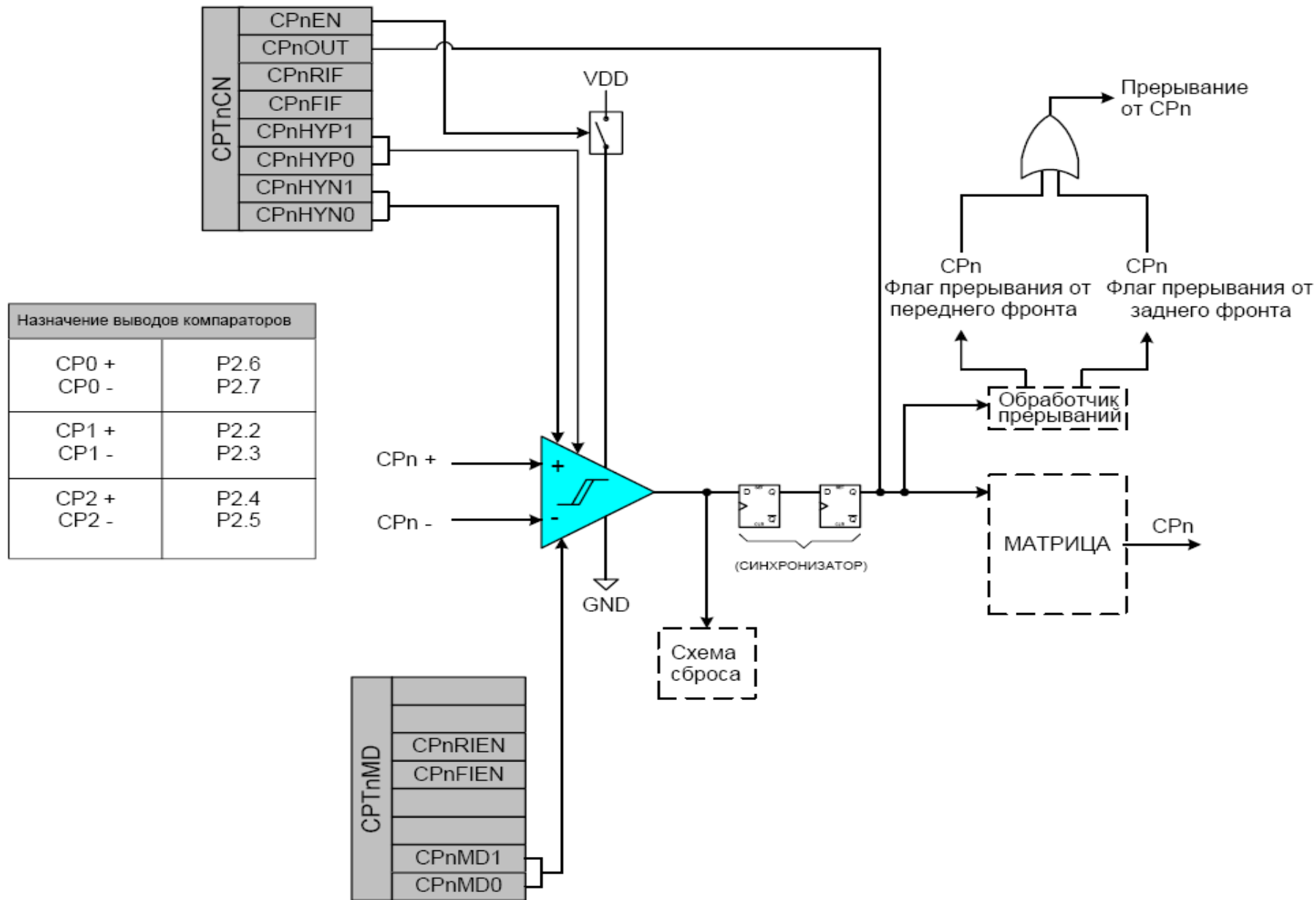
Функциональная схема источника опорного напряжения



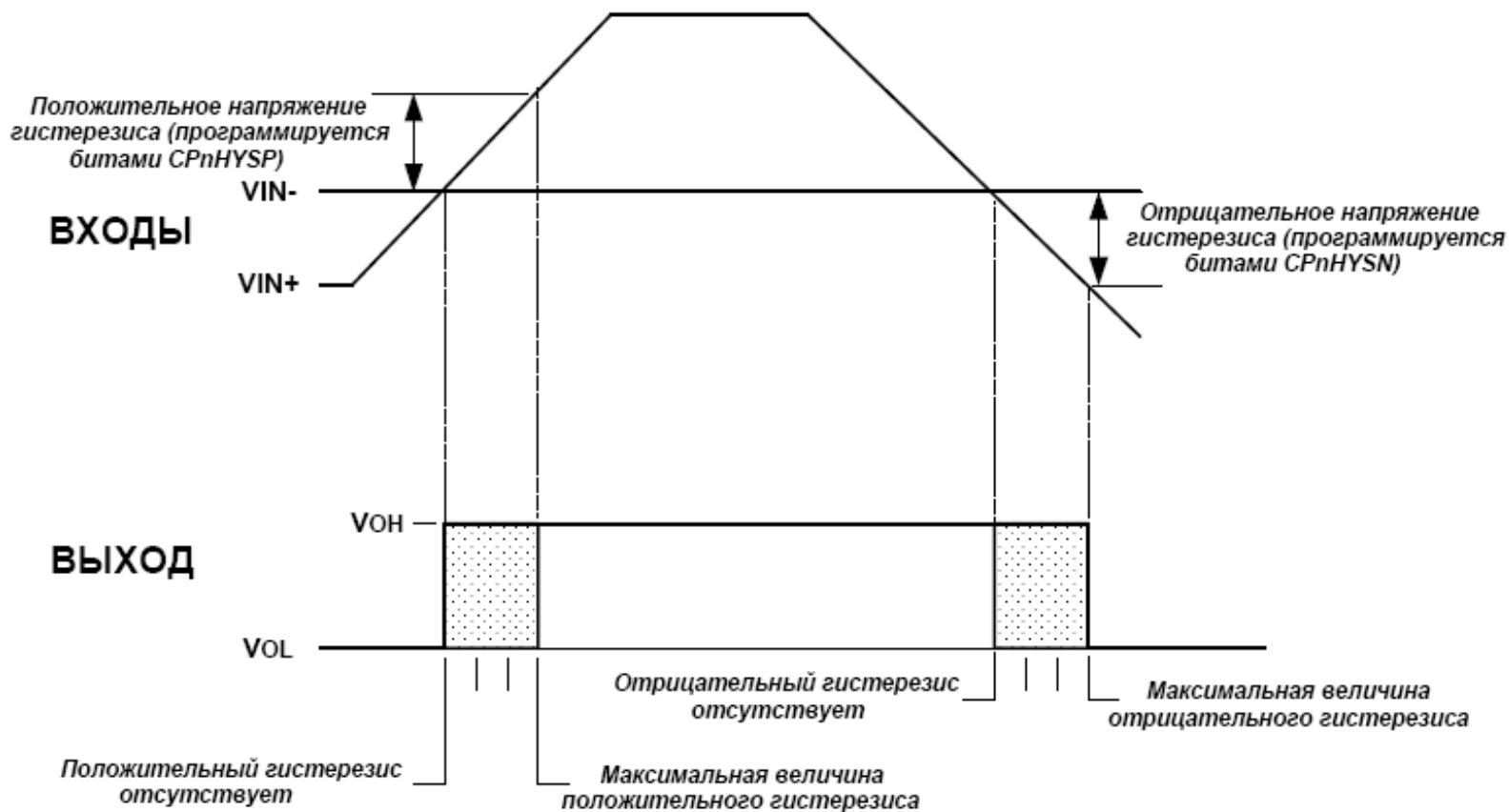
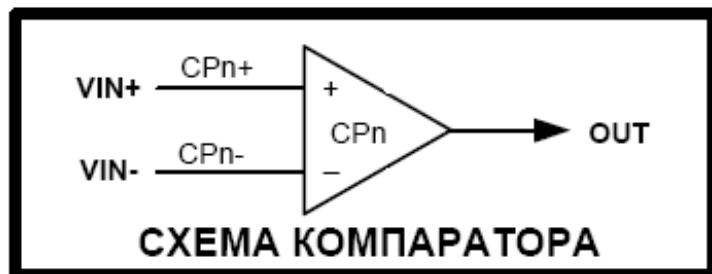
Функциональная схема ЦАП.



Функциональная схема компаратора

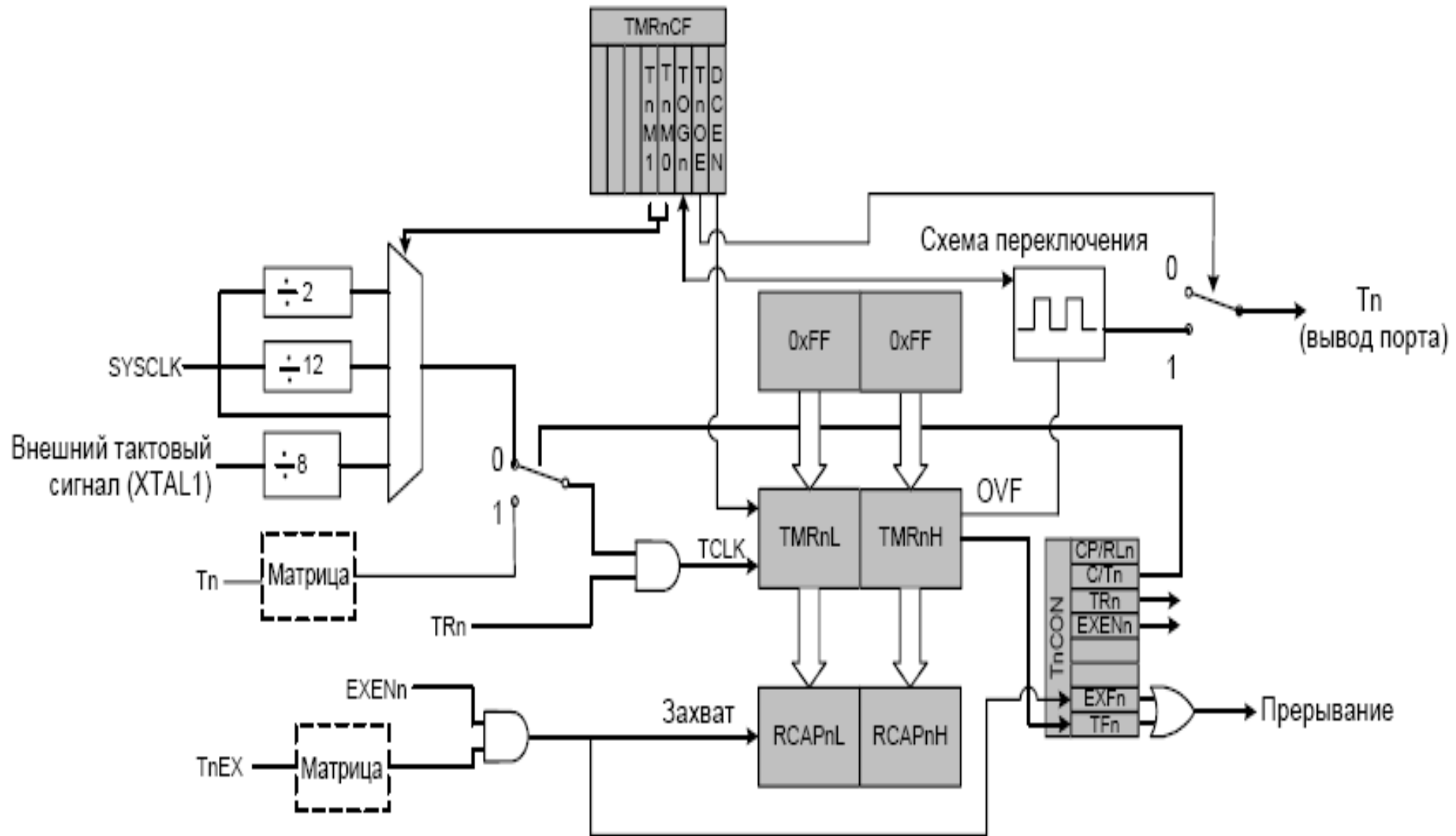


Гистерезис компаратора

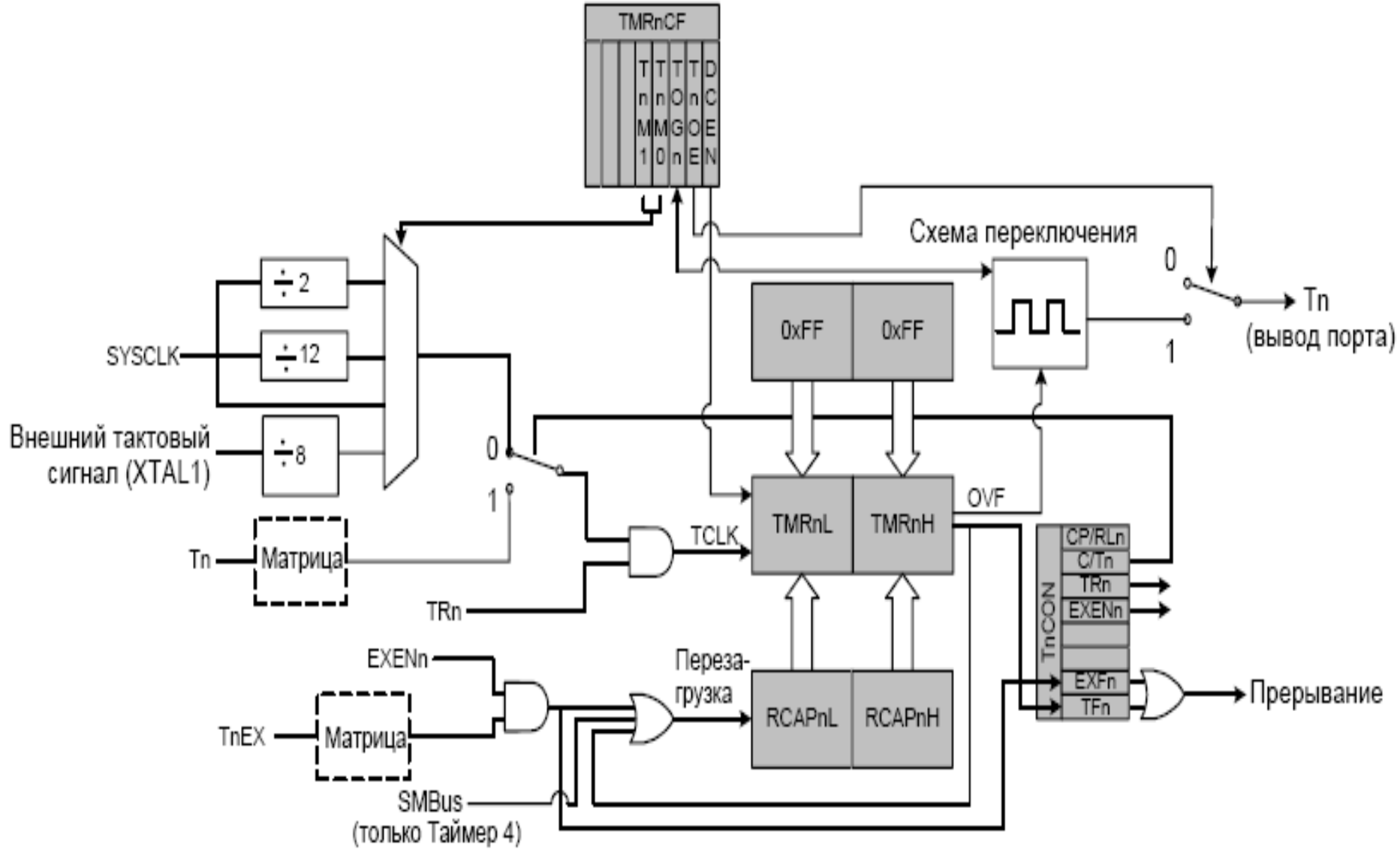


ТАЙМЕРЫ

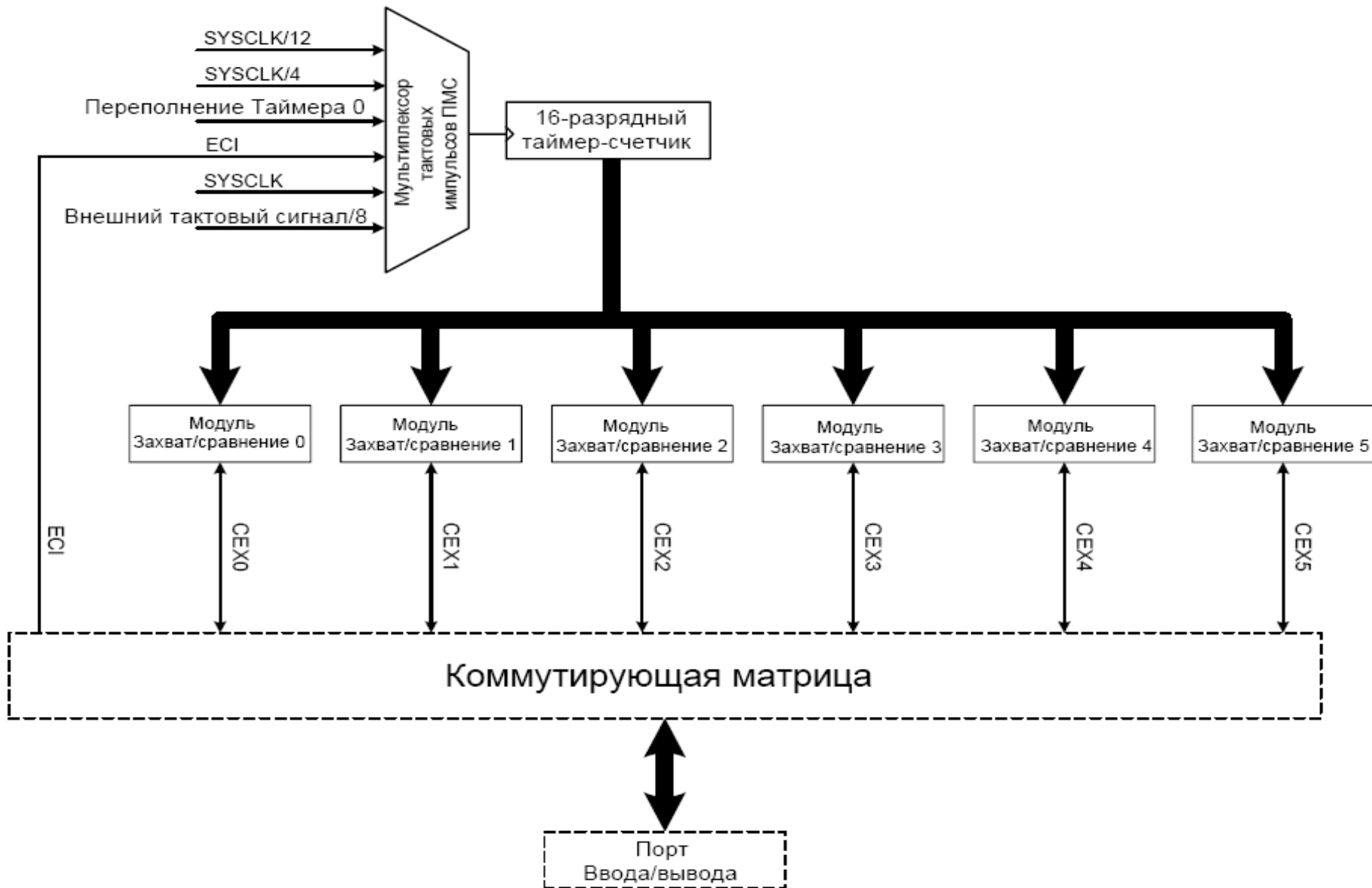
Структурная схема Таймера n в режиме захвата



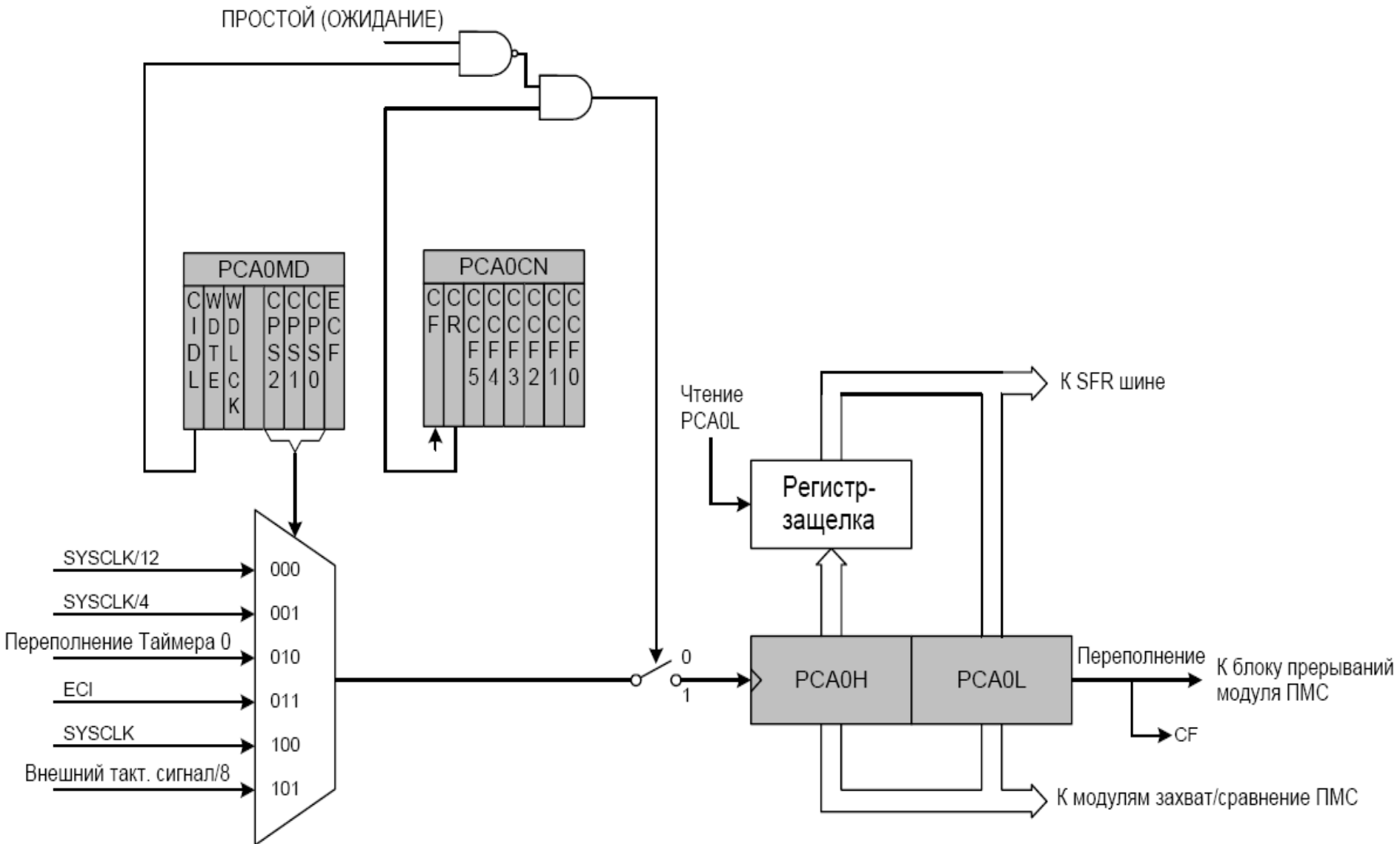
Структурная схема Таймера *n* в режиме автоперезагрузки



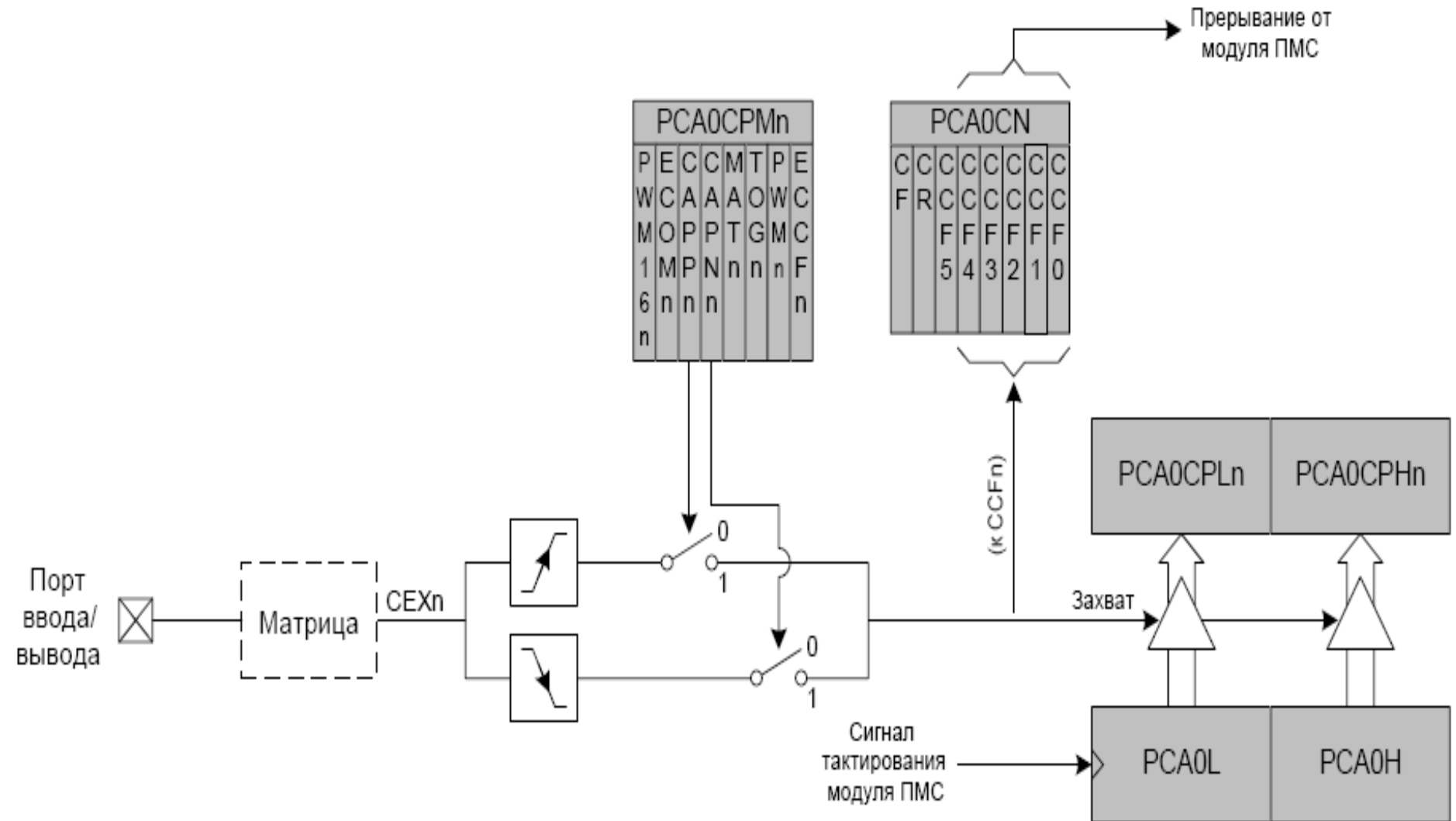
Структурная схема программируемого массива счетчиков ПМС



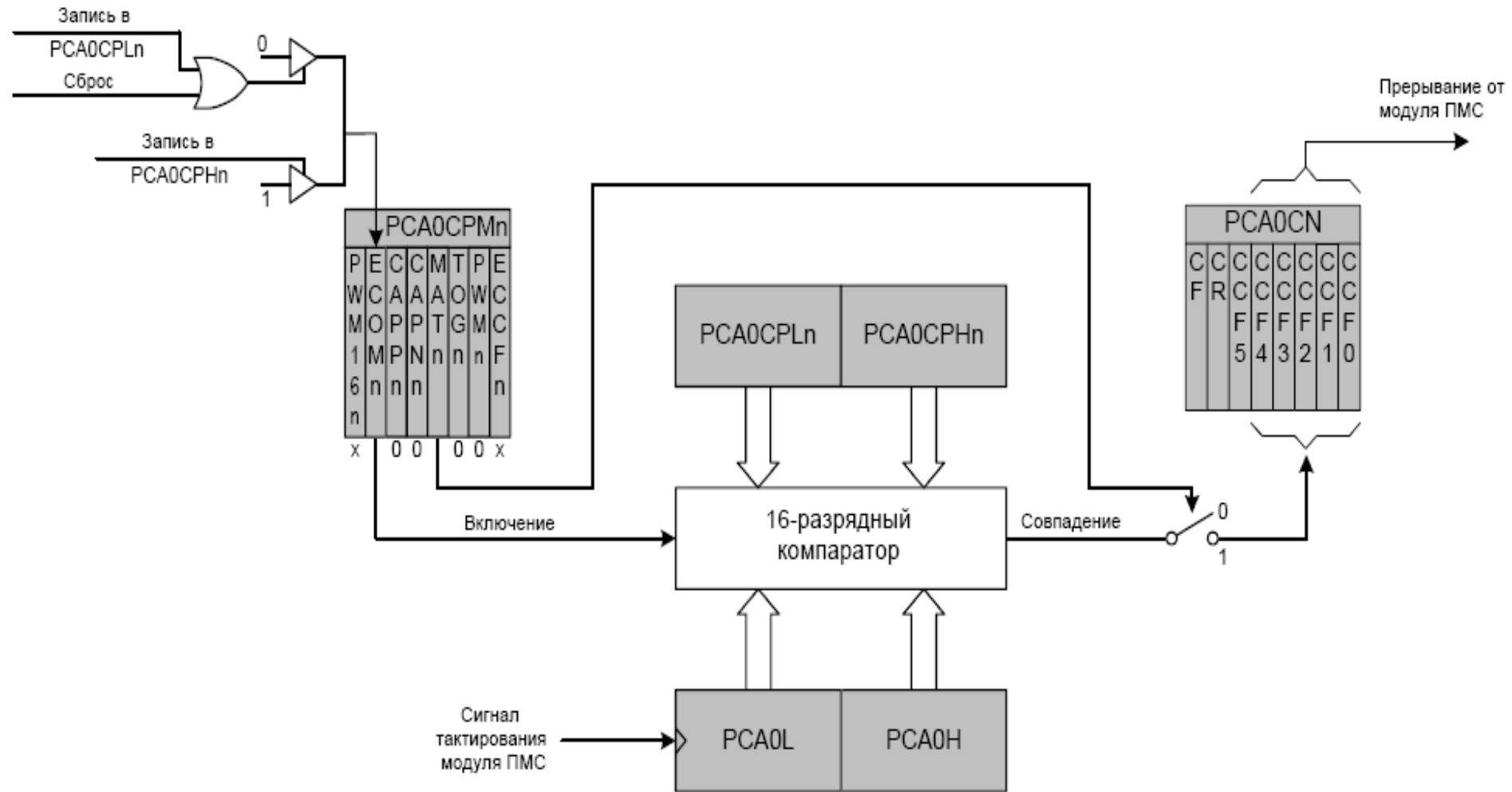
Структурная схема таймера/счетчика модуля ПМС



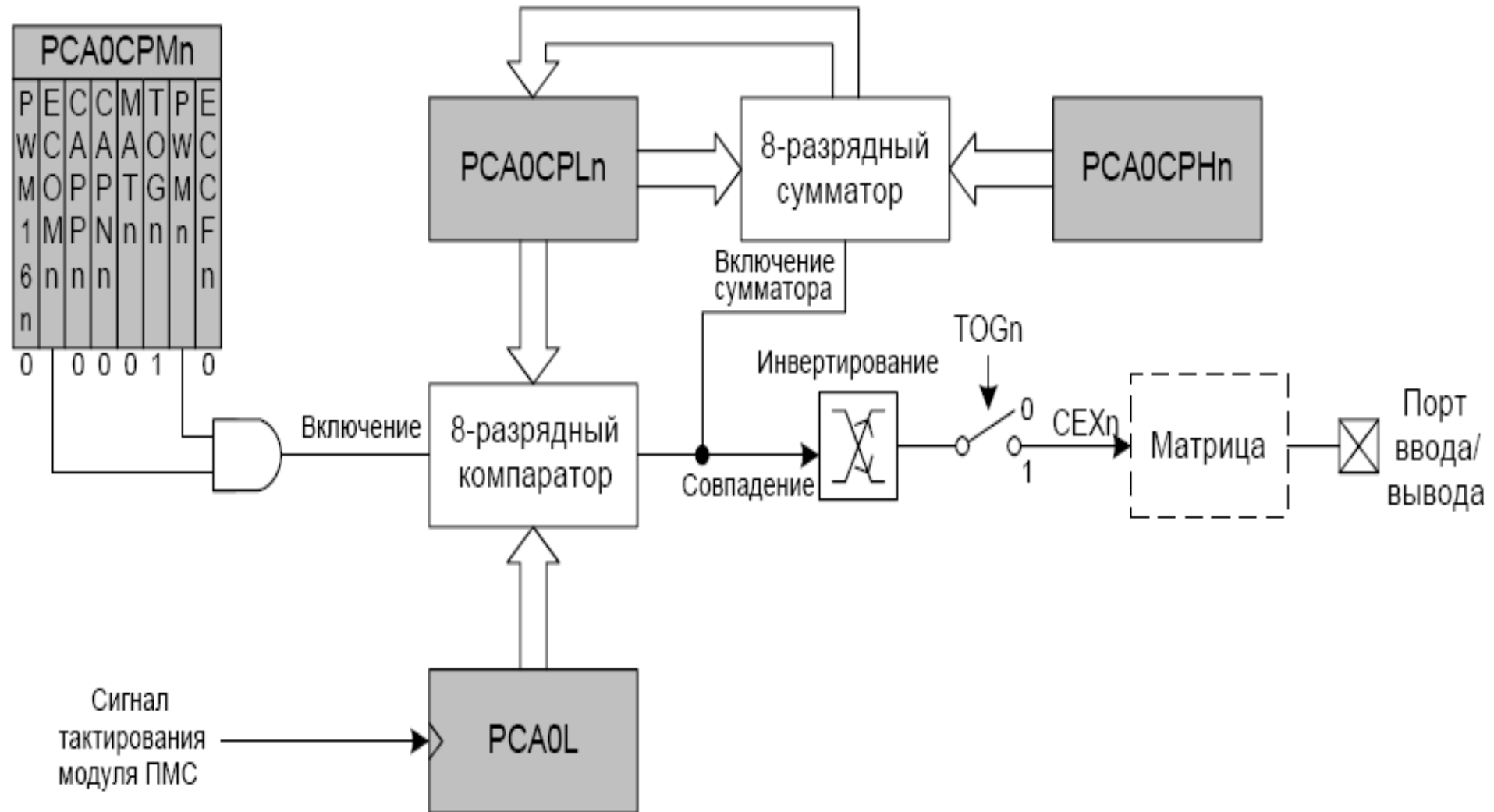
Структурная схема ПМС в режиме захвата



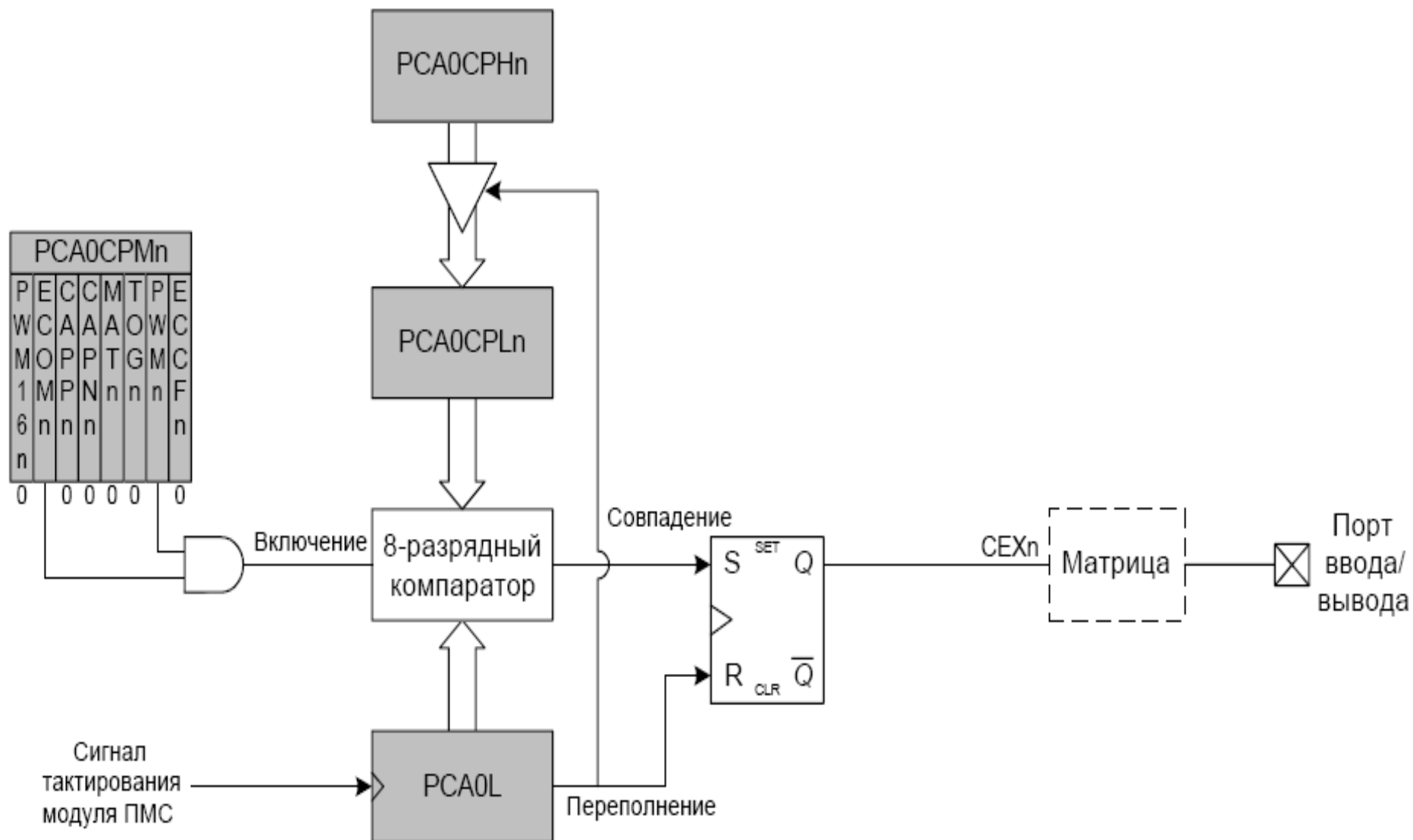
Структурная схема ПМС в режиме программного таймера



Структурная схема ПМС в режиме выхода заданной частоты



Структурная схема ПМС в режиме 8-разр. ШИМ



Структурная схема ПМС в режиме 16-разр. ШИМ

