

ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ПЛИС)

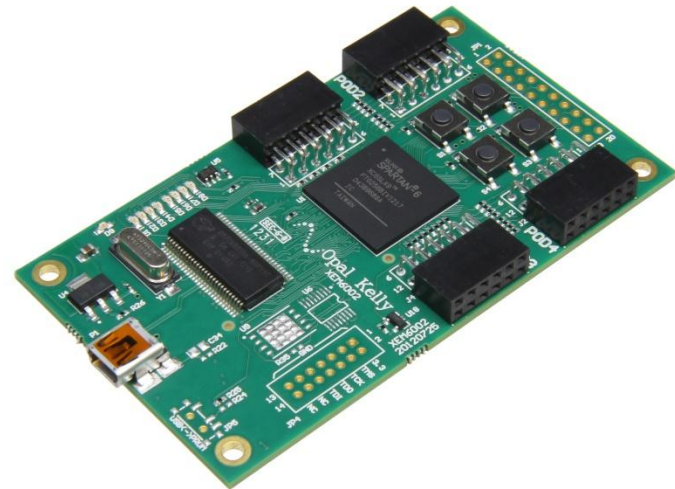
ма (ПЛИС, англ. programmable logic device, PLD) — электронный компонент, используемый для создания цифровых интегральных схем. В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся посредством программирования.

Здесь под программируемостью понимается возможность изменения внутренней структуры ИС таким образом, чтобы она обеспечивала реализацию заданных функций алгебры логики (ФАЛ) на аппаратном уровне.



Структура ПЛИС основана на ФАЛ (булевой алгебры) и содержит следующие логические элементы:

- логическое «И» (конъюнкторы);
- логическое «ИЛИ» (дизъюнкторы);
- логическое «НЕ» (инверторы);
- буферные элементы с прямыми, инверсными и тристабильными выходами;
- «Исключающее ИЛИ»;
- триггеры D- и T-типа;
- мультиплексоры конфигурации.



Поскольку любая логическая функция может быть представлена в виде суммы произведений — дизъюнктивной нормальной формы (ДНФ), базовыми структурными компонентами ПЛИС являются матрицы элементов «И» и «ИЛИ».

На выходе матриц расположены так называемые макроячейки (Macrocells), конфигурация которых зависит от типа ПЛИС. Макроячейки могут содержать различные триггеры, тристабильные буферы, элементы управления полярностью сигнала и др. Пути прохождения сигнала в макроячейке (конфигурация) могут быть жестко заданы структурой ПЛИС или управляться посредством мультиплексоров. Размерность логических матриц и конфигурация макроячеек определяют степень интеграции и функциональные возможности ПЛИС. ПЛИС также содержат многочисленные обратные связи (ОС), позволяющие использовать текущие состояния и формировать последовательностные автоматы различных классов.



Рис.1 Обобщенная структурная схема ПЛИС.

Основным программируемым компонентом ПЛИС являются логические матрицы. Изначально они обеспечивают соединение любого сигнала со входа или ОС с любым конъюнктом или дизъюнктом. В зависимости от требуемых логических функций некоторые из этих соединений разрываются, а некоторые остаются и служат для коммутации сигналов. Возможность разрыва обеспечивается наличием программируемого элемента (перемычки) в местах соединения сигнальных линий. В зависимости от технологии изготовления ПЛИС перемычка представляет собой плавкую металлическую перемычку или ячейку памяти.

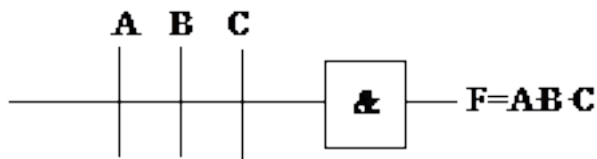


Рис. 2 условно изображен один из конъюнкторов матрицы «И». В ПЛИС такой конъюнктор называется термом. В «чистом» (незапрограммированном) состоянии каждый из сигналов А, В, С является входом конъюнктора, образуя логическую функцию «ЗИ».

Разрывая одну или несколько перемычек (на рисунках они обозначаются символом "X"), можно получить любую конъюнкцию от этих сигналов.

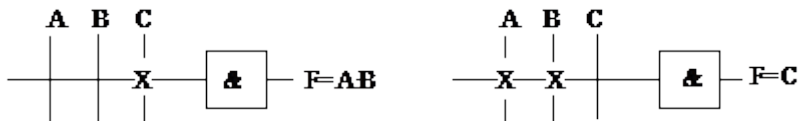


Рис.3 Пример реализации возможной логической функции .

В ПЛИС каждый терм содержит не только прямые, но и инверсные линии сигналов. В общей сложности количество входов каждого терма достигает 100 и выше.

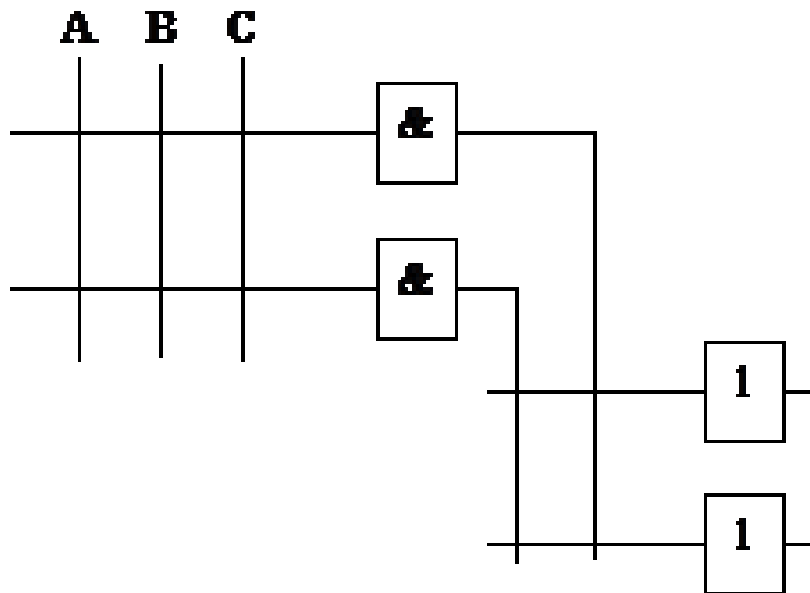


Рис.4 Матрицы логического «ИЛИ» в ПЛИС бывают двух видов: программируемые и фиксированные. Программируемые матрицы «ИЛИ» аналогичны матрице «И» и изначально коммутируют любой терм с любым дизъюнктом .

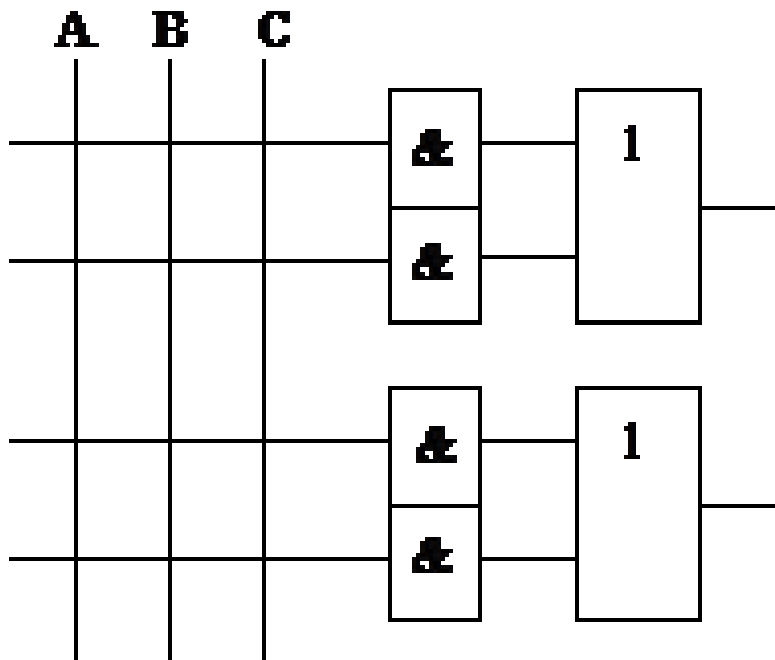
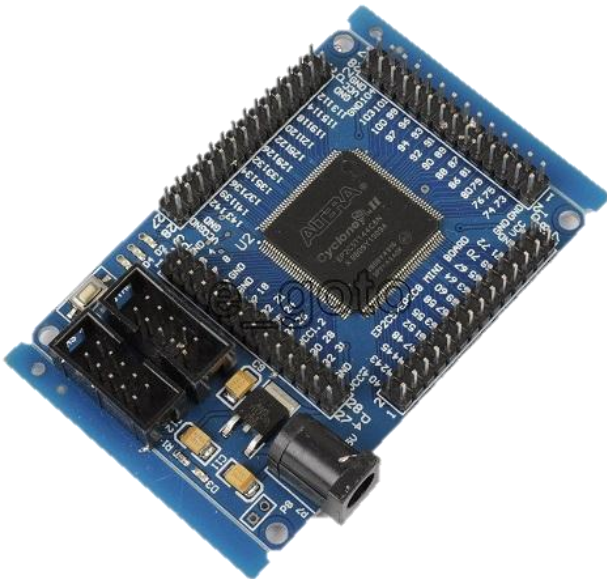


Рис.5 Фиксированные матрицы «ИЛИ» обеспечивают соединение каждого дизъюнктора со строго определенными термами. Количество таких термов, как правило, составляет от 8 до 16. Фиксированные матрицы «ИЛИ» менее универсальны, но проще и понятнее для проектирования.

Классификация

Наибольший интерес представляет классификация ПЛИС по структурам, т.к. она дает наиболее полное представление о классе задач. Основным критерием такой классификации является наличие, вид и способы коммутации логических матриц. По этому признаку можно выделить следующие классы ПЛИС:

- программируемые логические матрицы (ПЛМ);
- программируемая матричная логика (ПМЛ);
- программируемая макрологика (ПМ);
- программируемые коммутируемые матричные блоки (ПКМБ);
- программируемые вентильные матрицы (ПВМ).



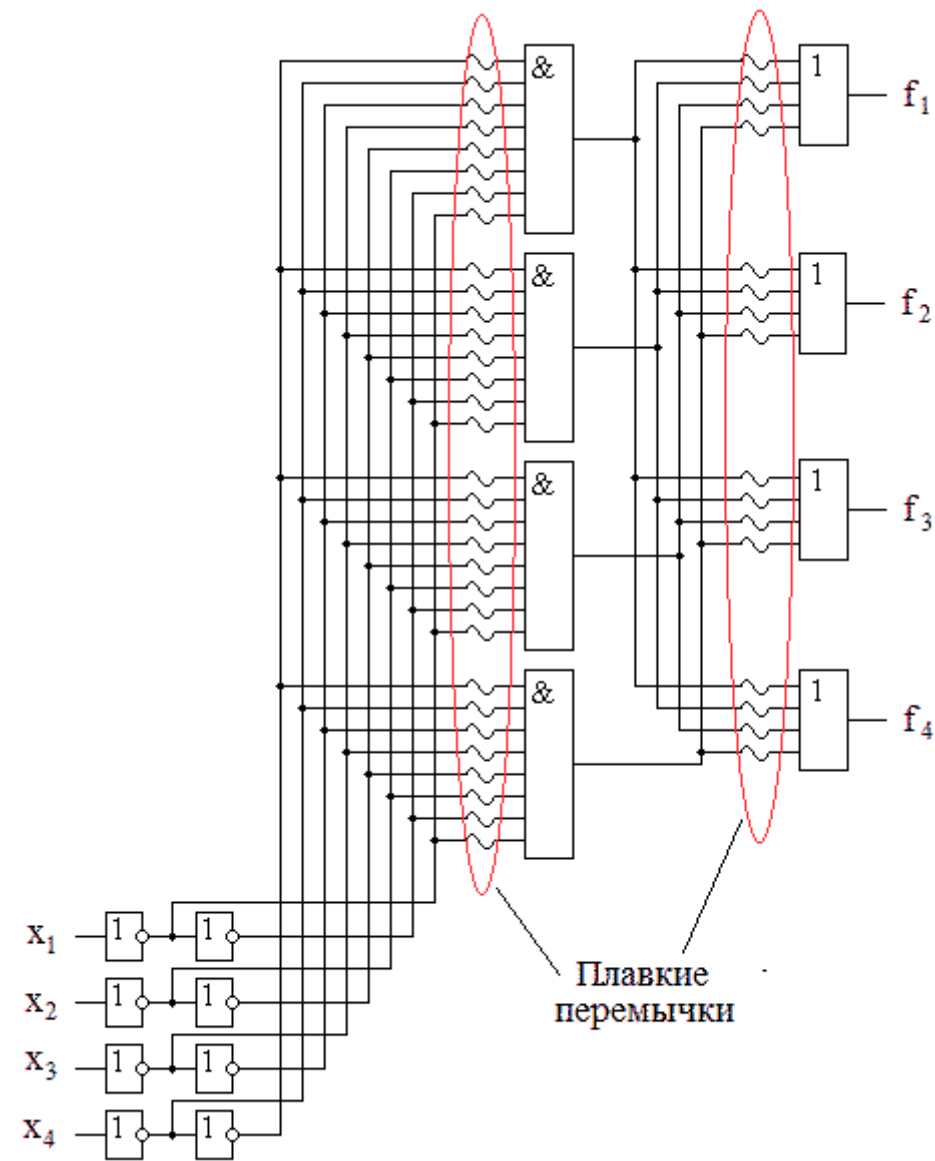


Рис.6 Пример ПЛМ

Программируемые логические матрицы

— наиболее традиционный тип ПЛИС, имеющий программируемые матрицы «И» и «ИЛИ». В зарубежной литературе соответствующими этому классу аббревиатурами являются FPLA (Field Programmable Logic Array) и FPLS (Field Programmable Logic Sequencers). Примерами таких ПЛИС могут служить отечественные схемы К556РТ1, РТ2, РТ21.

Недостатком структуры ПЛМ является слабое использование ресурсов программируемой матрицы ИЛИ. Поэтому была предложена более простая, но тем не менее, более эффективная архитектура программируемой матричной логики (ПМЛ). В английской терминологии - Programmable Array Logic (PAL).

Программируемая матричная логика (зарубежная аббревиатура — PAL — Programmable Array Logic) — это ПЛИС, имеющие программируемую матрицу «И» и фиксированную матрицу «ИЛИ».

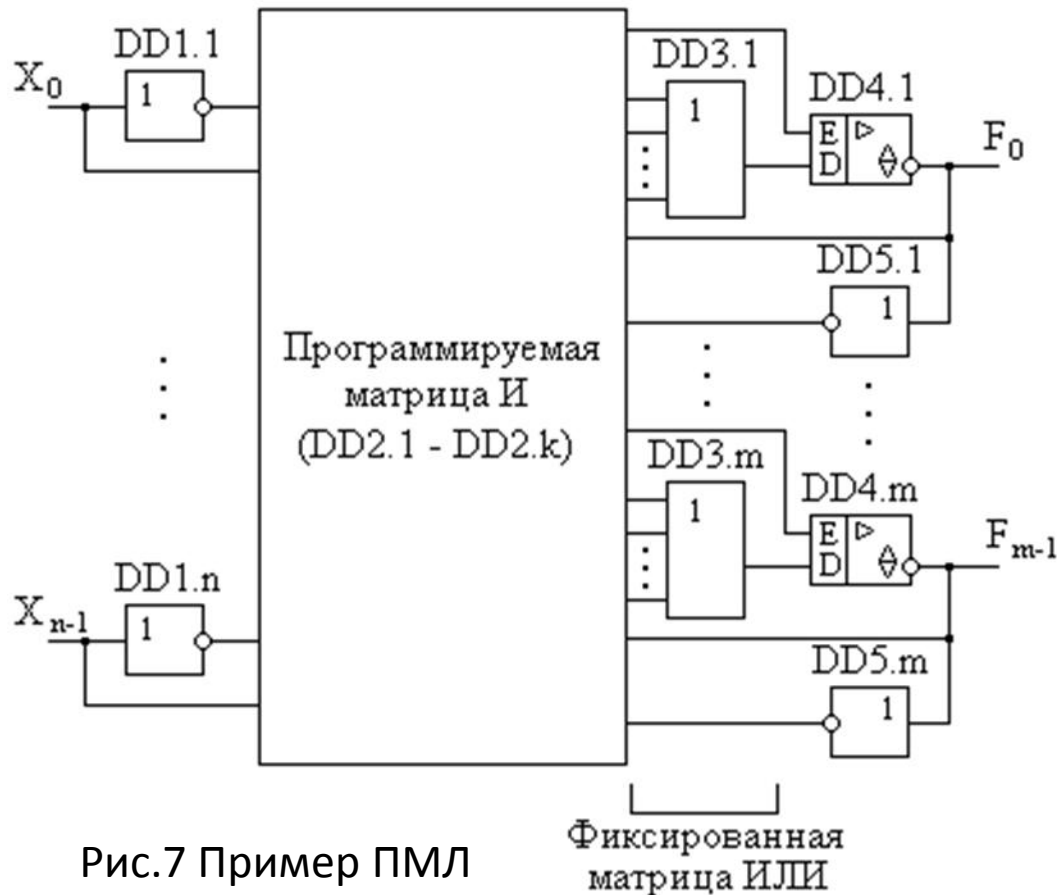


Рис.7 Пример ПМЛ

К этому классу относятся большинство современных ПЛИС. В качестве примеров можно привести отечественные ИС КМ1556ХП4, ХП6, ХП8, ХЛ8, ПЛИС фирм INTEL, ALTERA, AMD, LATTICE и др. Разновидностью класса ПМЛ являются ПЛИС, имеющие только одну (программируемую) матрицу «И», например, схема 85C508 фирмы INTEL.

Из рисунка видно, что входы элементов ИЛИ DD3 являются не коммутируемыми. Таким образом, на каждый вход текущего элемента ИЛИ подается технологически определенный выход элемента И программируемой матрицы И.

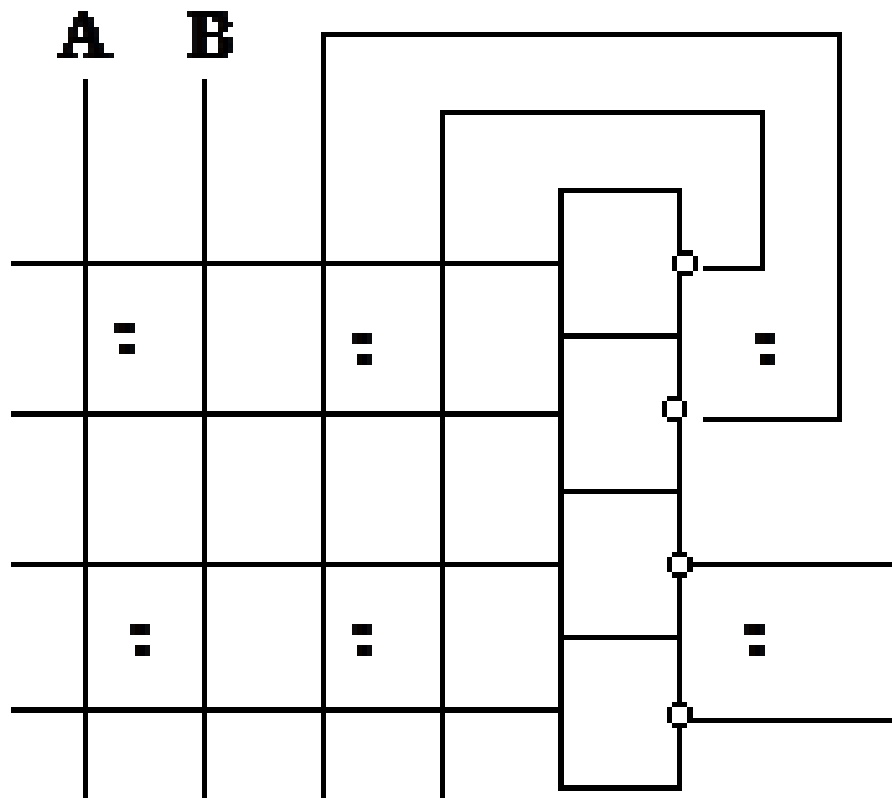


Рис.8 Пример Программируемой макро логики

Программируемая макрологика — ПЛИС, содержащие одну программируемую матрицу «И-НЕ» или «ИЛИ-НЕ», но за счет многочисленных инверсных ОС способные формировать сложные логические функции.

К этому классу относятся, например, ПЛИС PLHS501 и PLHS502 фирмы SIGNETICS, имеющие матрицу «И-НЕ», а также схема XL78C800 фирмы EXEL, основанная на матрице «ИЛИ-НЕ»

Программируемые коммутируемые матричные блоки — это ПЛИС, содержащие несколько (обычно 4—8) матричных логических блоков (МЛБ), объединенных коммутационной матрицей. Каждый МЛБ представляет собой структуру типа ПМЛ, т.е. программируемую матрицу «И», фиксированную матрицу «ИЛИ» и макроячейки. ПЛИС типа ПКМБ, как правило, имеют высокую степень интеграции (до 20000 вентилей).

К этому классу относятся ПЛИС семейства MAX5000, MAX7000, и MAX9000 фирмы ALTERA, схемы семейств XC72xx, XC73xx и XC95xx фирмы XILINX.

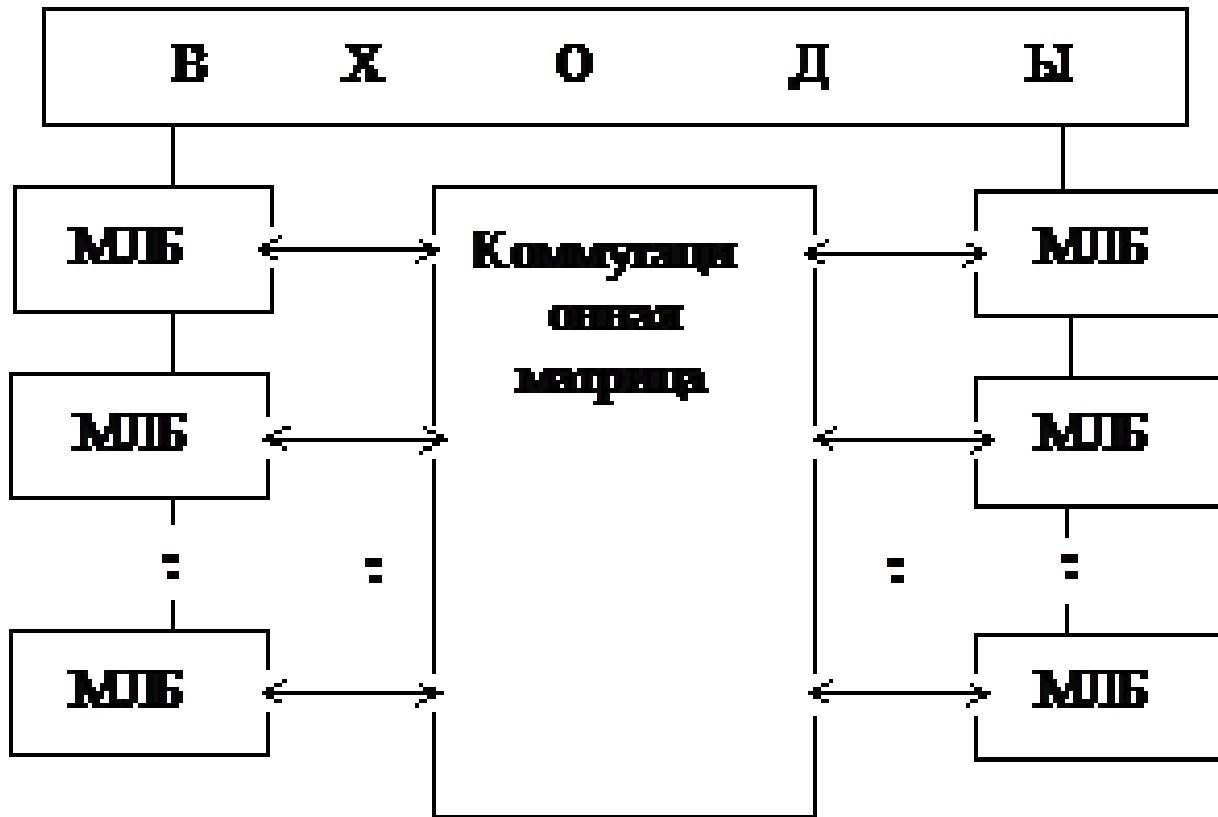


Рис.9 Пример ПЛМБ

Программируемые вентиляные матрицы (ПВМ), состоят из логических блоков (ЛБ) и коммутирующих путей - программируемых матриц соединений. Логические блоки таких ПЛИС состоят из одного или нескольких относительно простых логических элементов, в основе которых лежит таблица перекодировки (ТП, Look-up table - LUT), программируемый мультиплексор, D-триггер, а также цепи управления.

Применение: ПВМ используются, главным образом, для разработки счетных структур с минимальным комбинационным обрамлением. К ПВМ классу относятся схемы фирм XILINX, ACTEL, а также семейства FLEX8000, FLEX10K и FLEX6000 фирмы ALTERA.

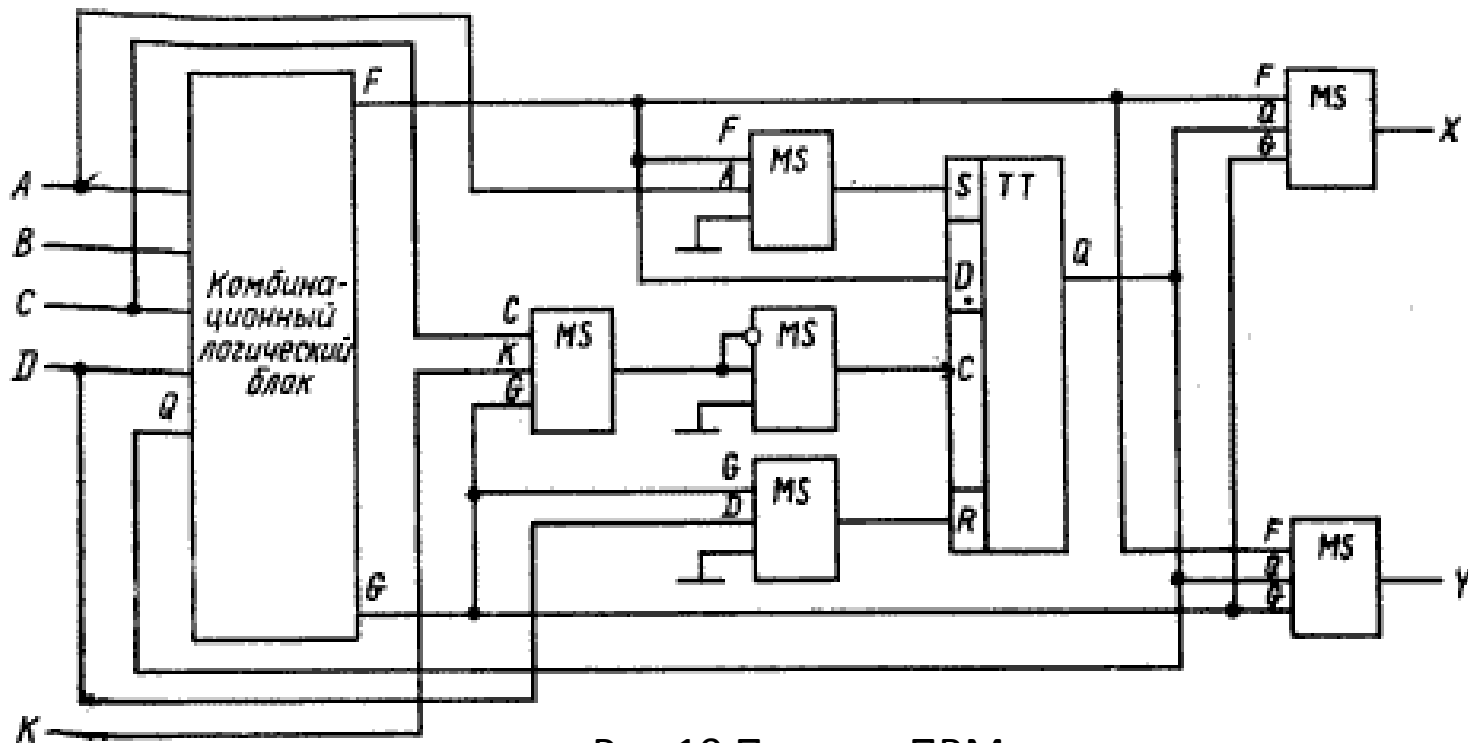
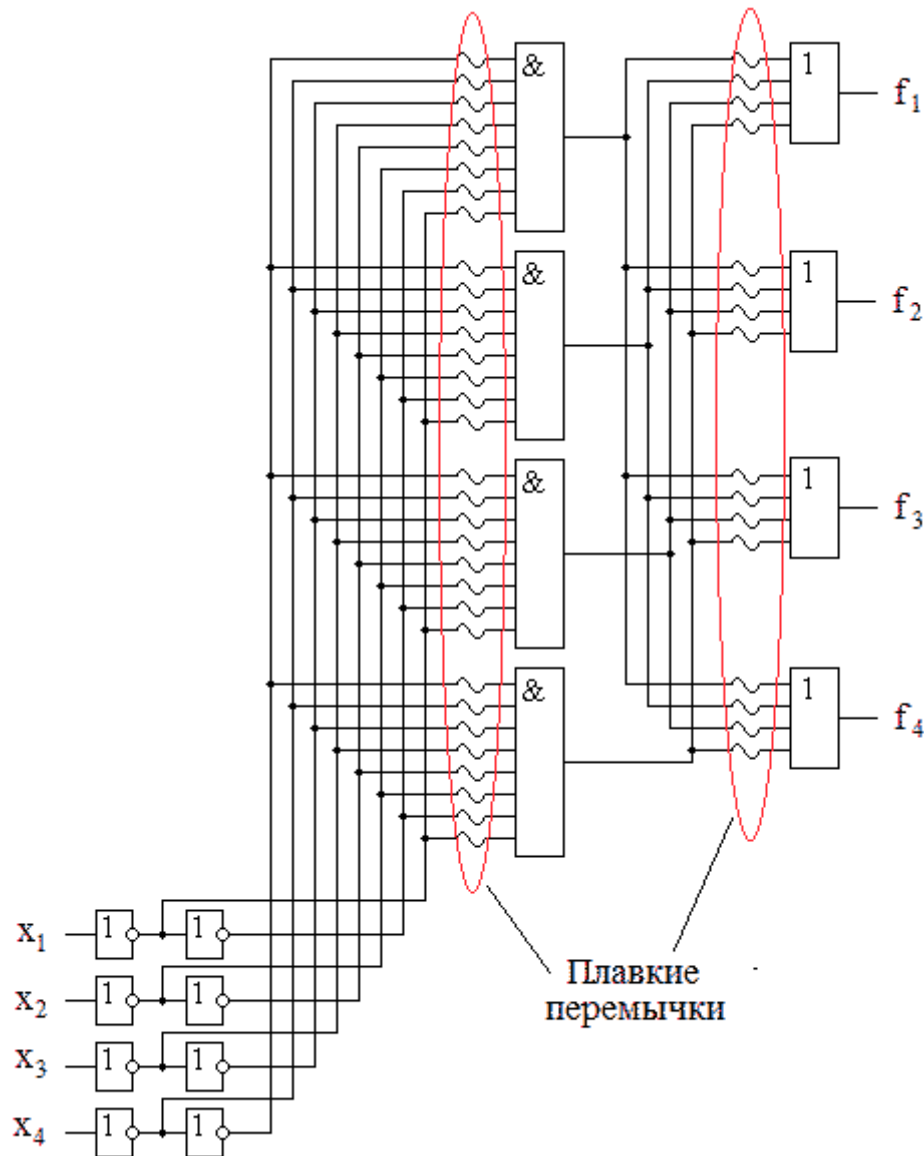


Рис.10 Пример ПВМ

2.ПЛМ(ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ МАТРИЦЫ, ПЛМ)- PROGRAMMABLE LOGIC ARRAY



Основная идея работы ПЛМ заключается в реализации логической функции, представленной в совершенной дизъюнктивной нормальной форме (СДНФ).

Комбинации переменных, при которых функция истинна называют **минтермами**.

Рис.11 Обобщенная структура программируемых логических матриц (ПЛМ)

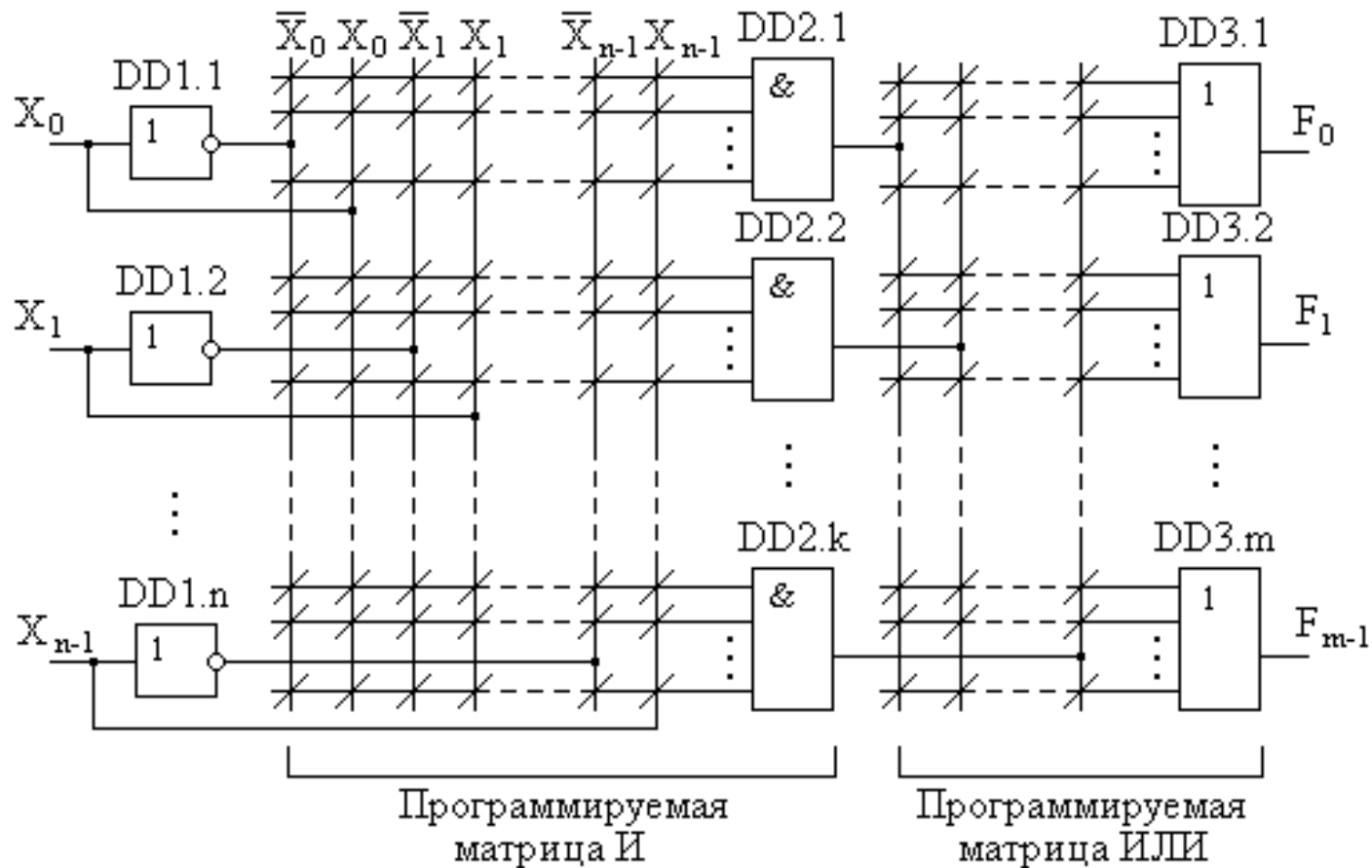
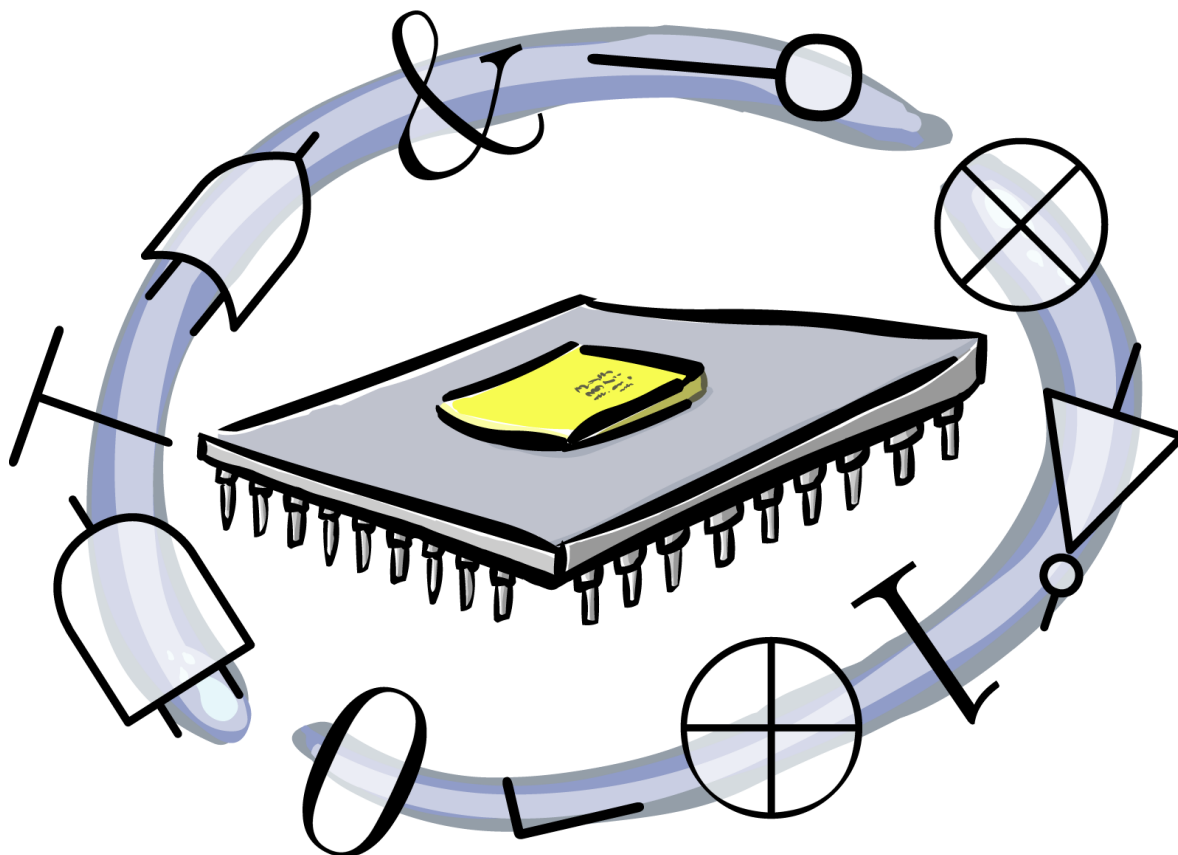


Рис.12 Фрагмент структурной схемы ПЛМ.

В структурах ПЛИС кривой линией принято выделять наличие электрического соединения пересекаемых шин. В зависимости от технической реализации программирования контакта ПЛИС бывают **прожигаемые** и **перепрограммируемые**.

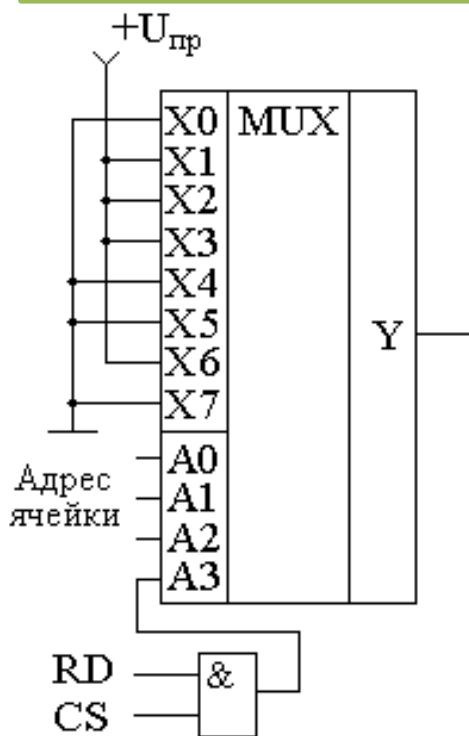
Прямые и инверсные значения всех n входных переменных образуют столбцы программируемой матрицы И. Строки этой матрицы образуются n -входовыми элементами И DD2. В общем случае, если предположить, что выходная функция F на всех наборах входных переменных принимает единичные значения, то таких элементов И по числу конstituент единицы должно быть $k = 2^n$.



Конституент единицы – это функция n аргументов, которая принимает значение, равное единице, только на одном наборе аргументов. На всех остальных наборах она равна нулю.

1.ПЗУ (ПОСТОЯННЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА (ROM ,READ ONLY MEMORY — ПАМЯТЬ ДОСТУПНАЯ ТОЛЬКО ДЛЯ ЧТЕНИЯ)

Для различных целей требуется хранение информации, которая не изменяется в процессе эксплуатации устройства. Например: программы в микроконтроллерах, начальные загрузчики (BIOS) в компьютерах и т. д. Практически всегда эта информация не требуется одновременно, поэтому простейшие устройства для запоминания постоянной информации (ПЗУ) можно построить на мультиплексорах.



В этой схеме построено постоянное запоминающее устройство на восемь одноразрядных ячеек. Запоминание конкретного бита в одноразрядную ячейку производится запайкой провода к источнику питания (запись единицы) или запайкой провода к корпусу (запись нуля). На принципиальных схемах такое устройство обозначается как показано на рисунке (следующий слайд)

Рис.14 Схема постоянного запоминающего устройства (ПЗУ), построенная на мультиплексоре

1.ПЗУ (Постоянные запоминающие устройства (ROM read only memory - память ,доступная только для чтения)

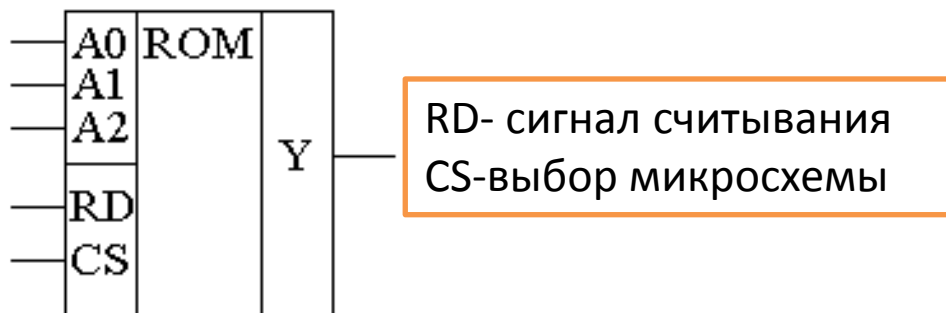
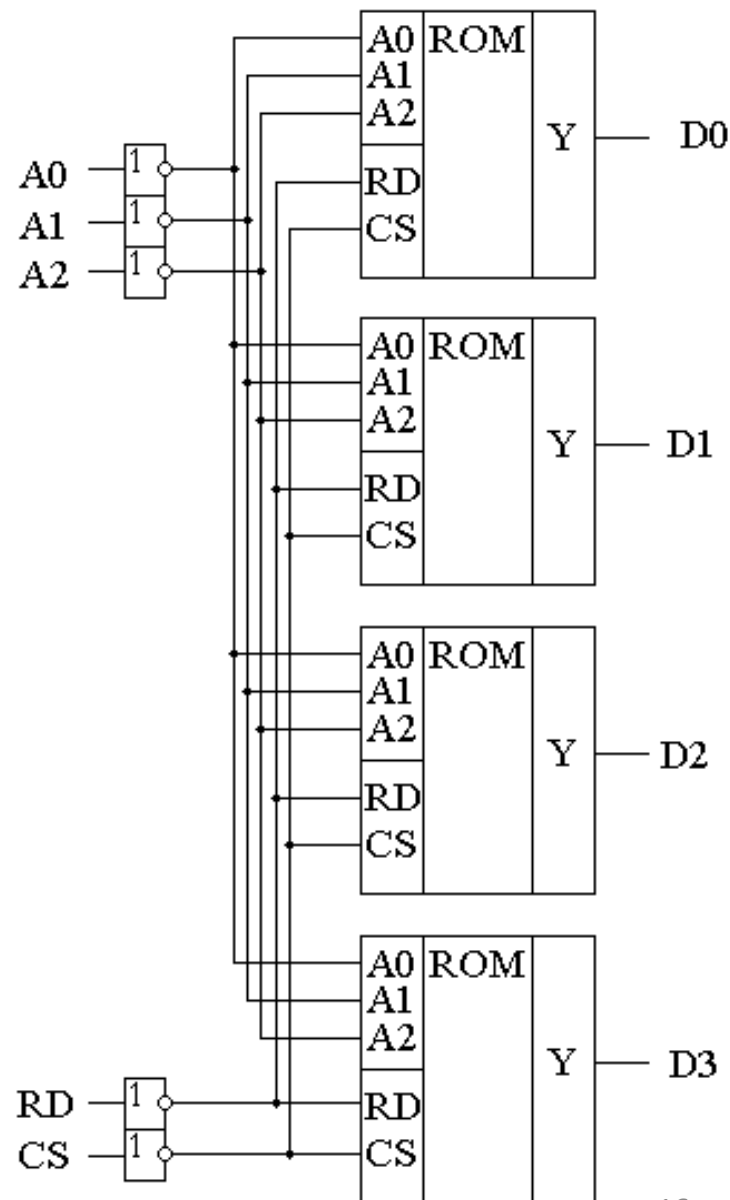


Рис. 15 УГО ПЗУ на
принципиальных
схемах

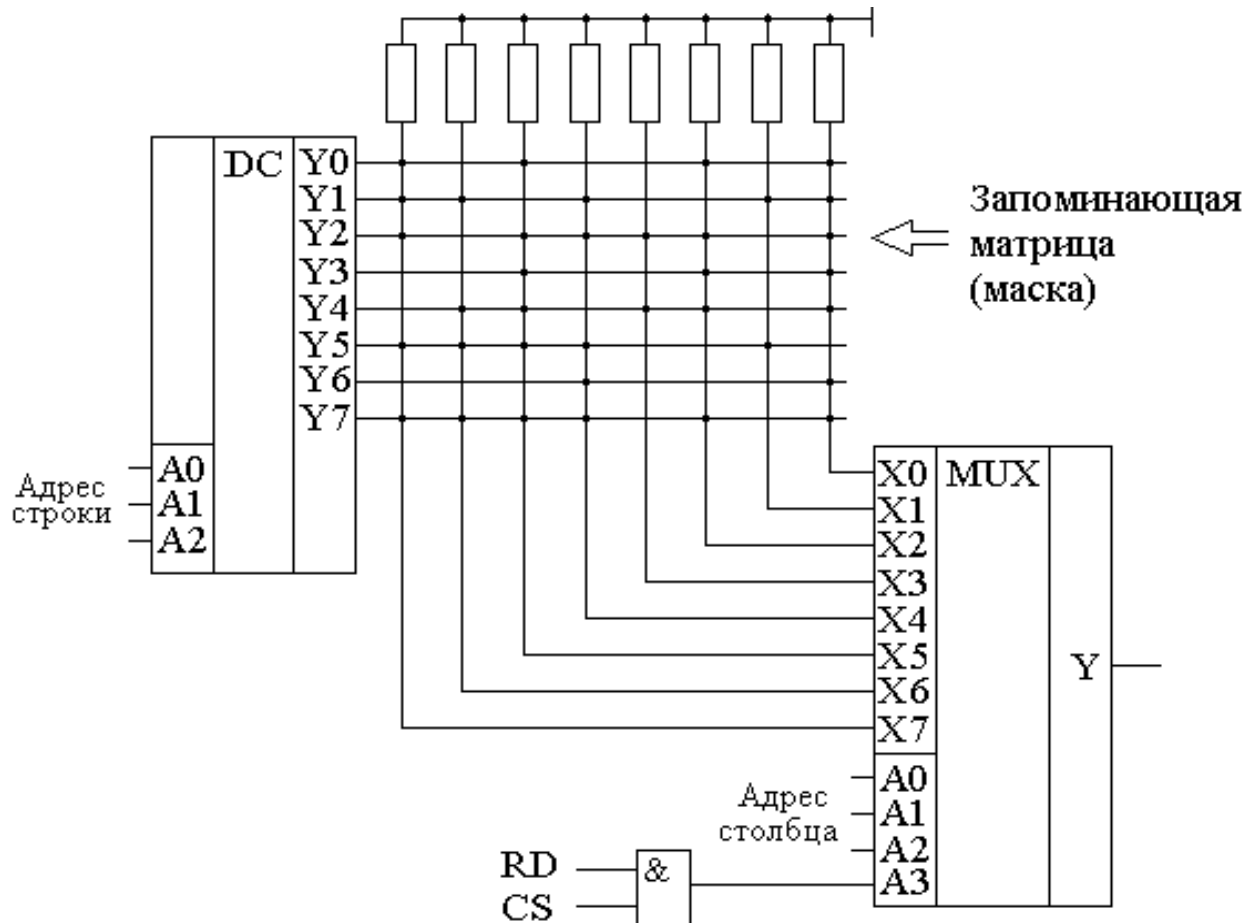
Для того, чтобы увеличить разрядность ячейки памяти ПЗУ эти микросхемы можно соединять параллельно (выходы и записанная информация естественно остаются независимыми). Схема параллельного соединения одноразрядных ПЗУ приведена на рисунке справа.

Рис.16 Схема многоразрядного ПЗУ (ROM)
справа



1.ПЗУ(Постоянные запоминающие устройства)

В реальных ПЗУ запись информации производится при помощи последней операции производства микросхемы — металлизации. Металлизация производится при помощи маски, поэтому такие ПЗУ получили название масочных ПЗУ.



Использование кроме мультиплексора еще и демультиплексора позволяет превратить одномерную запоминающую структуру в двухмерную и, тем самым, существенно сократить объем схемы дешифратора, необходимого для работы схемы ПЗУ. Эта ситуация иллюстрируется рисунком слева.

Рис.17 Схема масочного постоянного запоминающего устройства (ROM)

1.ПЗУ (Постоянные запоминающие устройства (ROM ,read only memory — память доступная только для чтения)

Адреса ячеек памяти в этой микросхеме подаются на выводы A0 ... A9. Микросхема выбирается сигналом CS. При помощи этого сигнала можно наращивать объем ПЗУ. Чтение микросхемы производится сигналом RD.

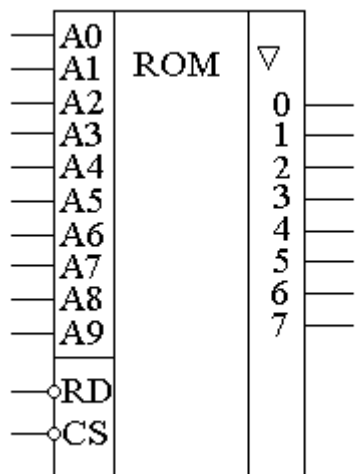


Рис.18 УГО
масочного ПЗУ
(ROM) на
принципиальных
схемах.

В процессе программирования ПЗУ на выводы питания и выходы микросхемы подаётся повышенное питание. При этом, если на выход ПЗУ подаётся напряжение питания (логическая единица), то через перемычку ток протекать не будет и перемычка останется неповрежденной. Если же на выход ПЗУ подать низкий уровень напряжения (присоединить к корпусу), то через перемычку запоминающей матрицы будет протекать ток, который испарит ее и при последующем считывании информации из этой ячейки ПЗУ будет считываться логический ноль.

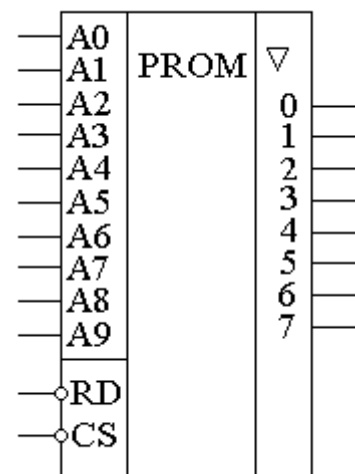


Рис.19 УГО
программируемого
постоянного
запоминающего
устройства
(PROM) на
принципиальных
схемах

ПЗУ с ультрафиолетовым стиранием

Строится на основе запоминающей матрицы построенной на ячейках памяти, внутреннее устройство которой приведено на следующем рисунке ниже.

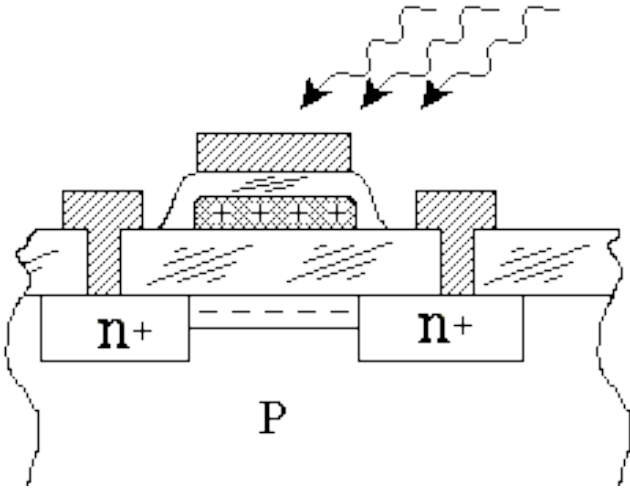


Рис.20 Запоминающая ячейка ПЗУ с ультрафиолетовым и электрическим стиранием

Принцип действия: Ячейка представляет собой МОП транзистор, в котором затвор выполняется из поликристаллического кремния. Затем в процессе изготовления микросхемы этот затвор окисляется и в результате он будет окружен оксидом кремния — диэлектриком с прекрасными изолирующими свойствами. В описанной ячейке при полностью стертом ПЗУ, заряда в плавающем затворе нет, и поэтому транзистор ток не проводит. При программировании ПЗУ, на второй затвор, находящийся над плавающим затвором, подаётся высокое напряжение и в плавающий затвор за счет туннельного эффекта индуцируются заряды.

После снятия программирующего напряжения индуцированный заряд остаётся на плавающем затворе, и, следовательно, транзистор остаётся в проводящем состоянии. Заряд на плавающем затворе подобной ячейки может храниться десятки лет.

При облучении ультрафиолетом микросхемы РПЗУ(репрограммируемое постоянное запоминающее устройство) , изолирующие свойства оксида кремния теряются, накопленный заряд из плавающего затвора стекает в объем полупроводника, и транзистор запоминающей ячейки переходит в закрытое состояние. Время стирания микросхемы РПЗУ колеблется в пределах 10 - 30 минут.

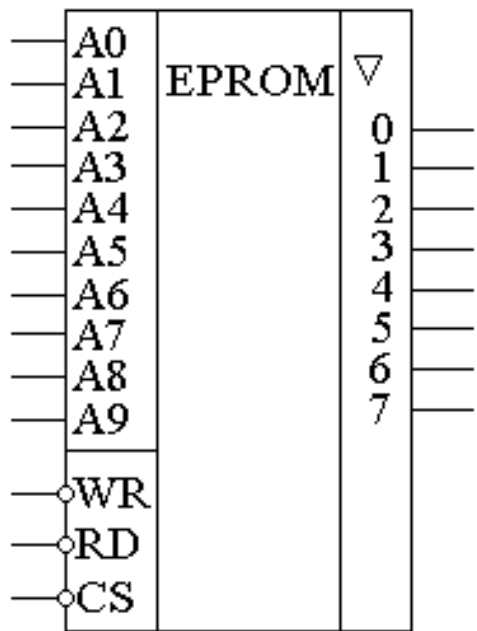
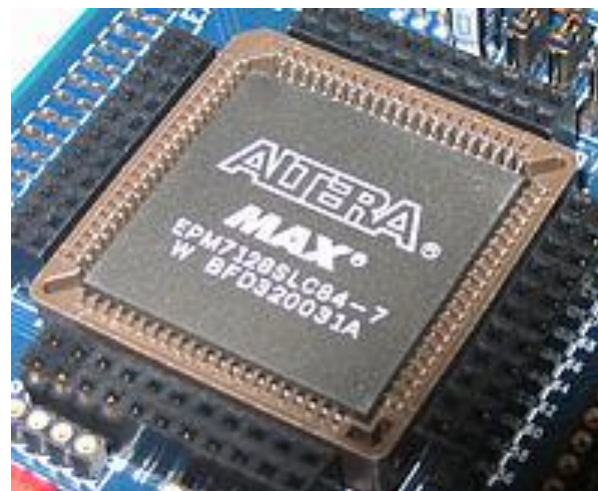


Рис. 21 Усло УГО РПЗУ (EPROM)

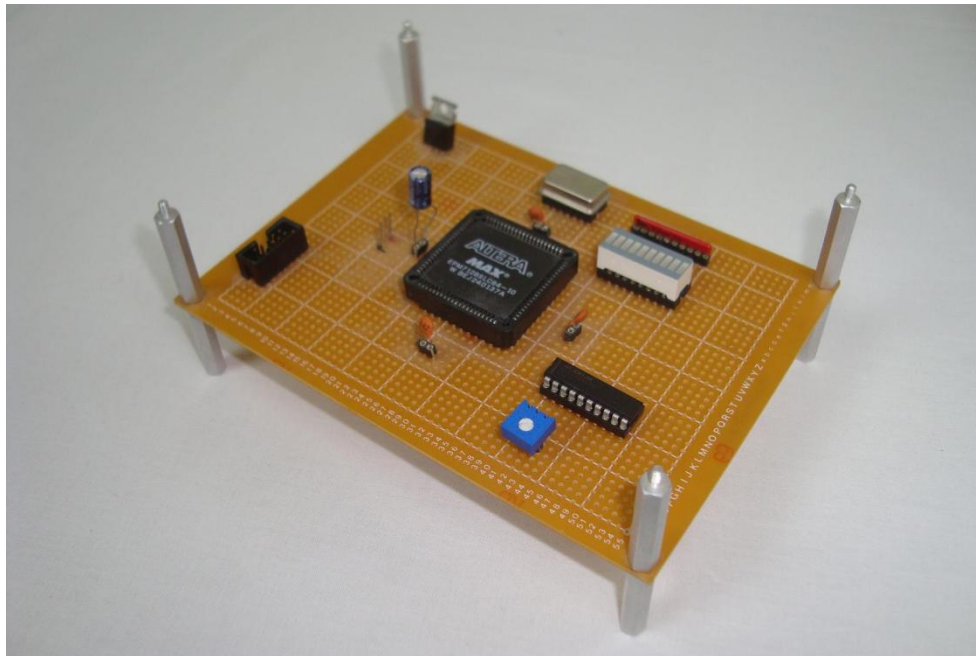
Количество циклов записи-стирания микросхем EPROM находится в диапазоне от 10 до 100 раз, после чего микросхема РПЗУ выходит из строя. Это связано с разрушающим воздействием ультрафиолетового излучения на оксид кремния. В качестве примера микросхем EPROM можно назвать микросхемы 573 серии российского производства, микросхемы серий 27сXXX зарубежного производства. В РПЗУ чаще всего хранятся программы BIOS универсальных компьютеров. РПЗУ изображаются на принципиальных схемах как показано на рисунке 11.

CPLD (Complex Programmable Logic Device, Программируемая Логическая Интегральная Схема).

Программируемые логические матрицы к настоящему времени морально устарели и применяются для реализации относительно простых устройств, для которых не существует готовых микросхем средней степени интеграции. При реализации сложных цифровых схем обычно применяются программируемые логические интегральные схемы (ПЛИС) одним из видов ПЛИС являются сложные программируемые логические устройства (CPLD — Complex PLD).



Содержат встроенную энергонезависимую память, которая хранит прошивку при отключении питания. Строятся традиционно на матрице макроячеек, хотя сейчас всё популярнее основанные на логических блоках. Обычно имеют сравнительно небольшое число элементов (сотни или тысячи). Они дешевле, проще в применении, требуют минимальной обвязки, быстро запускаются. Могут использоваться там, где не требуется сложная логика работы, но не хватает скорости или ног у обычного микроконтроллера. Например, для обработки сигналов, к примеру, как контроллер USB, VGA или PCI-шины



Программируемая логическая интегральная схема CPLD состоит из нескольких макроячеек, расположенных на одном кристалле. Каждая макроячейка соединена с блоками ввода-вывода, осуществляющими формирование необходимого вида входов или выходов для работы с внешними схемами. Кроме того, все макроячейки и блоки ввода-вывода связаны между собой внутренними параллельными шинами.

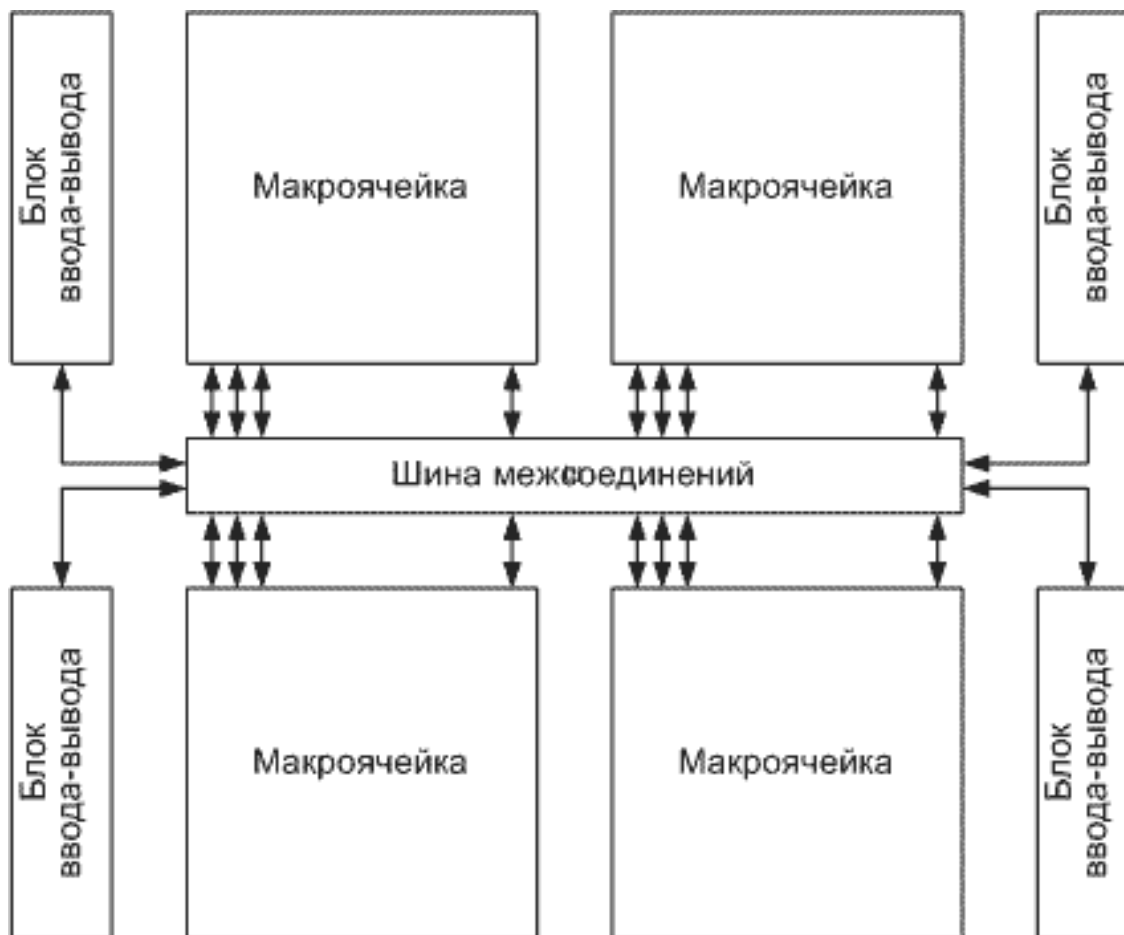


Рис. 22. Пример внутренней схемы CPLD

Макроячейка (внутреннее устройство не показано)

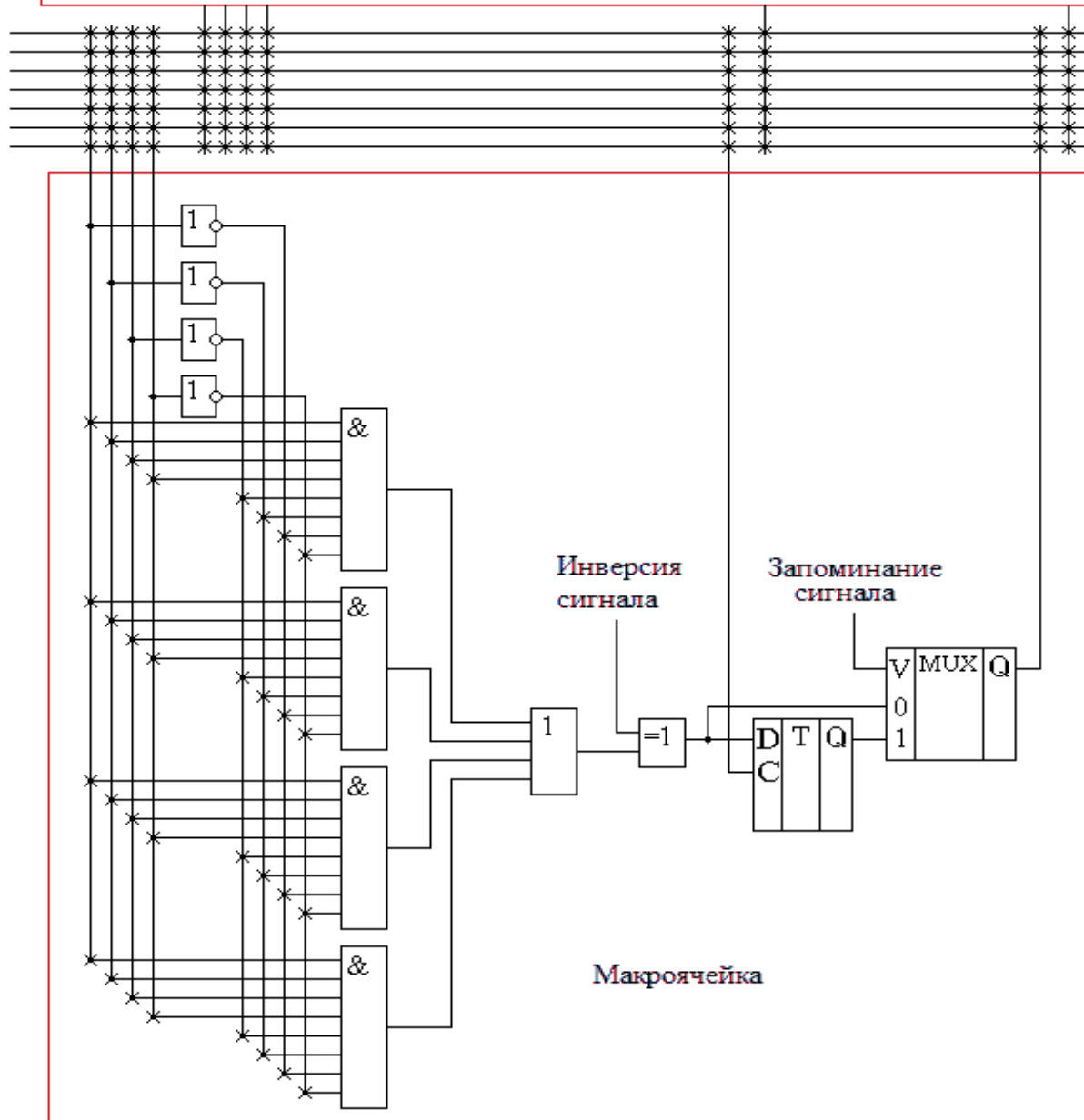
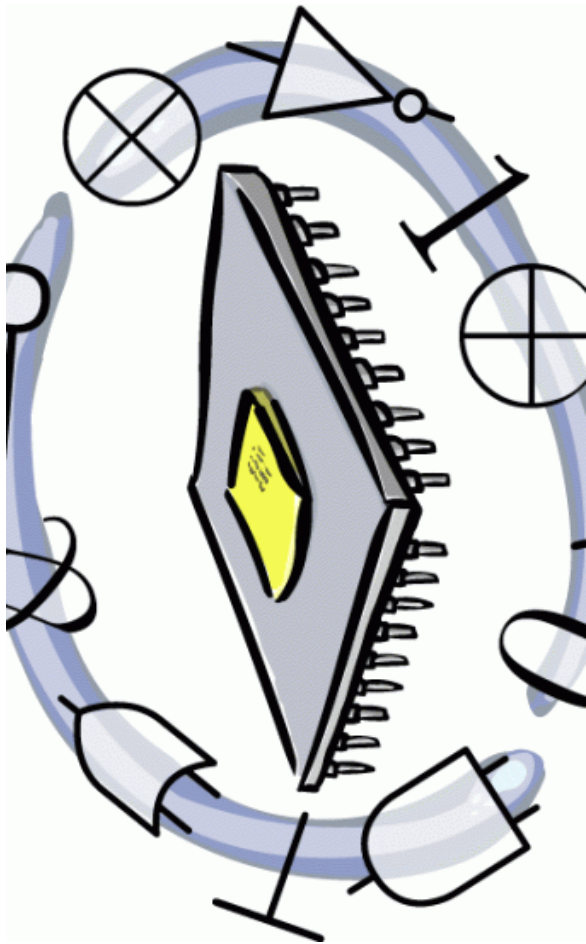


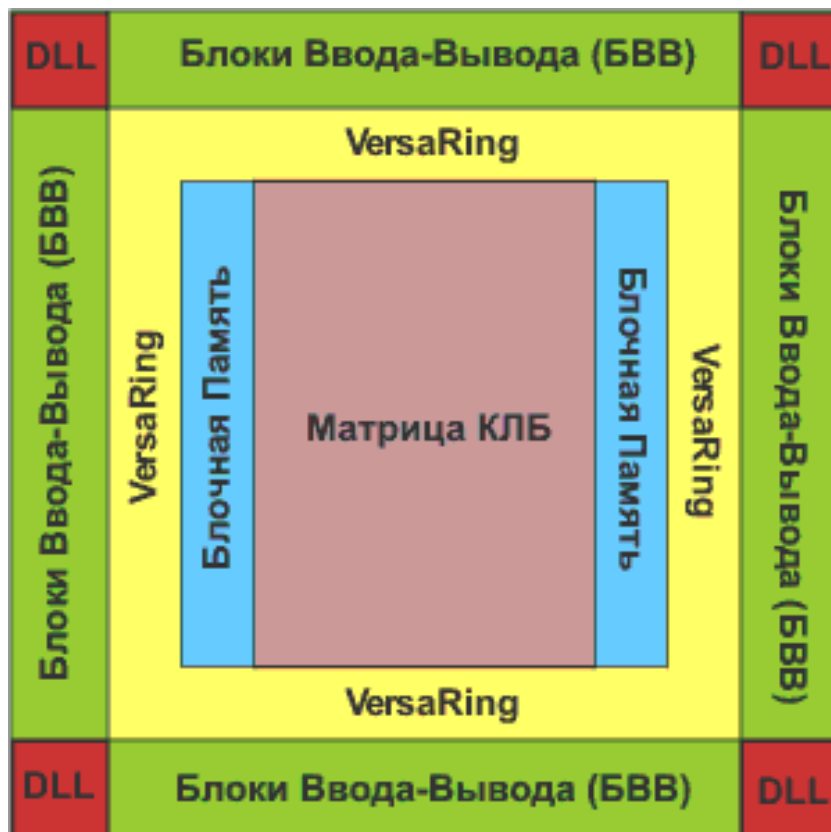
Рис. 23. Внутренняя схема макроячейки микросхемы CPLD

ППВМ (FPGA) - программируемая пользователем вентильная матрица (Field Programmable Gate Array)



Содержат блоки умножения-суммирования, которые широко применяются при обработке сигналов (DSP, англ. digital signal processing), а также логические элементы (как правило, на базе таблиц перекодировки — таблиц истинности) и их блоки коммутации. FPGA обычно используются для обработки сигналов, имеют больше логических элементов и более гибкую архитектуру, чем CPLD. Программа для FPGA хранится в распределённой памяти, которая может быть выполнена как на основе энергозависимых ячеек статического ОЗУ (подобные микросхемы производят, например, фирмы «Xilinx» и «Altera») — в этом случае программа не сохраняется при исчезновении электропитания микросхемы, так и на основе энергонезависимых ячеек flash-памяти или перемычек antifuse (такие микросхемы производит фирма «Actel» и «Lattice Semiconductor») — в этих случаях программа сохраняется при исчезновении электропитания.

Если программа хранится в энергозависимой памяти, то при каждом включении питания микросхемы необходимо заново конфигурировать её при помощи начального загрузчика, который может быть встроен и в саму FPGA. Альтернативой ПЛИС FPGA являются более медленные цифровые процессоры обработки сигналов. FPGA применяются также, как ускорители универсальных процессоров в суперкомпьютерах.



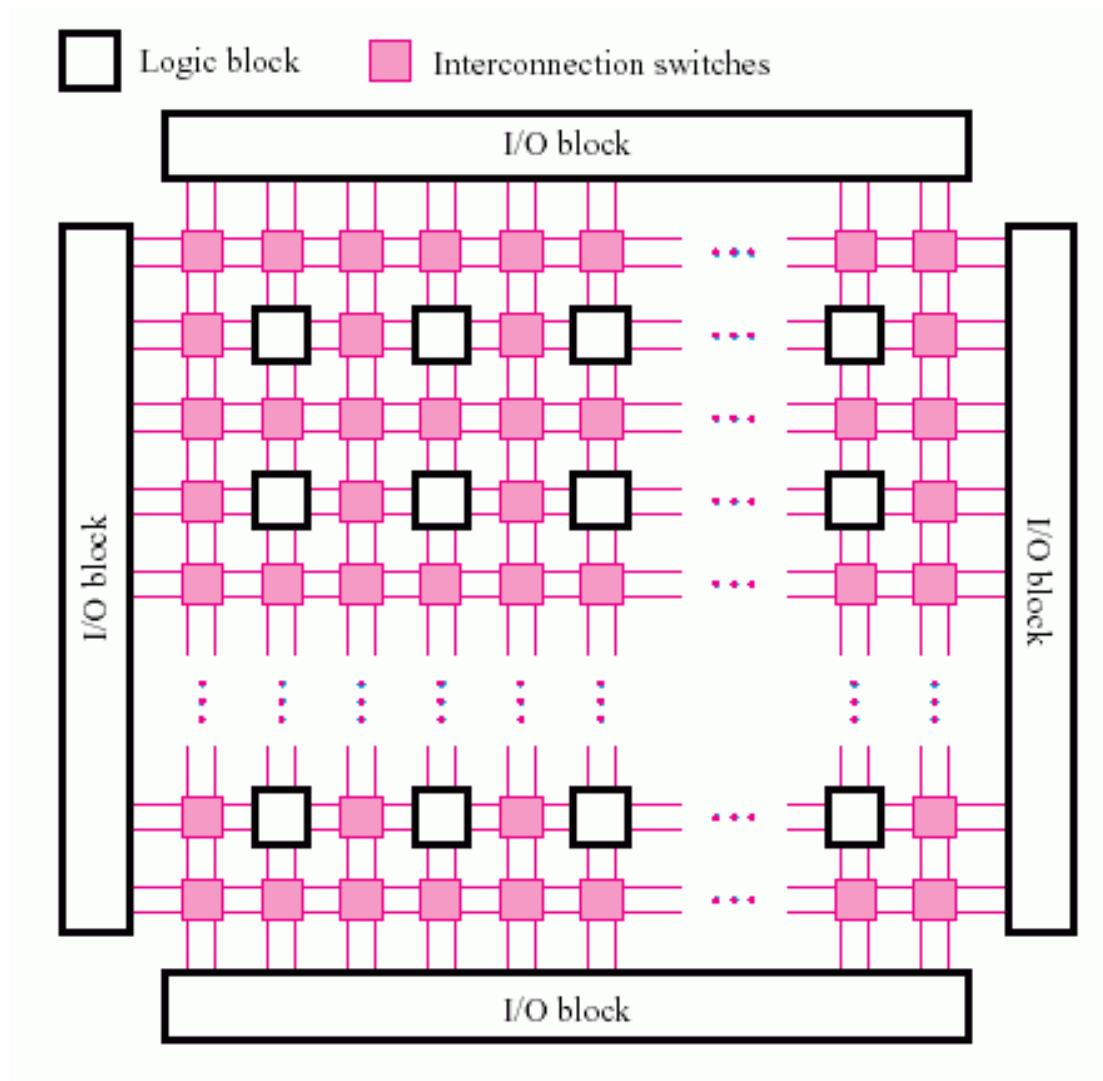


Рис.24 Обобщенная структура микросхем FPGA

Программируемые электронные ключи обозначены символом X.
 Каждый замкнутый ключ, соединяющий вертикальную и горизонтальную линии показан красным цветом. Не используемые линии соединений и ключи на рисунке показаны черным.

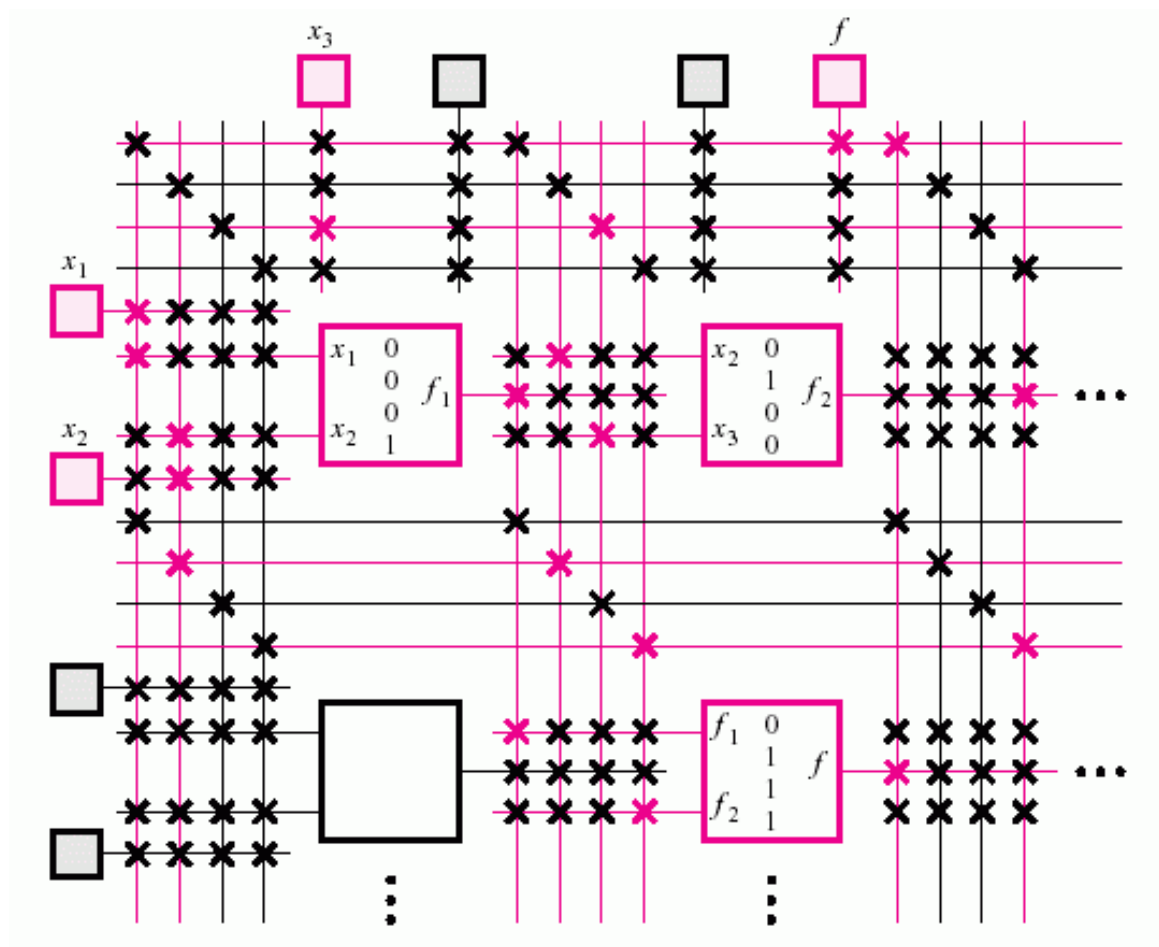
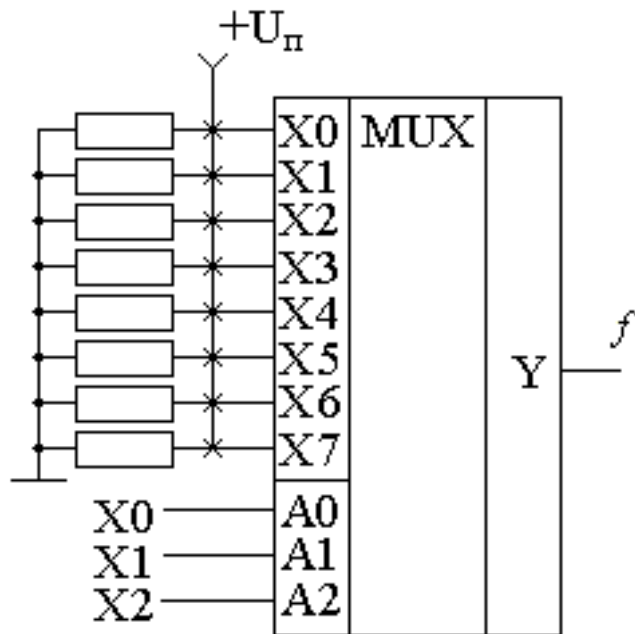


Рис. 25. Пример запрограммированного участка FPGA

Особенностью структуры FPGA является то, что каждый логический блок обычно имеет небольшое число входов и один выход. Это позволяет более полно использовать внутренние ресурсы микросхемы. Типичный логический блок строится на основе ПЗУ, в ячейках которого записана таблица истинности комбинационной схемы. Подобный блок ПЗУ обычно называется LUT (Look Up Table). Каждая ячейка способна хранить значение одной строки таблицы истинности, логический '0' или '1'. Размер LUT определяется числом входов, которое изменяется в зависимости от типа выбранной микросхемы и фирмы-производителя.



Крестиками обозначены электронные ключи, включенные между источником питания и входом мультиплексора.

Рис. 26. Пример внутреннего устройства LUT ПЗУ

Для устранения недостатка, связанного с однократным программированием FPGA, корпорация Actel приобрела фирму Gatefield и ее технологию изготовления флэш-ключа. Результатом стало появление семейств ProASIC, ProASIC и, наконец, недавнее появление новейшего семейства ProASIC3/3E, использующих распределенные по кристаллу флэш-ключи для хранения конфигурации FPGA. Схема конфигурационной ячейки представлена на рисунке

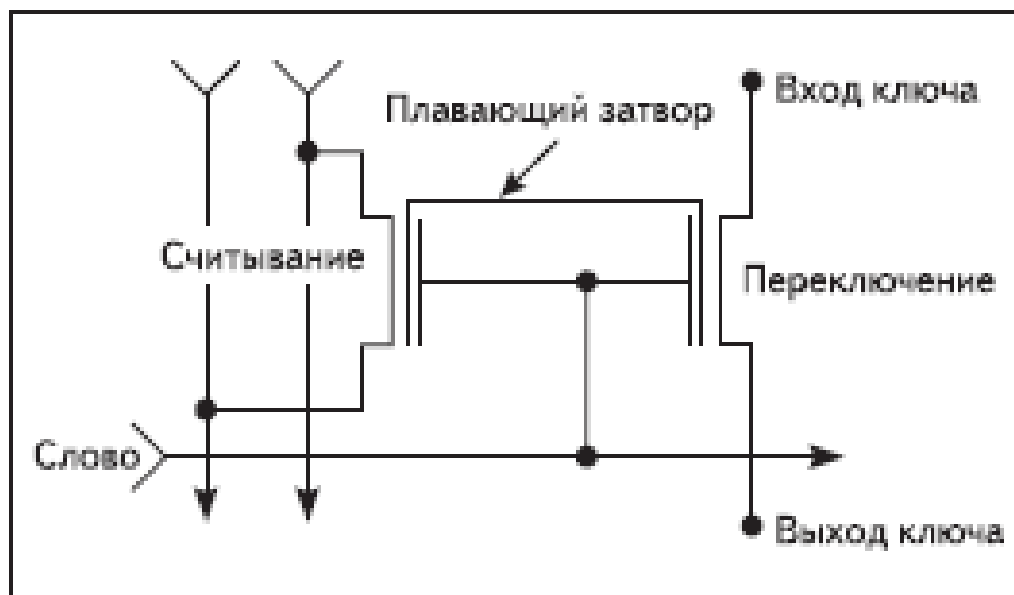


Рис.27 Схема конфигурационной ячейки ПЛИС Actel

Области применения ПЛИС

При разработке оригинальной аппаратуры, требующей нестандартных схемотехнических решений, а также при проектировании малогабаритных устройств.



Отдельной областью применения ПЛИС, как уже отмечалось, являются устройства для защиты от копирования. Обычно применение 1—2 ПЛИС средней степени интеграции оказывается вполне достаточным для надежного «закрытия» информации.

Наиболее широко ПЛИС используются в микропроцессорной и вычислительной технике. На их основе разрабатываются контроллеры шины, адресные дешифраторы, логика обрaмления микропроцессоров, формирователи управляющих сигналов и др. На ПЛИС часто изготавливаются микропрограммные автоматы и другие специализированные устройства, например, цифровые фильтры, схемы обработки сигналов и изображения



ИСТОЧНИКИ

1. <http://digteh.ru/digital/PLD/>
2. <http://www.studfiles.ru/preview/5863387/>
3. <http://www.uzluga.ru/potrd/Программируемые%20логические%20Оинтегральные%20схемы.%20История%20вопроса.%20Основные%20параметры.%20Сравнительные%20характеристики%20плис%20фирм%20Actel,%20Altera,%20Xilinx%20по%20курсыd/part-4.html>
4. <http://we.easyelectronics.ru/plis/plis-zametki-nachinayuschego.html>
5. <https://marsohod.org/11-blog/265-fpga>
6. <https://habrahabr.ru/post/274829/>