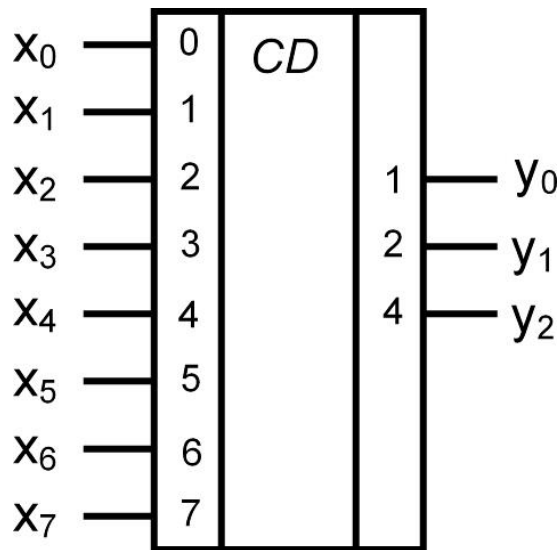


Комбинационные устройства

Комбинационные устройства – электронные схемы, выходной сигнал которых зависит от комбинации входных сигналов. Любое изменение входного сигнала влечет изменение сигнала на выходе.

К ним относятся: шифраторы, дешифраторы, мультиплексоры, демультиплексоры, сумматоры, вычитатели, АЛУ, преобразователи кодов и т.п.

Шифраторы – устройства, преобразующие позиционный код в двоичный. (также называют «кодером» от англ. *coder*)



Условное графическое обозначение шифратора

x	y ₂	y ₁	y ₀
x ₀	0	0	0
x ₁	0	0	1
x ₂	0	1	0
x ₃	0	1	1
x ₄	1	0	0
x ₅	1	0	1
x ₆	1	1	0
x ₇	1	1	1

Таблица устанавливает соответствие между номером входа, на который подается сигнал и двоичным кодом на выходе шифратора.

Лог. 1 должна появляться на выходе y₀ в тех случаях, когда лог. 1 подается на входы x₁, x₃, x₅, x₇, тогда можно записать:

$$y_0 = x_1 + x_3 + x_5 + x_7,$$

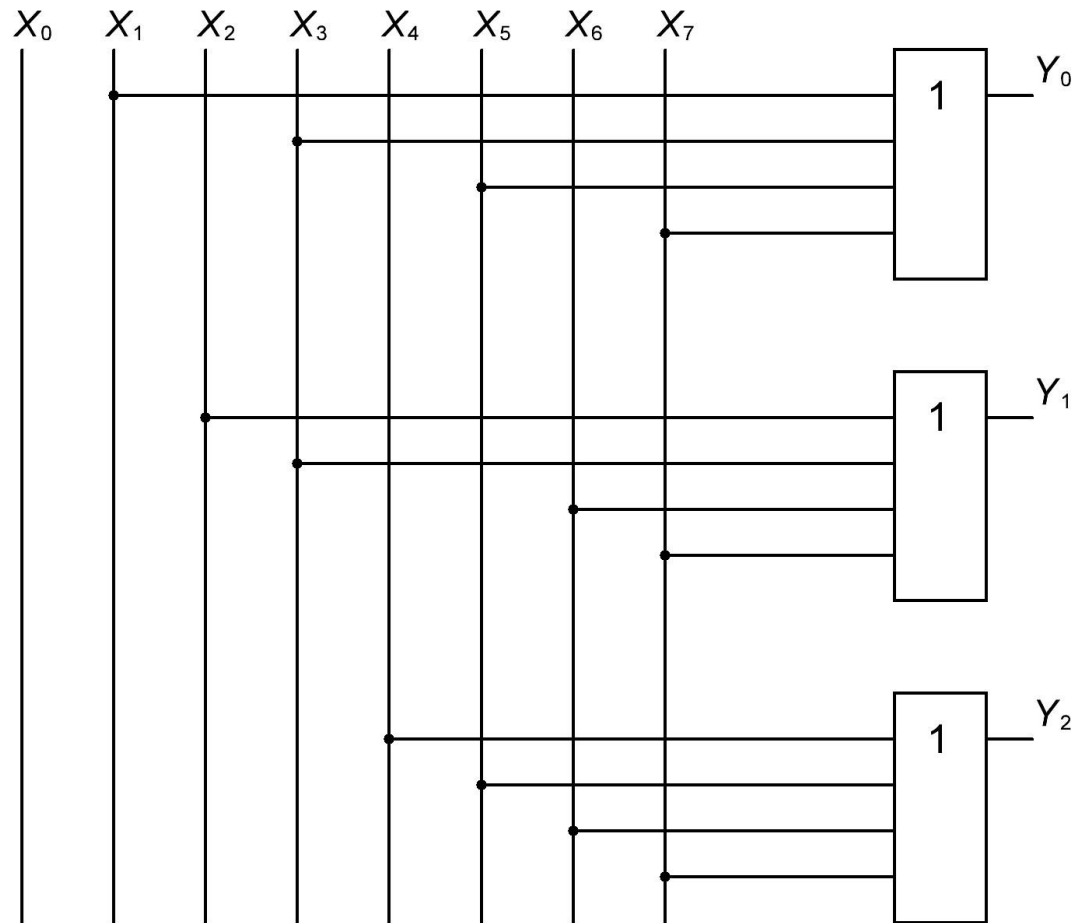
$$y_1 = x_2 + x_3 + x_6 + x_7,$$

$$y_2 = x_4 + x_5 + x_6 + x_7.$$

Комбинационные устройства

Шифраторы

Схема шифратора, построенного на элементах ИЛИ будет иметь вид:



Вход X	Y_2	Y_1	Y_0
X_0	0	0	0
X_1	0	0	1
X_2	0	1	1
X_3	0	1	1
X_4	1	0	0
X_5	1	0	1
X_6	1	1	0
X_7	1	1	1

Упрощенная схема (неприоритетного) шифратора

Шифраторы

На практике чаще используется приоритетный шифратор, отличающийся тем, что в нем допускается подача лог. 1 на несколько входов одновременно. Однако на выходе будет присутствовать двоичный код, соответствующий наибольшему (старшему) номеру одного из входов, на которые подана единица.

Т.о. шифратор работает обычно, как-будто сигнал подается на один вход. Другими словами, вход с большим номером имеет приоритет.

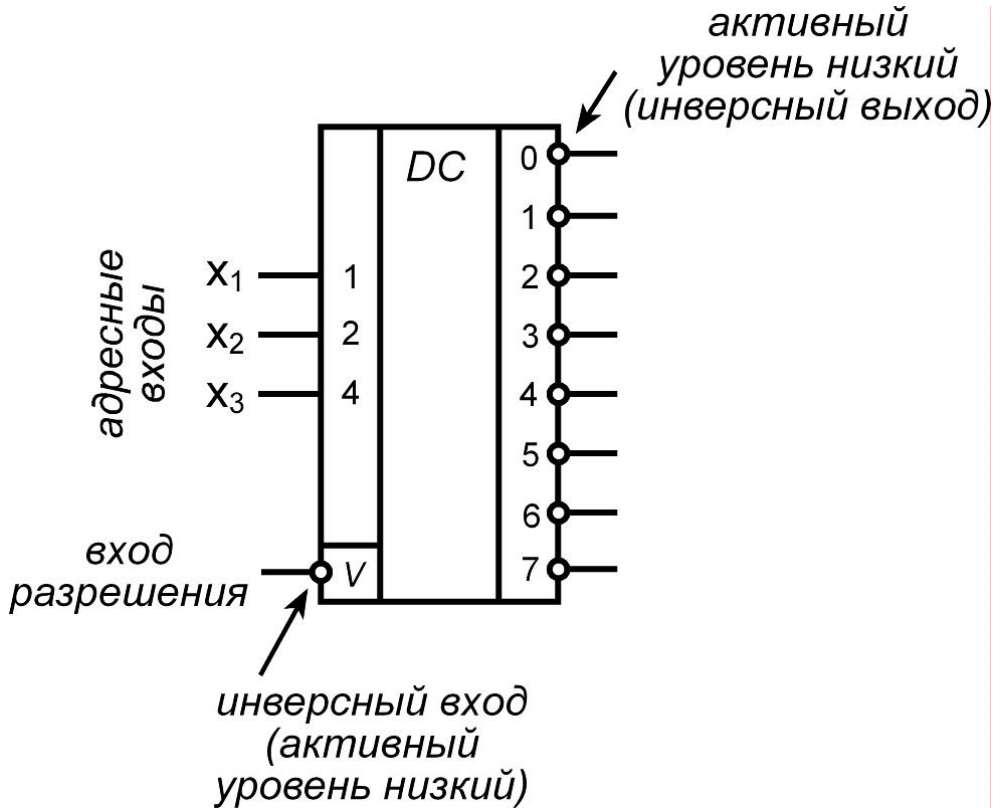
Приоритетный шифратор используется в телефонной клавиатуре.

Пример приоритетного шифратора – микросхема КМ555ИВ1,

Буквы ИВ – обозначение шифраторов.

Дешифраторы

Дешифратор выполняет функцию обратную шифратору, т.е. служит для преобразования двоичного кода в позиционный. (дешифратор от англ. *decoder*)



Принцип работы поясняется таблицей.



Количество входов n и выходов m связано соотношением:

$$m = 2^n.$$

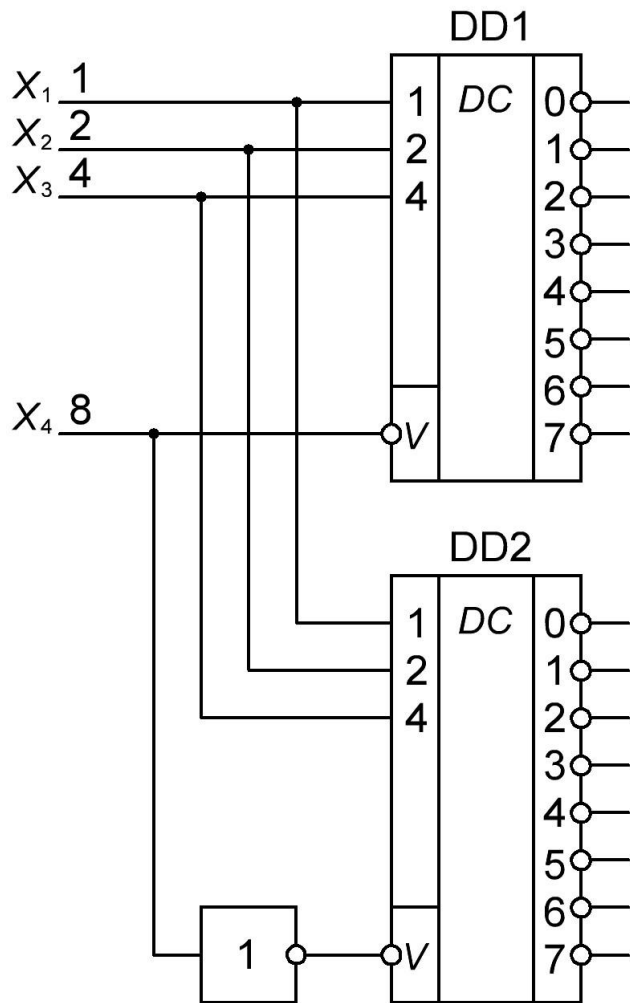
при $V=0$

x_3	x_2	x_1	0	1	2	3	4	5	6	7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Дешифраторы

Наращивание дешифраторов

1 Способ



Для увеличения числа выходов дешифраторы наращивают, используя разрешающий вход V .

При $V=0$ дешифратор работает как обычно.

При $V=1$ дешифратор не работает; на всех выходах устанавливаются либо нули, либо единицы и не меняются при изменении сигналов на входах.

1 способ

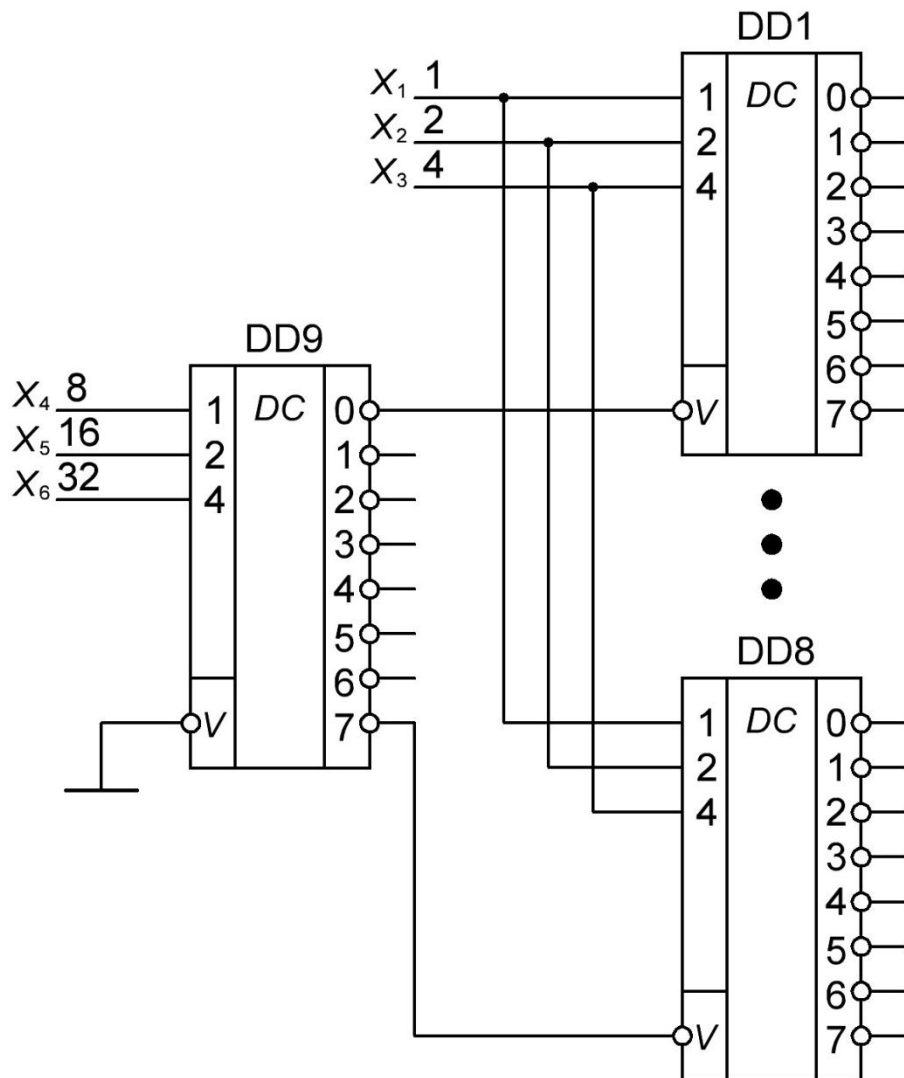
При $X_4=0$ работает дешифратор $DD1$, а дешифратор $DD2$ блокируется.

При $X_4=1$ работает дешифратор $DD2$, дешифратор $DD1$ блокируется.

Дешифраторы

Наращивание дешифраторов

2 Способ



2 способ

$X_6 X_5 X_4 X_3 X_2 X_1$ – адресные входы

При подаче на адресные входы $X_3 X_2 X_1$ двоичного кода на одном выходе каждой из микросхем $DD1-DD8$ появляется лог. 0.

Дешифратор $DD9$ разрешает работу одной из микросхем $DD1-DD8$ в зависимости от двоичного кода на адресных входах $X_6 X_5 X_4$.

Лог. 0 появиться только на одном из 64 выходов в соответствии с числом в двоичном коде на адресных входах.

Пример.

Пусть на адресные входы подано число 001011, т.е. $X_6 X_5 X_4 X_3 X_2 X_1 = 001011$.

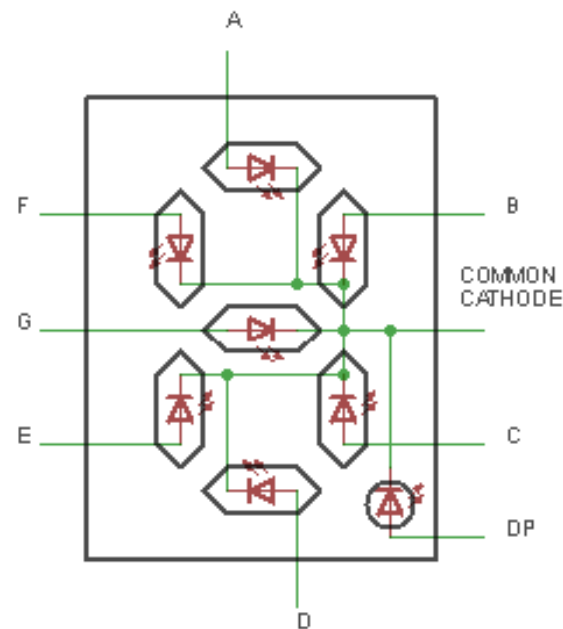
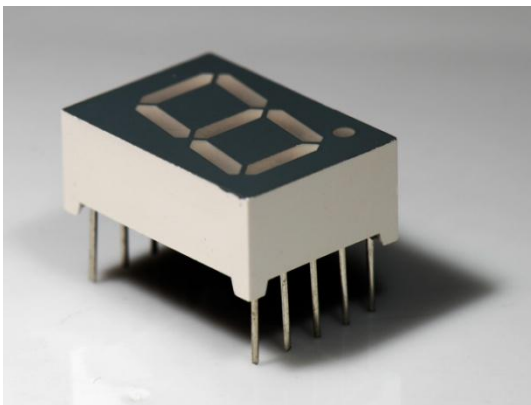
На каждом четвертом выходе дешифраторов $DD1-DD8$ установлен лог. 0, однако поскольку дешифратором $DD9$ разрешена работа только микросхемы $DD8$, то лог. 0 появиться только на третьем выводе $DD8$, т.е. на 60-м выходе всей 6 схемы.

Дешифраторы

Дешифраторы – преобразователи кодов

Дешифратор К155ИД1, выполненный с открытым коллектором, специально предназначен для управления газоразрядным индикатором.

Существуют дешифраторы, преобразующие двоичный код в семисегментный. Используется для управления светодиодными семисегментными индикаторами. В этом случае их называют преобразователями кодов. В соответствие с двоичным кодом на входе дешифратора на индикаторе высвечиваются цифры или буквы. Пример такого дешифратора – микросхема К155ПП5.



Мультиплексоры

Мультиплексор (или селектор данных) – комбинационное устройство, осуществляющее коммутацию информационных сигналов, присутствующих на его входах на один выход по закону выбора сигналов.

Обозначается **MUX** от *multiplexor* или **MS** от *multiplexor selector*.

Мультиплексор подключает один из нескольких информационных входов к выходу устройства. Мультиплексор преобразует параллельный сигнал в последовательный.

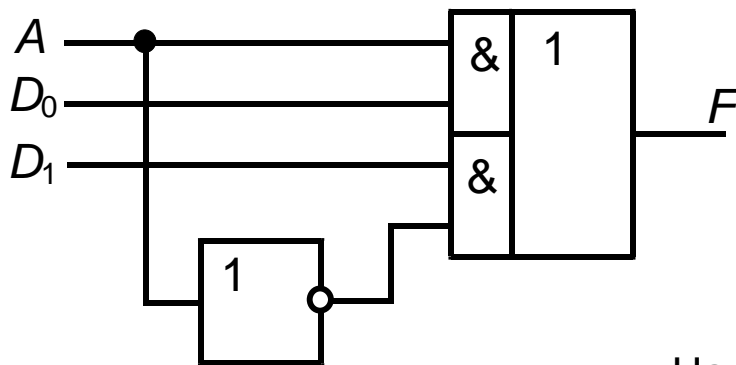


Схема двухвходового мультиплексора

$$m = 2^n$$

m – число информационных входов;

n – число адресных входов.

«1 из m »

A – адресный вход

D_0, D_1 – информационные входы

$$F = AD_0 + \bar{A}D_1$$

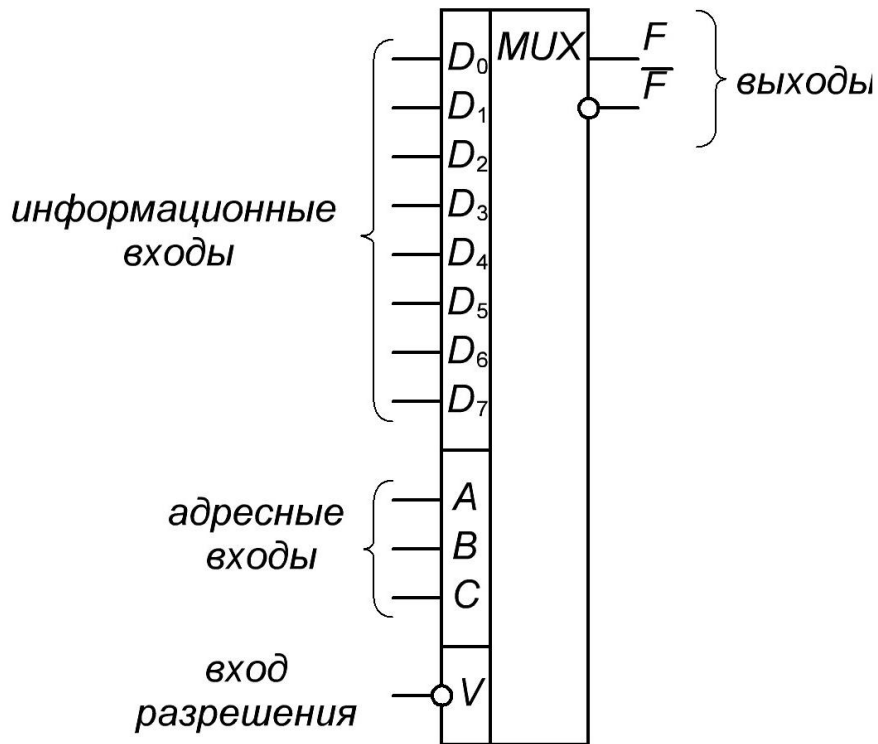
Если $A = 1$, то $F = D_0$;

если $A = 0$, то $F = D_1$.

На информационные входы подаются цифровые сигналы, например, от разных источников.

Указание (адресация) какой из входов подключить к выходу осуществляется подачей соответствующих сигналов на адресный вход.

Мультиплексоры



УГО мультиплексора
«1 из 8»

N входа	V	C	B	A	F	\bar{F}
1	0	0	0	0	D_0	\bar{D}_0
2	0	0	0	1	D_1	\bar{D}_1
3	0	0	1	0	D_2	\bar{D}_2
4	0	0	1	1	D_3	\bar{D}_3
5	0	1	0	0	D_4	\bar{D}_4
6	0	1	0	1	D_5	\bar{D}_5
7	0	1	1	0	D_6	\bar{D}_6
8	0	1	1	1	D_7	\bar{D}_7
—	X	X	X	X	0	1

Таблица, поясняющая принцип работы мультиплексора «1 из 8»

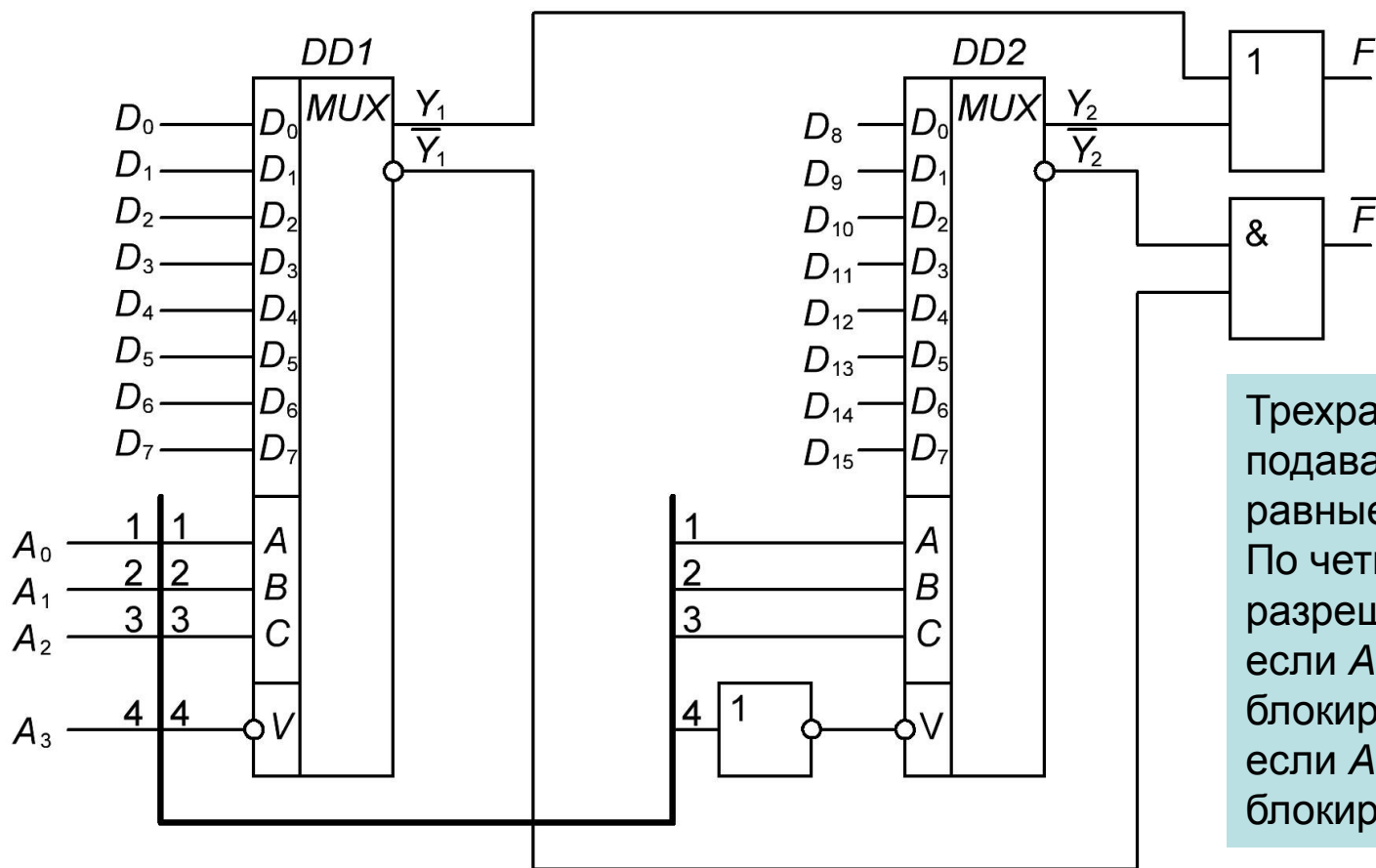
Существуют мультиплексоры на 4, 8 и 16 входов.

Наращивание разрядности мультиплексоров

Способы наращивания разрядности мультиплексора:

1. последовательный; 2. пирамидальный.

1. Последовательное наращивание



$$F = Y_1 + Y_2$$

$$\bar{F} = \bar{Y}_1 \cdot \bar{Y}_2 = \overline{Y_1 + Y_2}$$

Трёхразрядный адрес $A_2A_1A_0$, подаваемый на оба *MUX* ставит их в равные условия.
 По четвертому разряду (A_3) разрешается мультиплексирование:
 если $A_3 = 0$, то работает *DD1*, а *DD2* блокируется;
 если $A_3 = 1$, то работает *DD2*, а *DD1* блокируется.

Схема мультиплексора «1 из 16»

0000 – 0111 *DD1* активен, *DD2* заблокирован.
1000 – 1111 *DD2* активен, *DD1* заблокирован.

Наращивание разрядности мультиплексоров

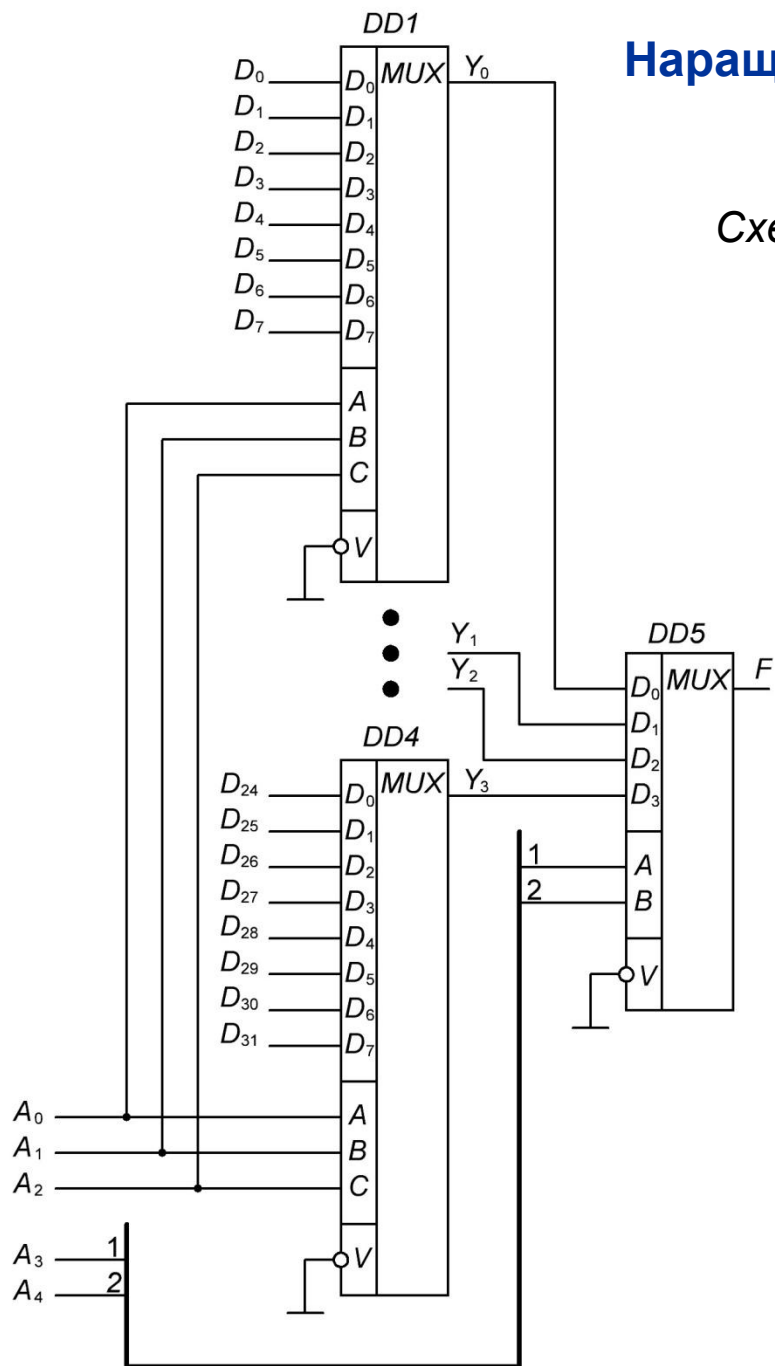
2. Пирамидальное наращивание

Схема мультиплексора «1 из 32»

Для получения мультиплексора «1 из 32» требуется пятиразрядный адрес $A_4A_3A_2A_1A_0$, т.к. $32=2^5$.

Трехразрядный адрес $A_2A_1A_0$, подаваемый на мультиплексоры $DD1-DD4$ ставит их в равные условия.

Выходы мультиплексоров $Y_3Y_2Y_1Y_0$ поступают на мультиплексор $DD5$, адресация которого осуществляется старшими разрядами A_4A_3 .



Диапазон адресов	F
00000 - 00111	Y_0
01000 - 01111	Y_1
10000 - 10111	Y_2
11000 - 11111	Y_3

Другие функциональные назначения мультиплексов

Решение задачи синтеза схем неминимизированной логической функции

С помощью мультиплексора можно реализовать любую ЛФ. Особенно в тех случаях, когда функция не может минимизирована.

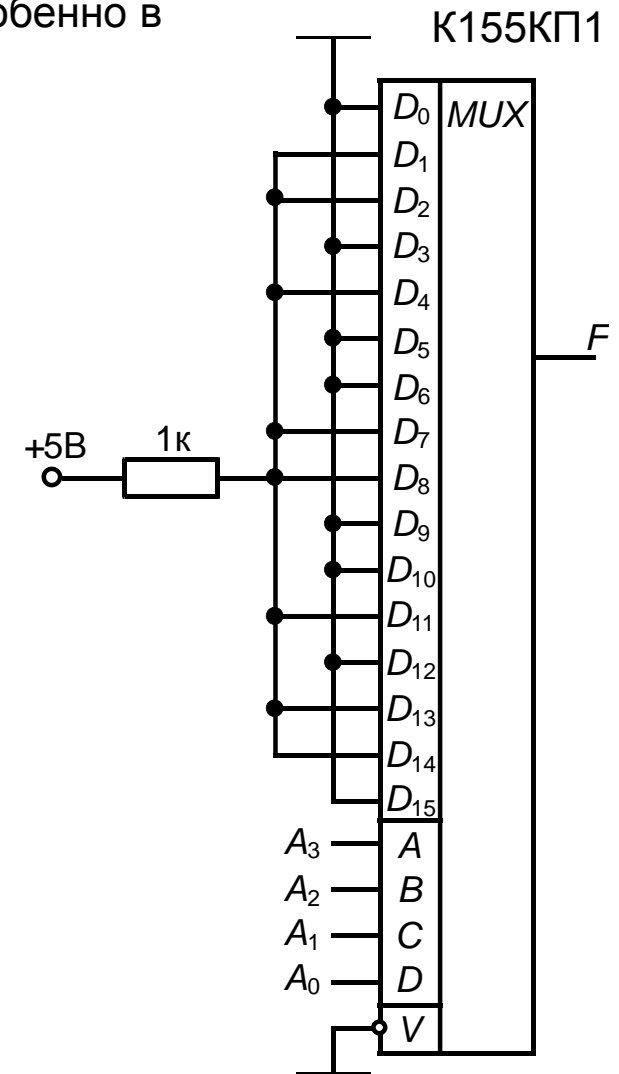
Пример 1.

$$F = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BC\overline{D} + \overline{A}BCD + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}BC\overline{D}$$

	$\overline{A}\overline{B}$	$\overline{A}B$	AB	$A\overline{B}$
$\overline{C}\overline{D}$		1		1
$\overline{C}D$	1		1	
CD		1		1
$C\overline{D}$	1		1	

Данная функция не может быть минимизирована, т.к. на карте нет единиц, которые можно объединить. На информационные входы *MUX* «1 из 16» подаются соответствующие значения функции **0** или **1**.

№	A	B	C	D	F
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	0



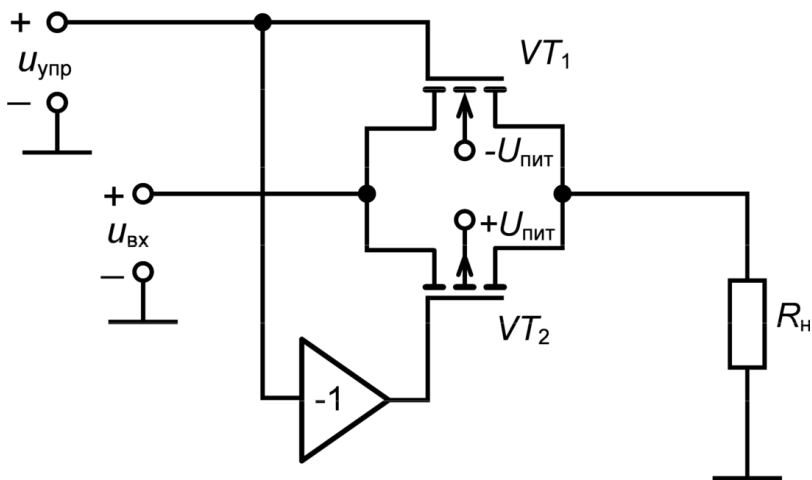
Другие функциональные назначения мультиплексоров

Особенности мультиплексоров КМОП

Мультиплексоры КМОП отличаются от ТТЛ схемотехникой. В основе КМОП-мультиплексоров лежит **двунаправленный ключ**, который пропускает ток в обоих направлениях, а значит позволяет коммутировать не только цифровые, но и **аналоговые** сигналы.

КМОП-мультиплексор может выполнять функцию демultipлексора (обратную мультиплексору).

Обычные КМОП-мультиплексоры могут передавать аналоговые сигналы положительной полярности с амплитудой $0 \div U_{\text{пит}}$ при однополярном напряжении питания. Для передачи положительных и отрицательных сигналов необходимо обеспечить двухполярное питание микросхемы величиной $\pm U_{\text{пит}}/2$. В этом случае амплитуда коммутируемых сигналов составляет до $\pm U_{\text{пит}}/2$.



MUX-DMX входят в состав серий:

K176, K561, K591, K1564 и др.

Примеры мультиплексоров-демультиплексоров:
K564КП2, 590КП1.

*Упрощённая схема
коммутатора на полевых транзисторах
(двунаправленный ключ)*

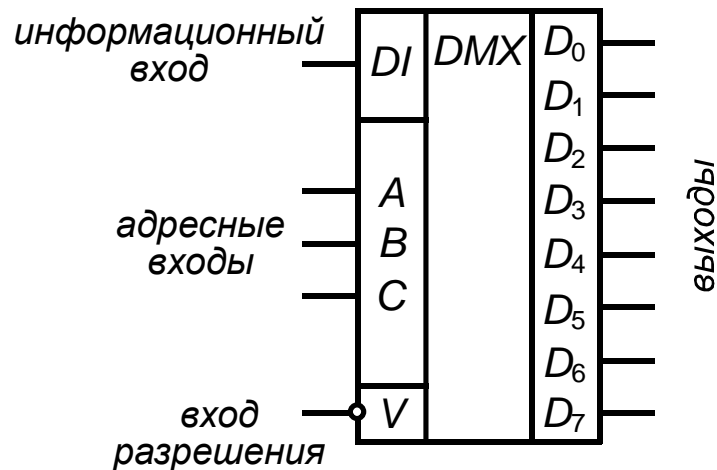
Демультимплексоры

Демультимплексор – устройство, преобразующее последовательный сигнал в параллельный.

Демультимплексор выполняет функцию обратную мультиплексору, производит коммутацию одного информационного входа на несколько выходов в заданной последовательности.

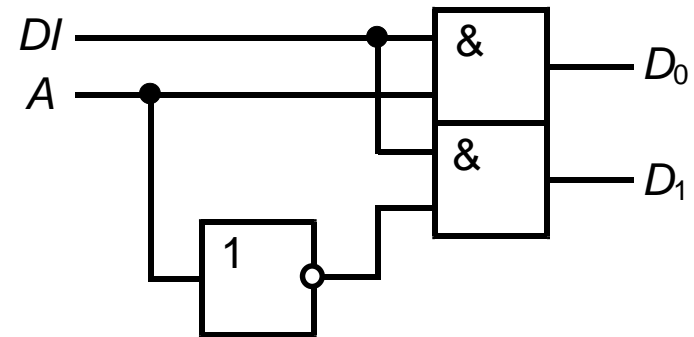
Обозначение демультимплексора: **DMX** или **DMS**.

«1 в m » или «1 на m »



УГО демультимплексора «1 на 8»

Демультимплексор на два выхода



A – адресный вход;
 DI – информационный вход.

При $A = 1$ на выходе $D_0 = DI$;
при $A = 0$ на выходе $D_1 = DI$.

Демультимплексор выполняет роль дешифратора, если на информационном входе будет подан неизменный уровень (0 или 1).

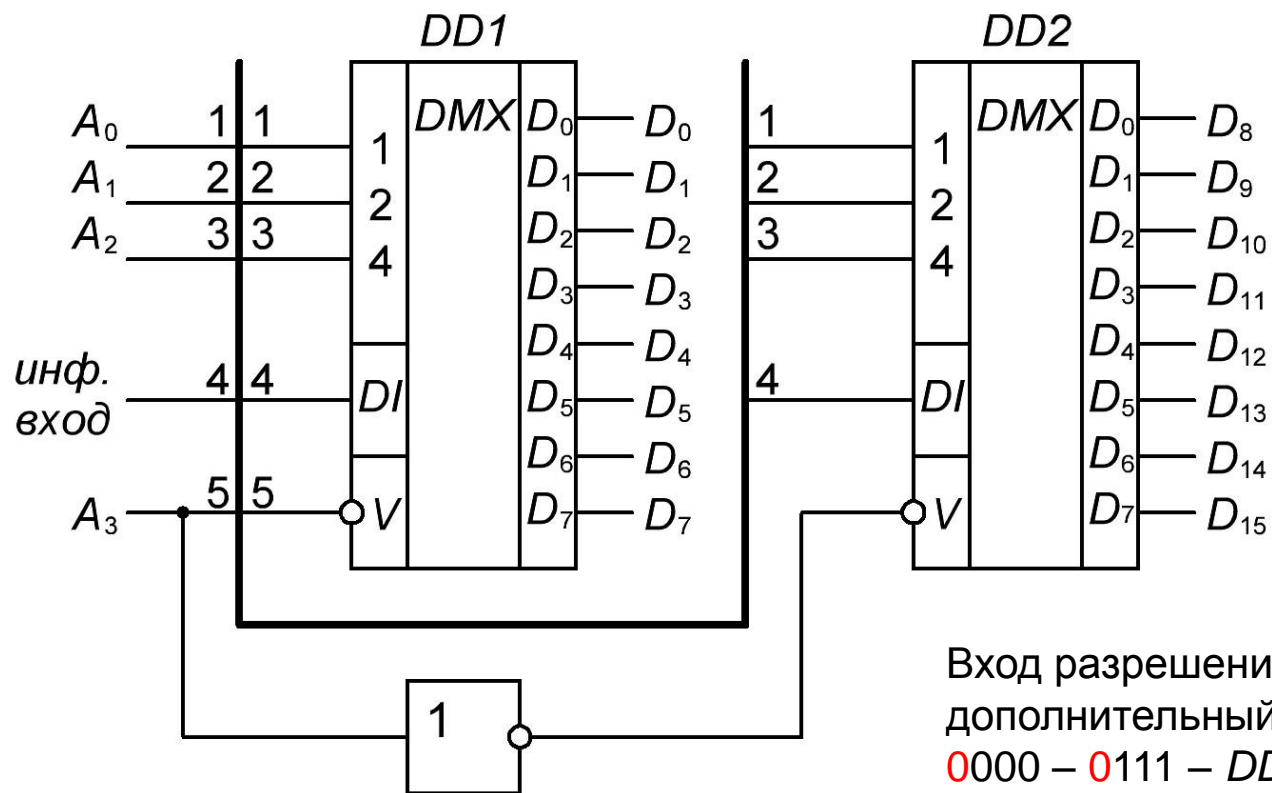
Увеличение разрядности демультиплексоров

Способы наращивания разрядности мультиплексора:

1. последовательный; 2. пирамидальный.

1. Последовательное наращивание

Построение демультиплексора «1 на 16» на базе демультиплексора «1 на 8».



Трёхразрядный адрес $A_2A_1A_0$, подаваемый на демультиплексоры ставит их в равные условия.

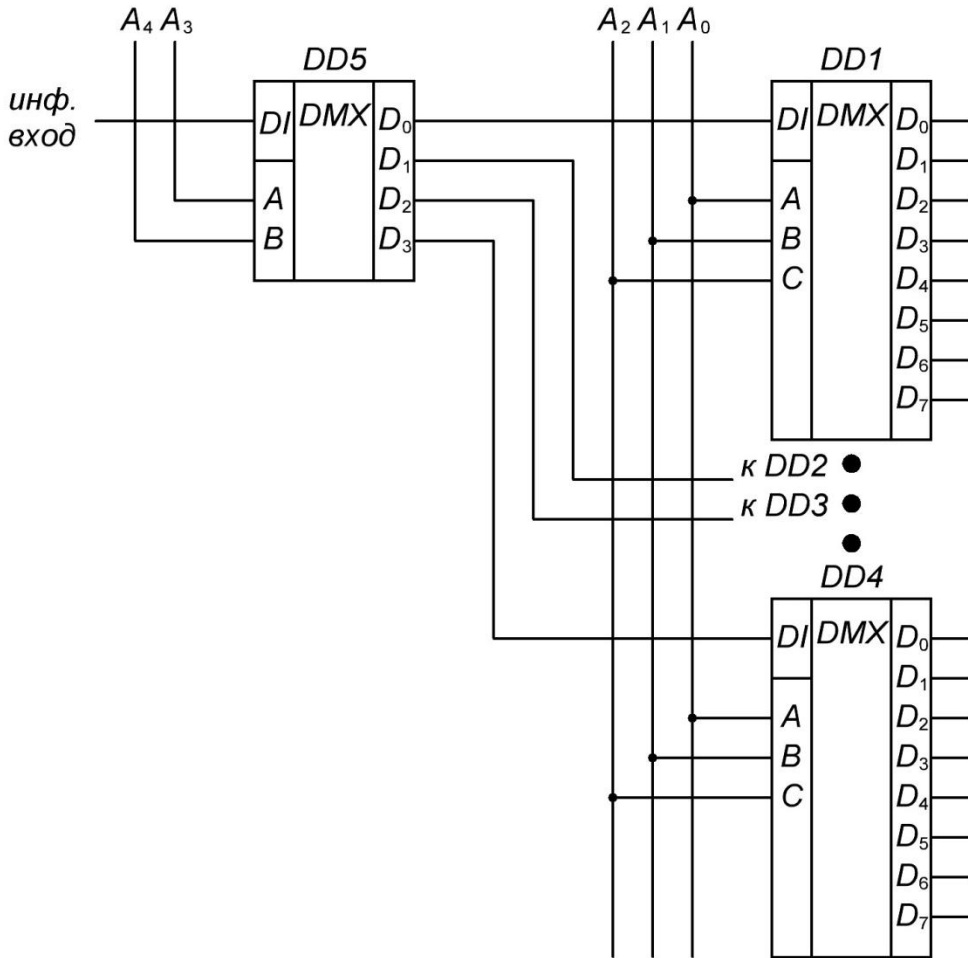
Вход разрешения используется под дополнительный старший разряд адреса (A_3).
0000 – 0111 – DD1 активен, DD2 заблокирован;
1000 – 1111 – DD2 активен, DD1 заблокирован.

Демультимплексоры

Увеличение разрядности демультимплексоров

2. Пирамидальное наращивание

Построение демультимплексора «1 на 32».



Трехразрядный адрес $A_2A_1A_0$, подаваемый на демультимплексоры $DD1$ - $DD4$ ставит их в равные условия. Входной информационный сигнал распределяется между этими демультимплексорами с помощью $DD5$ - демультимплексора с меньшей выходной разрядностью, адресуемого старшими разрядами адреса A_4A_3 .

Сумматоры и вычитатели

Сумматоры – комбинационные устройства, выполняющие функцию сложения чисел.

Полусумматор и полный сумматор

Задача. Сложить два числа.

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

A, B – одноразрядные числа;
 S – сумма;
 P – перенос.

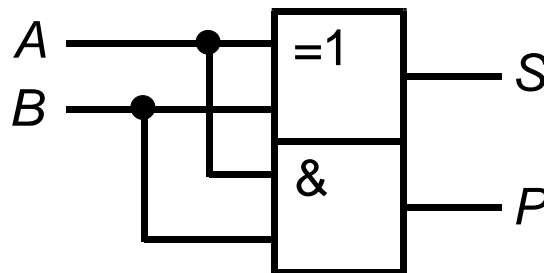
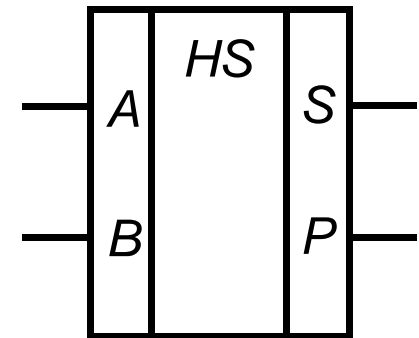


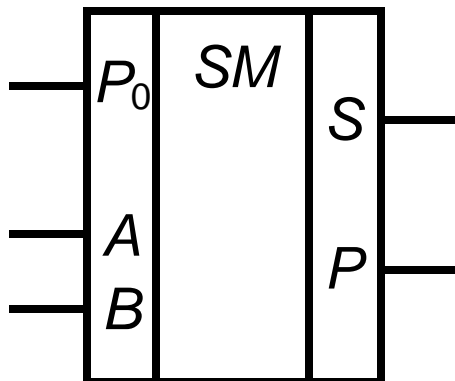
Схема одноразрядного полусумматора

$$S = \bar{A}B + A\bar{B} = A \oplus B$$

$$P = A \cdot B$$



УГО полусумматора



УГО сумматора

Полный сумматор, в отличие от полусумматора, учитывает результат предыдущего сложения и для этого имеет вход переноса из предыдущего разряда.

Многоразрядный сумматор

На базе одnorазрядного полного сумматора строятся многоразрядные сумматоры.

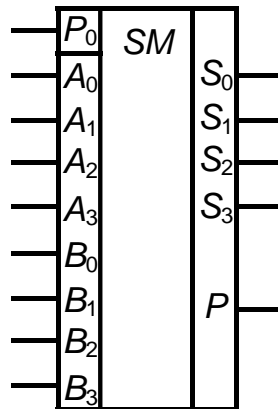
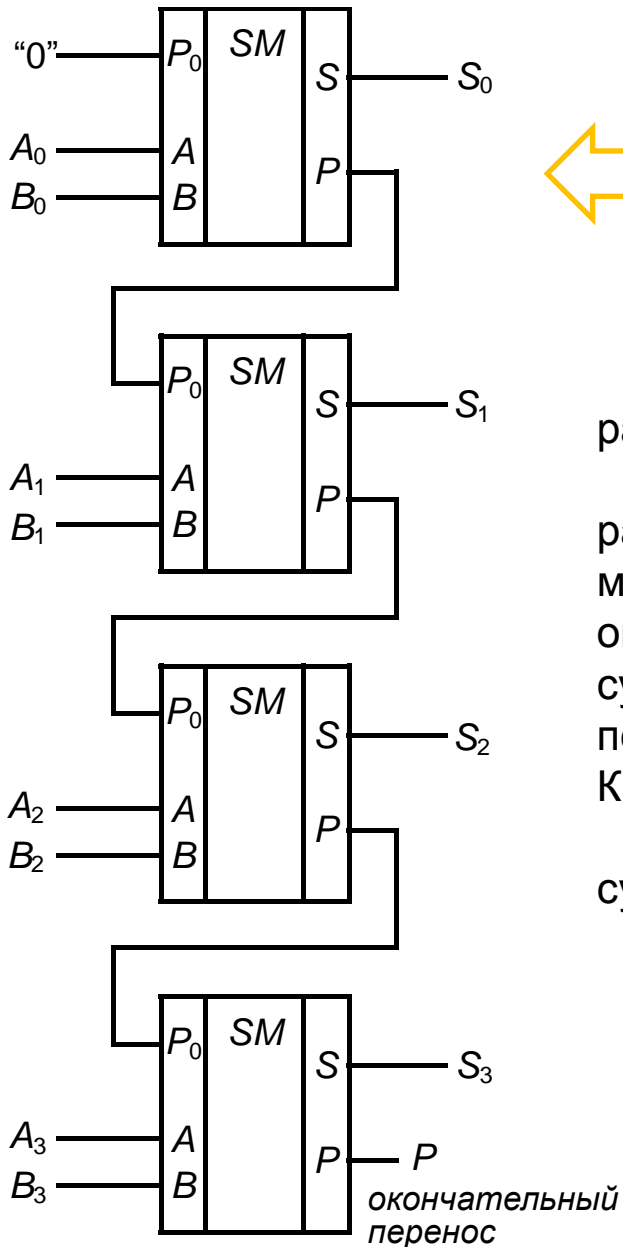
Параллельный сумматор осуществляет сложение двух 4-х разрядных чисел.

$$A_3 A_2 A_1 A_0 + B_3 B_2 B_1 B_0 = S_3 S_2 S_1 S_0$$

Окончательный перенос необходим для дальнейшего увеличения разрядности сумматора.

В рассмотренной схеме перенос выполняется последовательно из разряда в разряд, что занимает некоторое время. При суммировании многоразрядных чисел это время **значительно!** и именно оно определяет время суммирования. С целью уменьшения времени суммирования вместо последовательного используют параллельный перенос. Такой перенос реализован в 4-х разрядном сумматоре К555ИМ6.

В ИМС выпускаются одно-, двух- и 4-х разрядные двоичные сумматоры.



УГО 4-х разрядного сумматора К155ИМ3

Вычитатели

Вычитатели строятся на базе сумматоров и в виде отдельных устройств не предусмотрены. Для выполнения операции вычитания на сумматоре необходимо вычитаемое представить в обратном коде, и к результату прибавить 1.

Пример.

$$\begin{array}{r}
 11_{10} \\
 - 5_{10} \\
 \hline
 6_{10}
 \end{array}
 \rightarrow
 \begin{array}{r}
 1011_2 \\
 - 0101_2 \\
 \hline
 0110_2
 \end{array}
 \rightarrow
 \begin{array}{r}
 + 1011_2 \\
 + 1010_2 \\
 \hline
 10101_2 \text{ - промежуточный результат} \\
 + 1_2 \\
 \hline
 01110_2 \text{ - разность}
 \end{array}$$

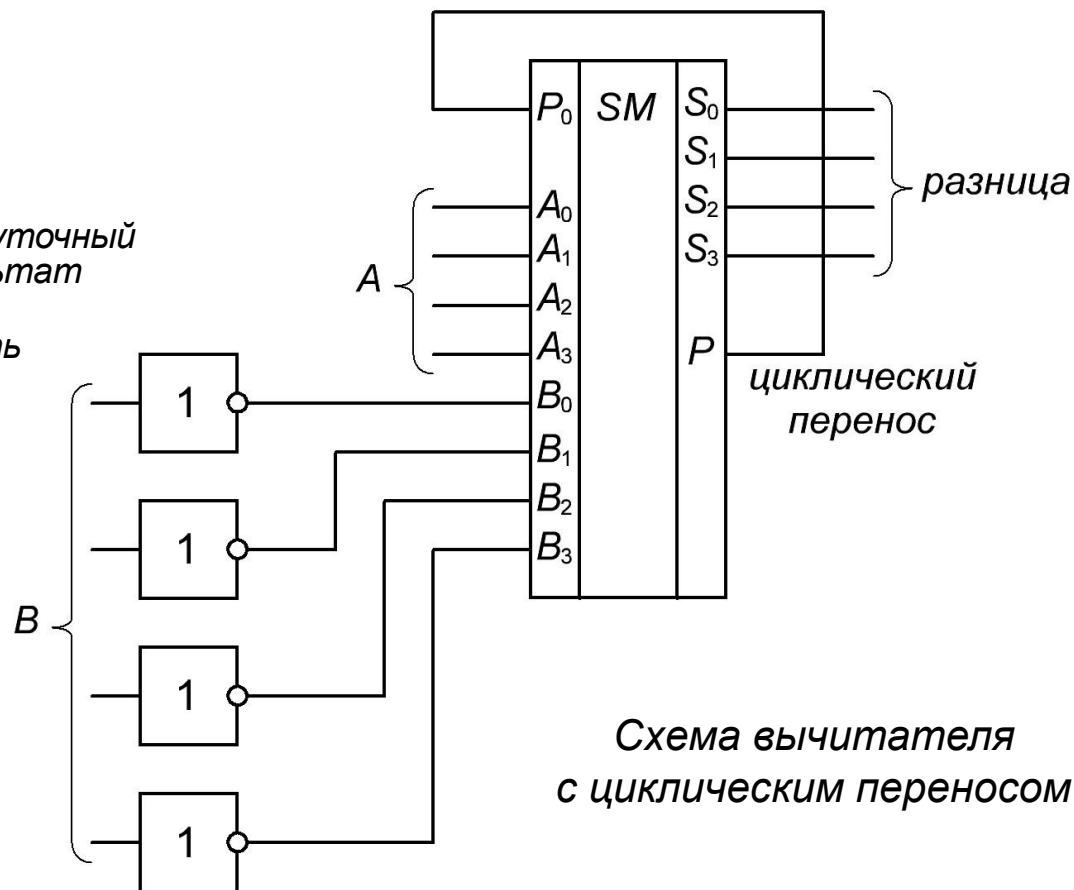
перенос

Данный метод вычитания реализуется схемой с циклическим переносом. Циклический перенос позволяет использовать «1» на выходе P для сложения с промежуточным результатом вычитания.

Возможно обойтись без циклического переноса, но в этом случае на вход $P_0=1$.

Если $P=1$, то число на выходе положительное, т.е. представлено в прямом коде.

Если $P=0$, то число на выходе отрицательное, т.е. представлено в обратном коде, \Rightarrow результат вычитания нужно инвертировать.



"0" - сложение
"1" - вычитание

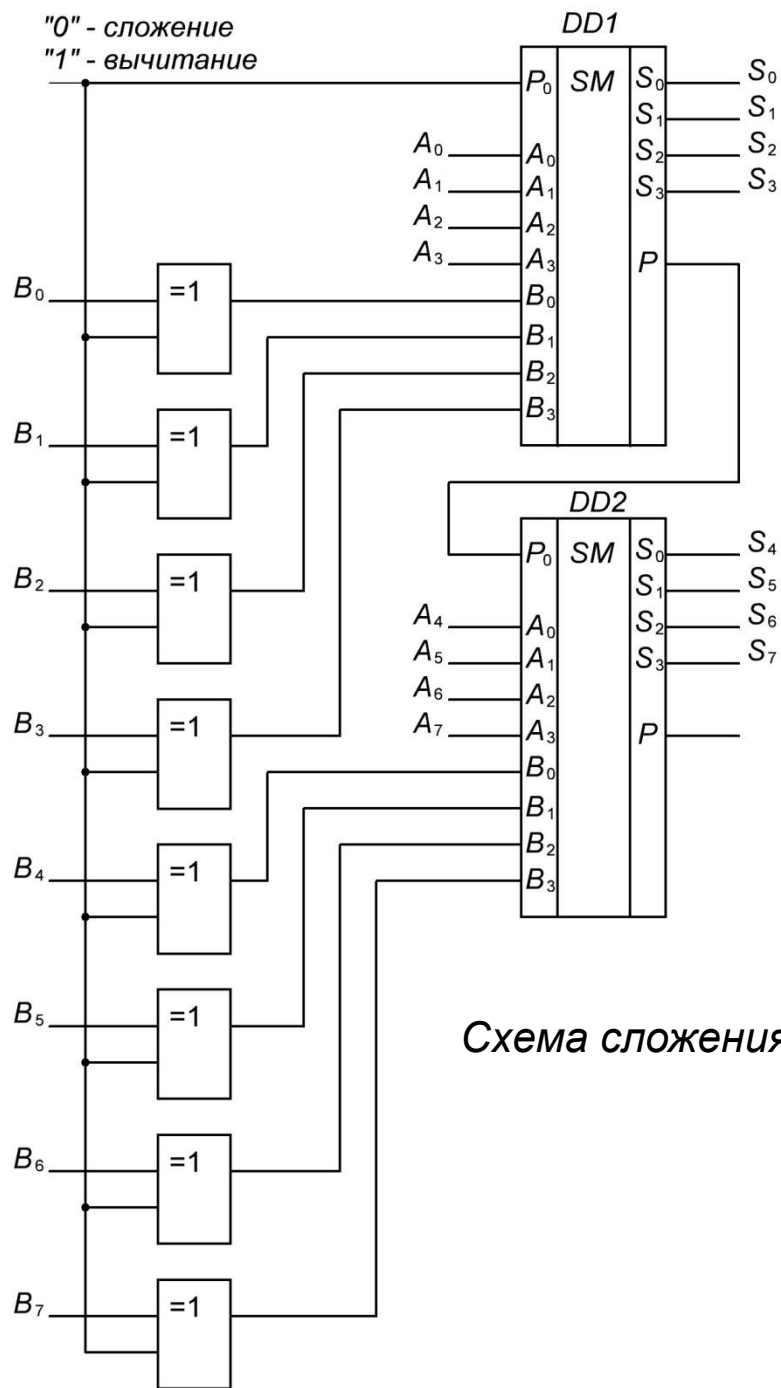


Схема сложения-вычитания

Вычитатели

Вычитатели строятся на базе сумматоров и в виде отдельных устройств не предусмотрены. Если в предыдущей схеме вычитателя с циклическим переносом вместо инверторов поставить элементы «исключающего ИЛИ», то на одной ИМС можно производить и сложение и вычитание.

Цифровые компараторы

Цифровые компараторы осуществляют сравнение двух чисел в двоичном коде. Цифровой компаратор имеет три выхода: $A > B$, $A = B$, $A < B$.

Компаратор можно построить на сумматоре, если производить на нем вычитание двух сравниваемых величин.

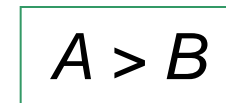
Пусть $A > B$

$$A = 1110_2 = 14_{10}$$

$$B = 1100_2 = 12_{10}$$



$$\begin{array}{r}
 1110 \text{ - число в прямом коде} \\
 + 0100 \text{ - число в дополнительном коде} \\
 \hline
 P=1 \text{ } 0010 \\
 \uparrow \\
 \text{перенос}
 \end{array}$$



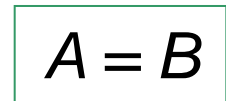
Пусть $A = B$

$$A = 1110_2 = 14_{10}$$

$$B = 1110_2 = 14_{10}$$



$$\begin{array}{r}
 1110 \\
 + 0010 \\
 \hline
 P=1 \text{ } 0000
 \end{array}$$



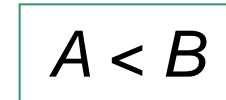
Пусть $A < B$

$$A = 1100_2 = 12_{10}$$

$$B = 1110_2 = 14_{10}$$

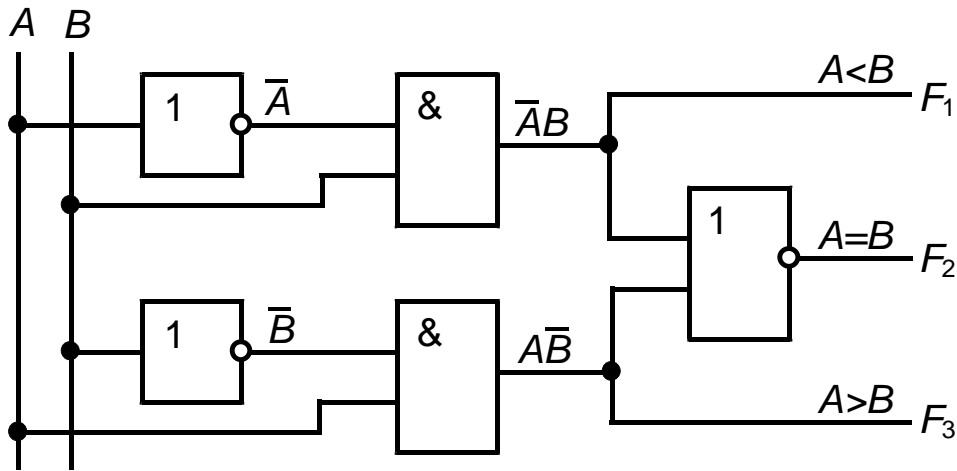


$$\begin{array}{r}
 1100 \\
 + 0010 \\
 \hline
 P=0 \text{ } 1110
 \end{array}$$



Цифровые компараторы

Схема сравнения двух одноразрядных чисел.

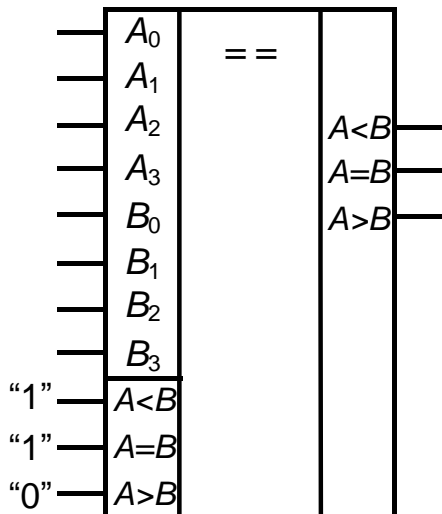


A	B	F_1 (A < B)	F_2 (A = B)	F_2 (A > B)
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

$$F_1 = \bar{A}B; \quad F_3 = A\bar{B};$$

$$F_2 = \overline{\bar{A}B + A\bar{B}} - \text{исключающее ИЛИ-НЕ}$$

K564ИП2



На базе простейшей схемы строятся n -разрядные компараторы. При сравнении многоразрядных чисел $A_3A_2A_1A_0$ и $B_3B_2B_1B_0$ сравнение начинается со старших разрядов.

Входы $A < B$, $A = B$, $A > B$ – входы расширения - для наращивания разрядности компаратора.

Наращивание разрядности компараторов осуществляется последовательно (каскадно) или параллельно (пирамидально).

Если используется одна ИМС, то на расширяющие входы подаются 1,1,0.

Примеры цифровых компараторов: K564ИП2, K561ИП2, 555СП1.

Информационные источники

1. Забродин Ю.С. Промышленная электроника: Учебник для вузов. – М.: Альянс, 2008. – 496 с.: ил.
2. Лачин В.И., Савёлов Н.С. Электроника: Учебное пособие. – Ростов н/Д: Феникс, 2007. – 703, [1] с.
3. Гусев В.Г., Гусев Ю.М. Электроника и микропроцессорная техника: Учеб. для вузов. – М.: Высш. шк., 2008. – 798 с.: ил.
4. Алексенко А.В., Шагуров И.И. Микросхемотехника. – М.: Радио и связь, 1990 (1982).
5. Потемкин И.С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988.
6. Зельдин Е.А. Цифровые интегральные схемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат, 1986.
7. Токхейм Р. Основы цифровой электроники. Пер. с англ. - М.: Мир, 1988. – 390 с.