



# Цифровые устройства


## *III. Последовательностные логические устройства (автоматы с памятью)*

Особенностью последовательностных логических устройств является зависимость выходного сигнала не только от действующих в настоящий момент на входе логических переменных, но и от тех значений переменных, которые действовали на входе в предыдущие моменты времени. Для выполнения этого условия значения переменных должны быть запомнены логическим устройством. Функцию запоминания значений логических переменных в цифровых схемах выполняют так называемые *триггерные элементы*.

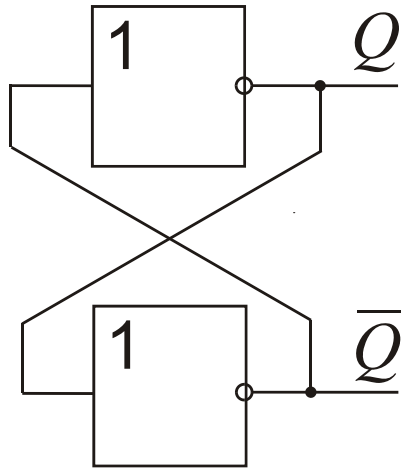
### *1. Триггеры*

**Триггером** называется устройство, способное формировать два устойчивых значения выходного сигнала и скачкообразно изменять эти значения под действием внешнего управляющего сигнала.

Это свойство позволяет применять триггер в качестве элемента памяти.



*Бистабильная ячейка образуется перекрёстным объединением инвертирующих логических элементов.*



Такая ячейка имеет только два устойчивых состояния «0» и «1».

Говорят, что триггер *установлен* в единичное состояние, когда на его выходе появляется напряжение высокого уровня. В противном случае триггер считается *сброшенным*.

1 триггер хранит 1 бит информации.

*Бистабильная ячейка является основой триггеров*

## *Классификация триггеров*

*По моменту реакции на входной сигнал* триггеры подразделяют на *асинхронные* и *синхронные*.

**Асинхронный** триггер изменяет свое состояние непосредственно в момент изменения сигнала на его информационных входах.

**Синхронный** триггер изменяет свое состояние лишь в определенные моменты времени, соответствующие действию активного сигнала на его входе синхронизации и не реагирует на любые изменения информационных сигналов при пассивном значении сигнала на входе *S*.



По типу используемых информационных входов различают *RS*-, *D*-, *T*-, *JK*- триггеры.

*R* – раздельный вход сброса триггера ( $Q = 0$ );

*S* – раздельный вход установки триггера ( $Q = 1$ );

*K* – вход сброса универсального триггера ( $Q=0$ );

*J* – вход установки универсального триггера ( $Q=1$ );

*T* – счетный вход счетного триггера;

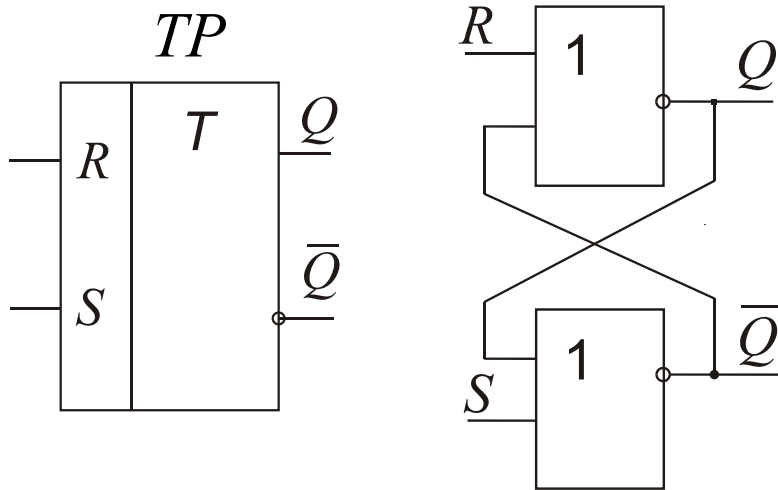
*D* – информационный вход переключения триггера в состояние, соответствующее логическому уровню на этом входе;

*C* – вход управления или синхронизации.

Кроме этих основных входов некоторые триггеры могут иметь вход *V*. Вход *V* блокирует работу триггера и он сколь угодно долго может сохранять ранее записанную в него информацию.

По виду активного логического сигнала, действующего на информационных входах, триггеры различают на **статические**, управляемые уровнем, и **динамические** – управляемые перепадом входного сигнала. При этом сами входы могут быть **прямыми** и **инверсными**.

## 1.1 Асинхронный RS-триггер с прямыми входами



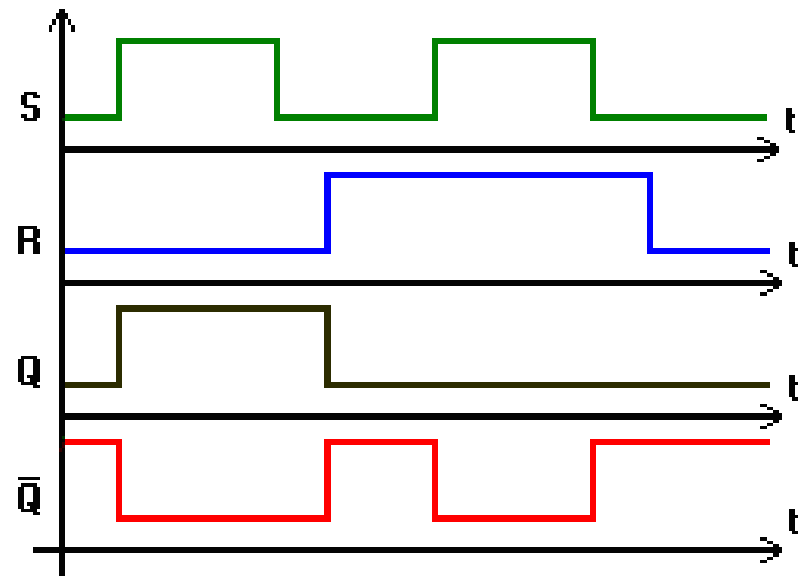
$R$  - вход установки триггера в состояние логического  $0$ , вход  $S$  - это вход установки триггера в состояние логической  $1$ .

Асинхронным - называется потому, что меняет свое состояние в момент подачи входного сигнала на входы  $S$  и  $R$ .

Активным сигналом для этой схемы является логическая  $1$ .

Таблица состояний асинхронного RS-триггера

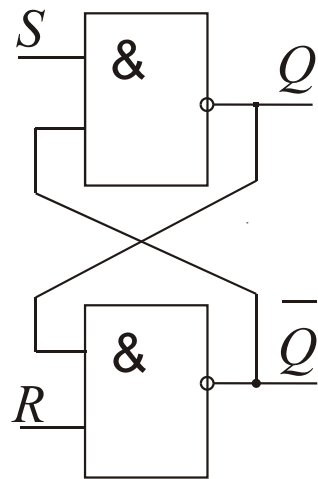
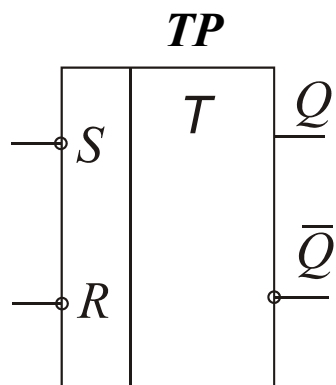
S	R	Q	$\bar{Q}$	Прим.
0	0	$Q_{i-1}$	$\bar{Q}_{i-1}$	хранение
0	1	0	1	устан. 0
1	0	1	0	устан. 1
1	1	-	-	запрет





## Асинхронный RS-триггер с инверсными входами

Таблица переходов

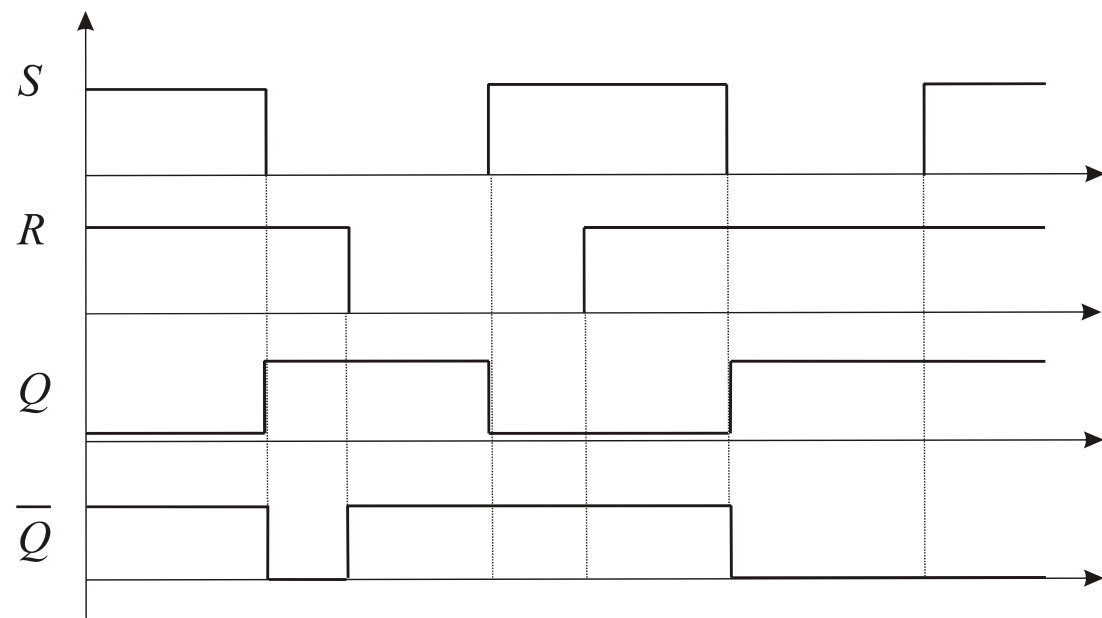


S	R	Q	$\bar{Q}$	Прим.
0	0	-	-	запрет
0	1	1	0	устан. 1
1	0	0	1	устан. 0
1	1	$Q_{i-1}$	$\bar{Q}_{i-1}$	хранение

Вход **R** - вход установки триггера в состояние логического **0**.

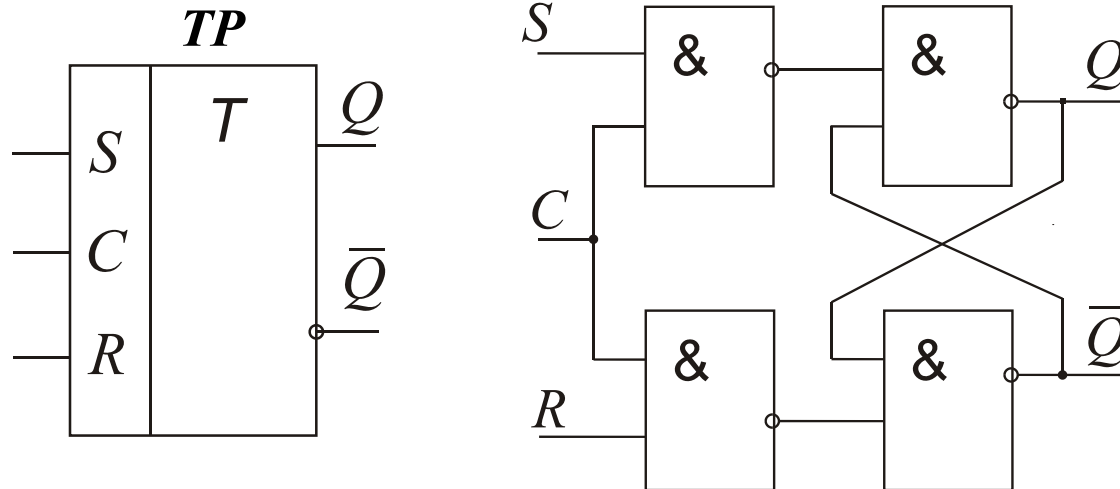
Вход **S** - это вход установки триггера в состояние логической **1**.

Активным сигналом для этой схемы является **0**.





## Синхронный RS-триггер



Триггер является синхронным, т.к. у него помимо информационных входов  $S$  и  $R$ , существует управляющий вход  $C$  (CLK).

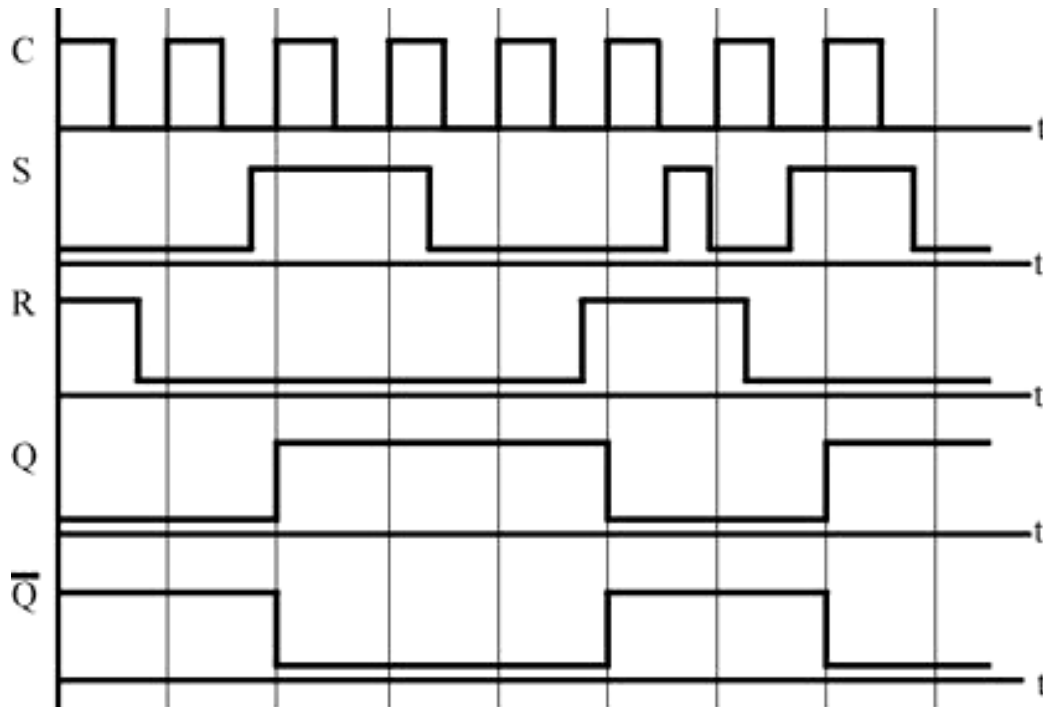
Триггер будет менять свое состояние только при логической  $1$  на входе  $C$ .

Активным сигналом для этой схемы является логическая  $1$ .



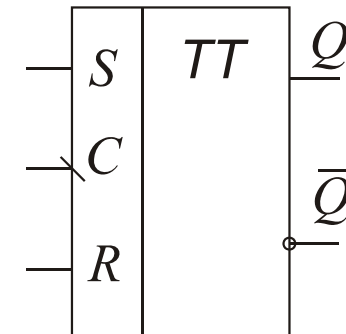
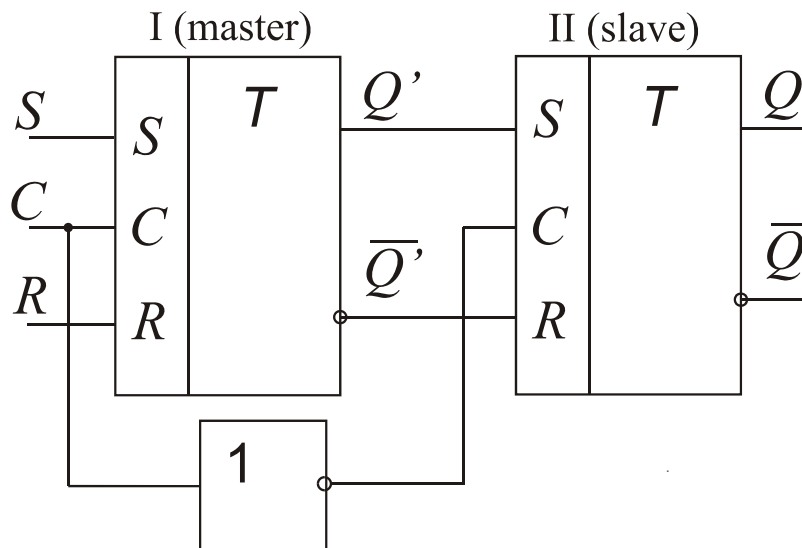
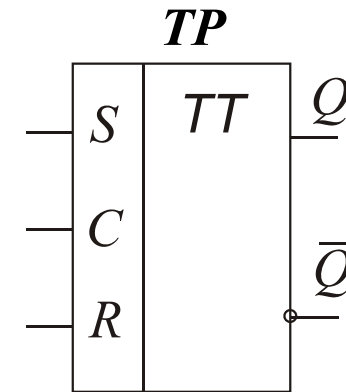
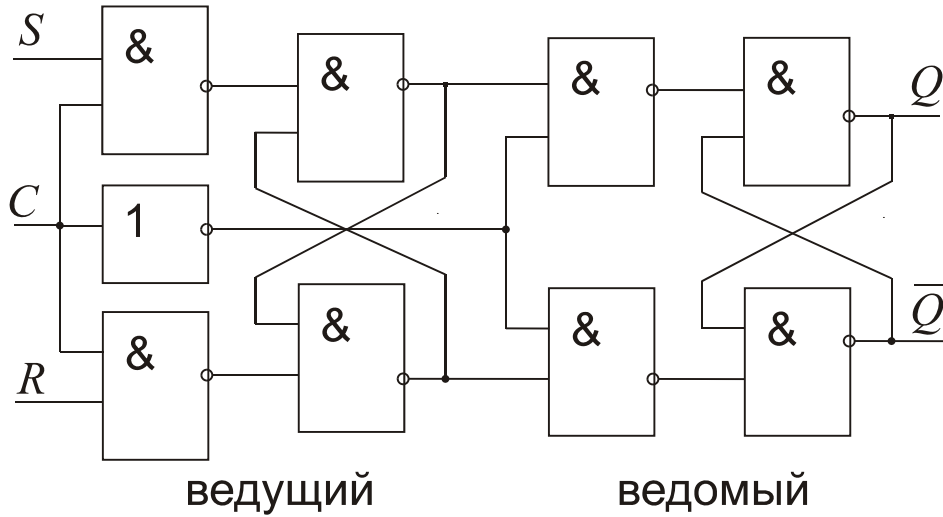
Таблица переходов  
синхронного RS-триггера

C	S	R	Q	$\bar{Q}$	Прим.
0	x	x	$Q_{i-1}$	$\bar{Q}_{i-1}$	хранение
1	0	0	$Q_{i-1}$	$\bar{Q}_{i-1}$	хранение
1	0	1	0	1	устан. 0
1	1	0	1	0	устан. 1
1	1	1	-	-	запрет









## Двухступенчатый RS-триггер (MS-триггер)

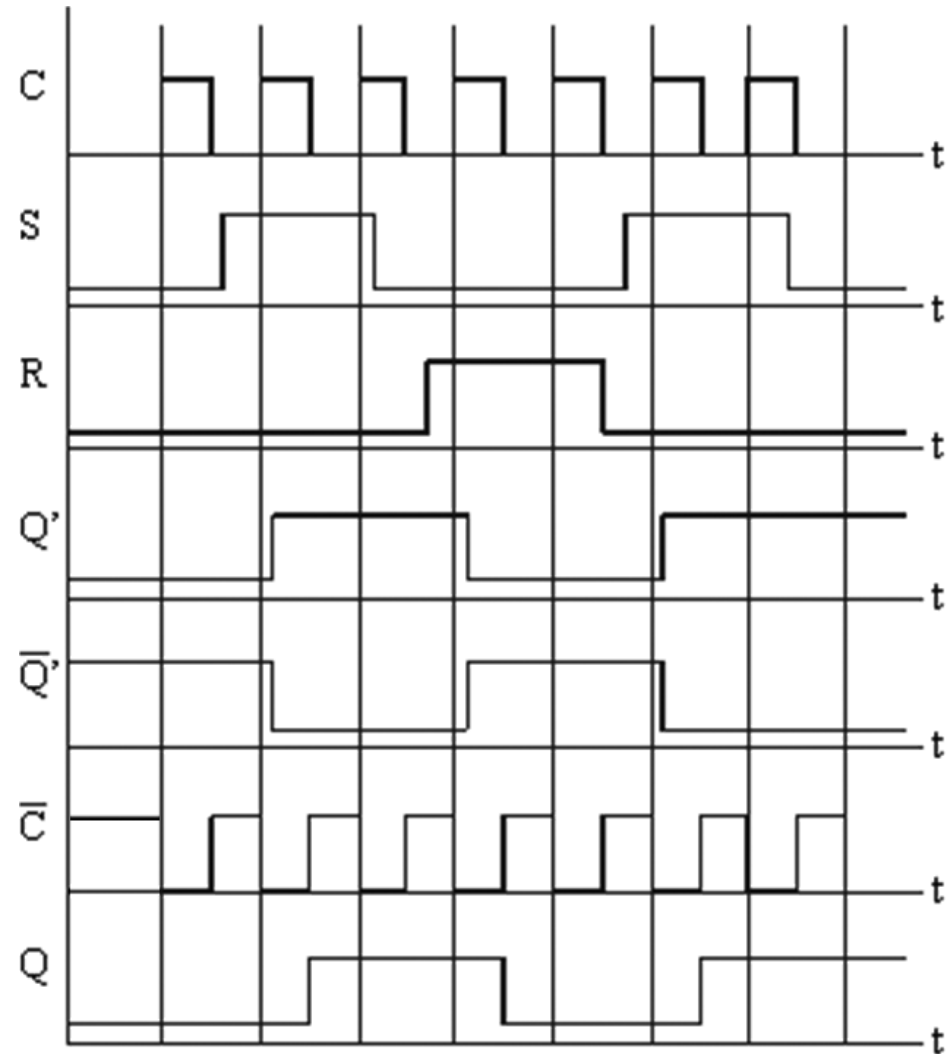






## Таблица переходов двухступенчатого RS-триггера

C	S	R	Q	$\bar{Q}$	Прим.
0	x	x	$Q_{i-1}$	$\bar{Q}_{i-1}$	хран.
	0	0	$Q_{i-1}$	$\bar{Q}_{i-1}$	хран.
	0	1	0	1	устан. 0
	1	0	1	0	устан. 1
	1	1	-	-	запрет



Изменение состояния выхода ведущего триггера будет происходить в момент появления положительного импульса синхронизации, и эти изменения будут переданы на входы ведомого триггера. Однако никакие изменения на выходе ведомого триггера не будут происходить до тех пор, пока не появится положительный сигнал инвертированного импульса синхронизации, т.е. задний фронт исходного синхроимпульса.

## 1.2 D – триггер (одноступенчатый)

D-триггер - это устройство с двумя устойчивыми состояниями, и одним информационным входом (триггер-защелка).

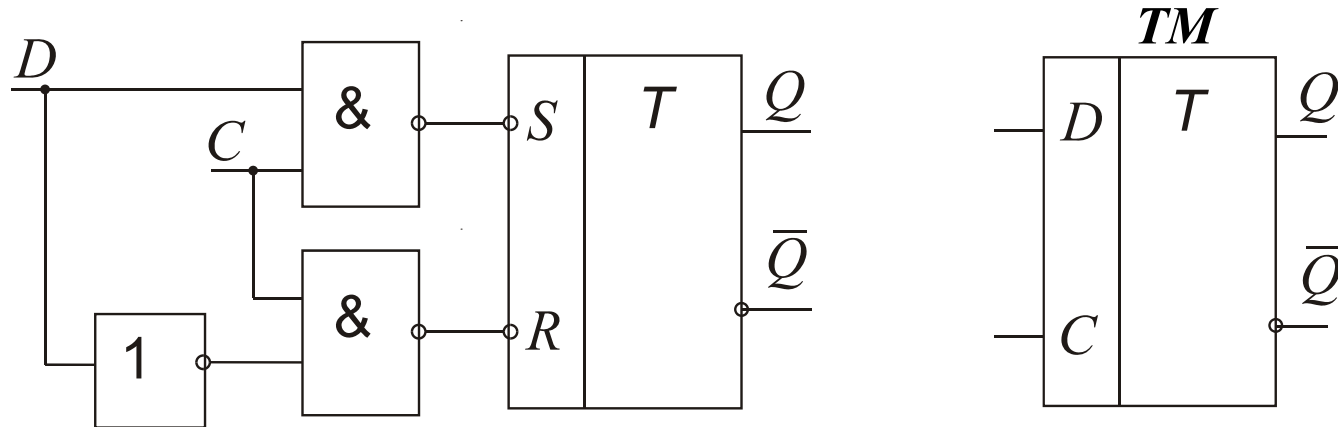
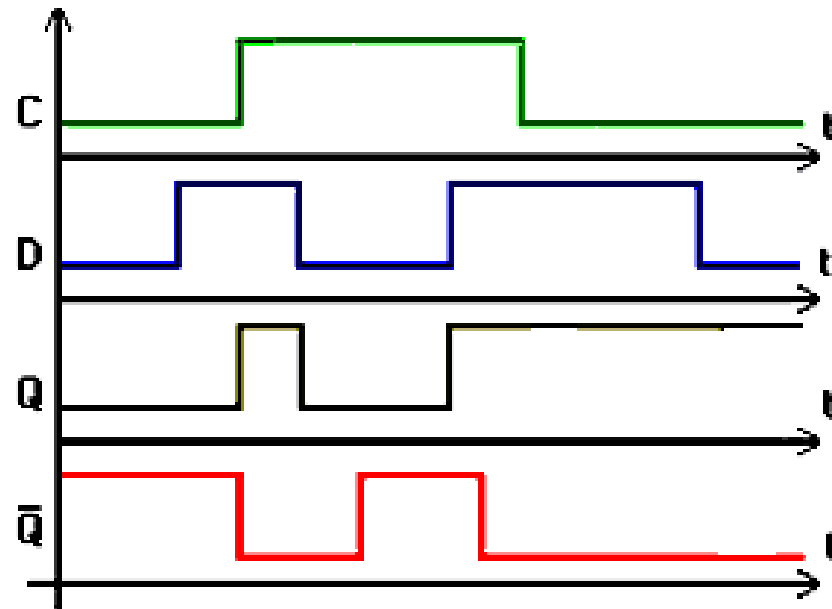


Таблица состояний

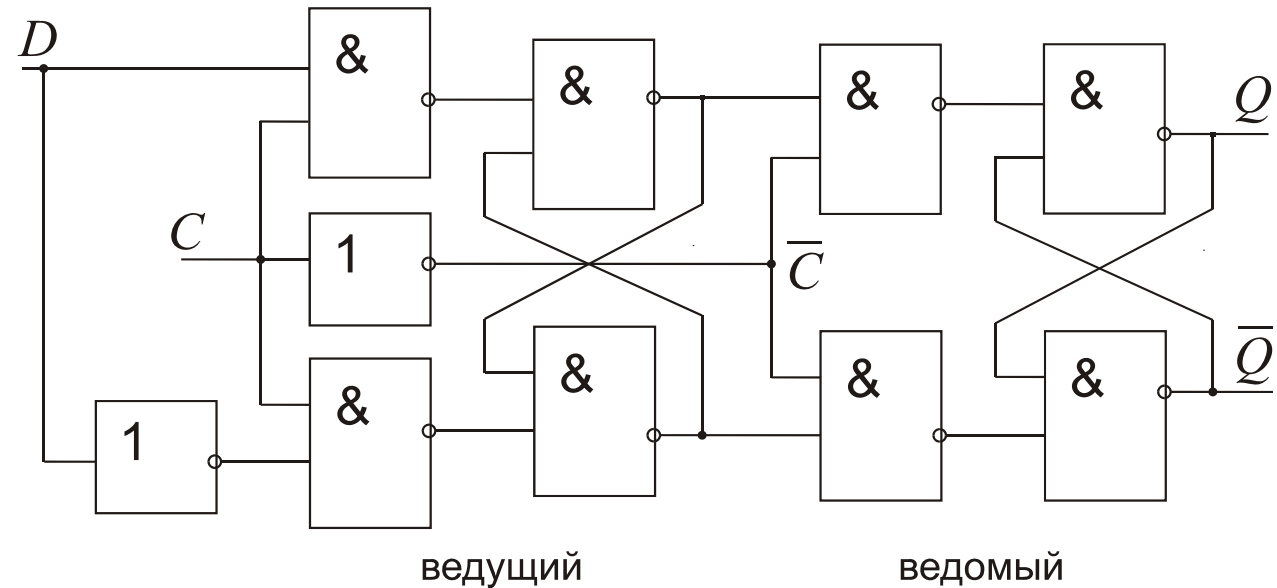
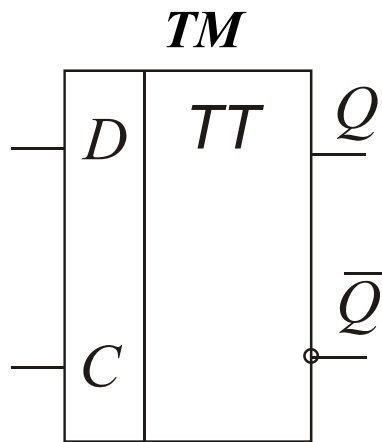
C	D	Q	$\bar{Q}$	Прим.
0	x	$Q_{i-1}$	$\bar{Q}_{i-1}$	хран.
1	0	0	1	устан. 0
1	1	1	0	устан. 1

Не имеет запрещенной ситуации.  
Бывает только синхронный





## Двухступенчатый D – триггер



При последовательном соединении двух D-триггеров пропадает их прозрачность для входного сигнала. Для передачи входных сигналов на выход схемы триггеры тактируются взаимно дополняющей парой синхросигналов, как в случае синхронного RS-триггера. Выходной сигнал *ведущего* D-триггера  $Q$  повторяет входной сигнал до тех пор пока сигнал  $C=1$ . В это время *ведомый* триггер остается закрытым. Как только сигнал  $C$  становится равным нулю, первый D-триггер запирается и выходной сигнал второго триггера  $Q$  повторяет сигнал на выходе ведущего триггера  $Q'$ .

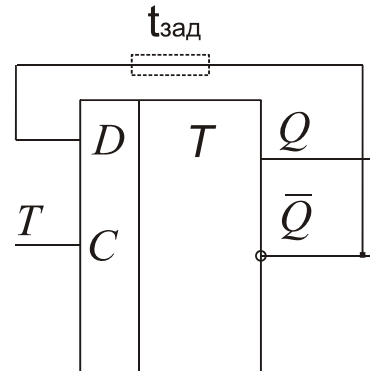
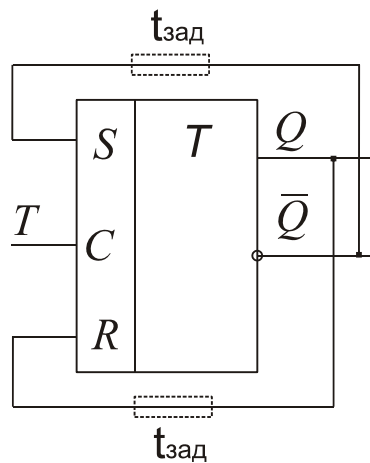
### 1.3 T – триггер

T-триггер или *счетный триггер*, изменяет свое состояние на **противоположное** по каждому активному логическому сигналу на информационном входе  $T$ .

Таблица состояний T-триггера

$Q_{i-1}$	T	Q		Прим.
0	0	0	$Q_{i-1}$	хранение
0	1	1	$\bar{Q}$	инверсия
1	0	1	$Q_{i-1}$	хранение
1	1	0	$\bar{Q}_{i-1}$	инверсия

Реализация данного режима работы с использованием простейшего элемента памяти требует подачи на последний для каждого последующего переключения инверсных значений входных сигналов. Такой режим обеспечивается введением в RS- или D-триггер цепей дополнительной обратной связи.

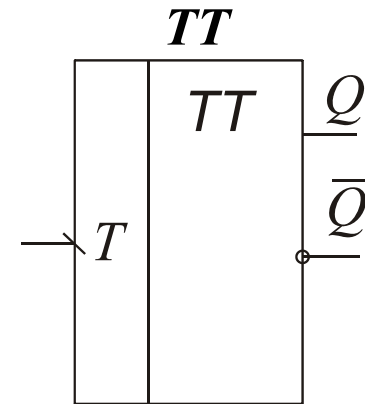
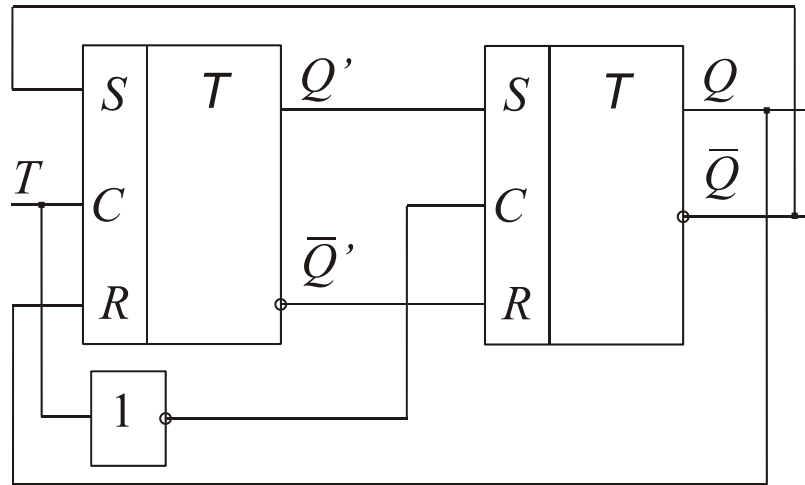


Однако, используя только один RS- или D-триггер реализовать T-триггер невозможно, т.к. тогда он должен быть одновременно и источником информации, и ее приемником. Прием новой информации автоматически означает потерю старой, даже если вводится звено задержки.



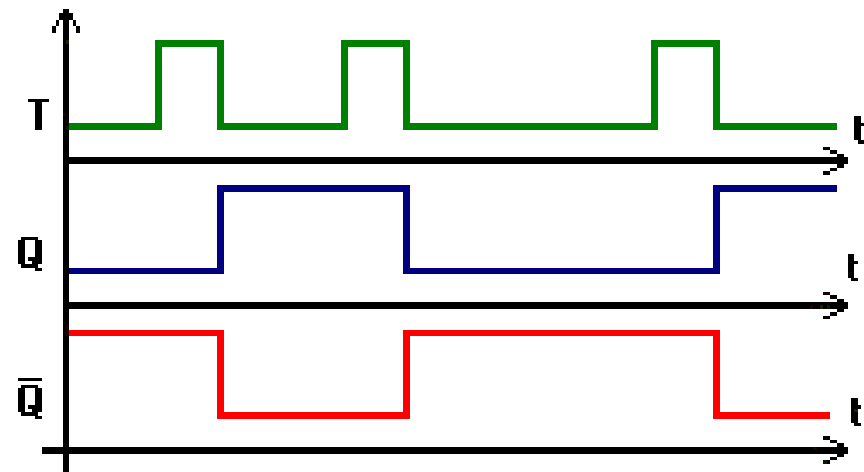
Для получения надежного  $T$ -триггера необходимо либо использовать дополнительный элемент памяти, запоминая новые значения сигналов  $R$ ,  $S$  или  $D$  и подающий их на информационные входы основного элемента памяти только после снятия активного сигнала со входа  $T$ , либо искусственно ограничивать длительность сигнала  $T$ .

### Двухступенчатый $T$ – триггер (асинхронный)



(или без slash)

Новая информация формируется сначала на выходе ведущего триггера при сохранении старой информации в ведомом. Когда новое состояние на выходе ведущего сформировано и снят активный уровень сигнала  $T$ , происходит ее перезапись в ведомый триггер.

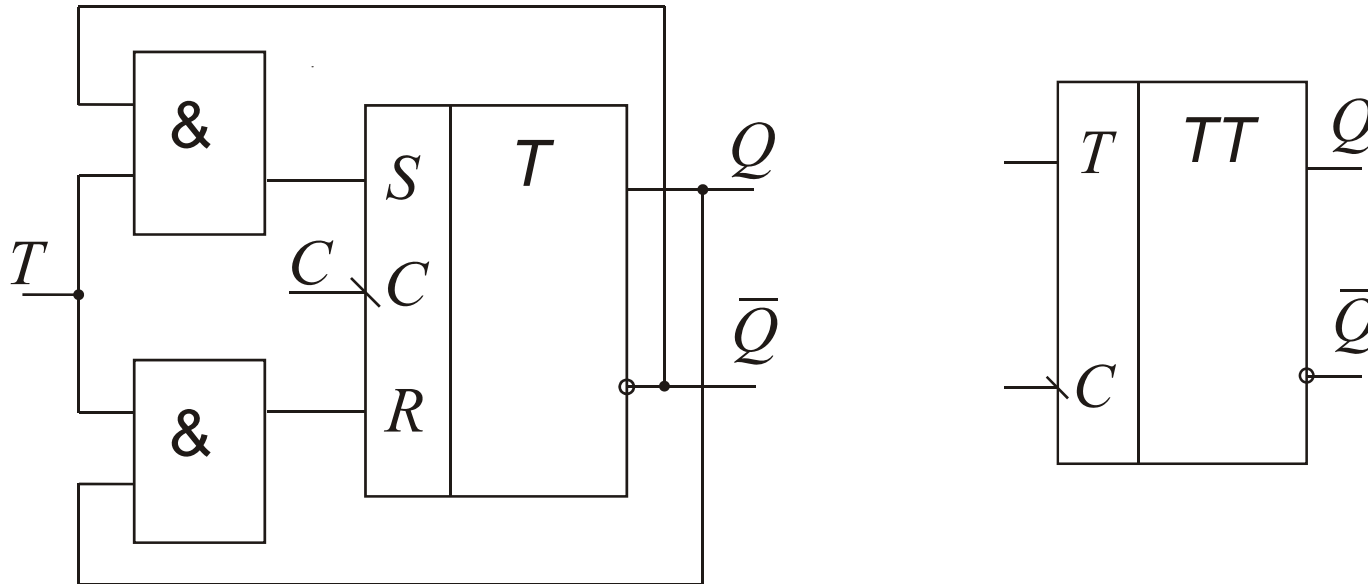




## Синхронный T-триггер

(используется реже)

(как правило, строится на основе триггера с динамическим управлением)





## 1.4 JK – триггер

В отличие от RS-триггера, JK-триггер **не имеет запрещенных комбинаций** входных сигналов.

JK – триггер может быть одноступенчатым и двухступенчатым, со статическим и динамическим переключением.

Таблица состояний асинхронного JK-триггера

J	K	Q	$\bar{Q}$	Прим.
0	0	$Q_{i-1}$	$\bar{Q}_{i-1}$	хранение
0	1	0	1	устан. 0
1	0	1	0	устан. 1
1	1	$\bar{Q}_{i-1}$	$Q_{i-1}$	инверсия

Логическое выражение для асинхронного JK-триггера

$$Q_{i+1} = J\bar{Q}_i + \bar{K}Q_i$$

Обычно JK-триггеры делаются синхронными.

Таблица состояний синхронного JK-триггера

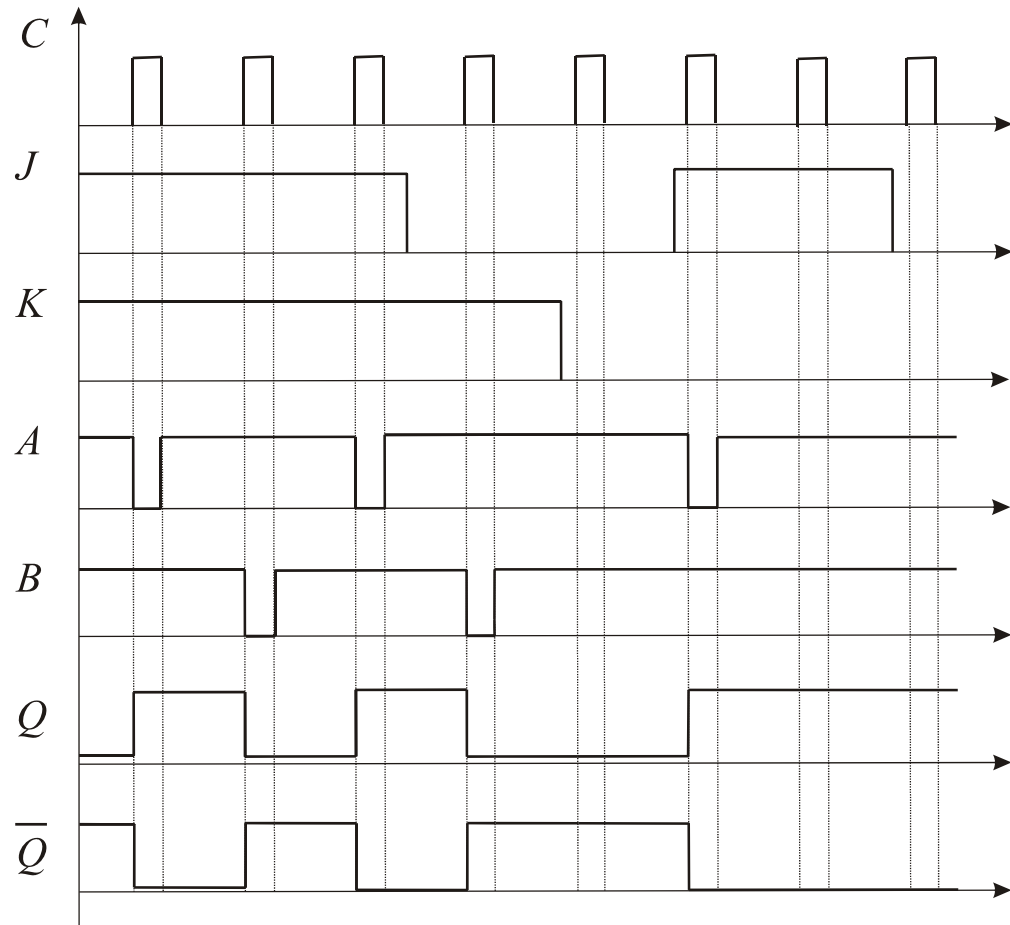
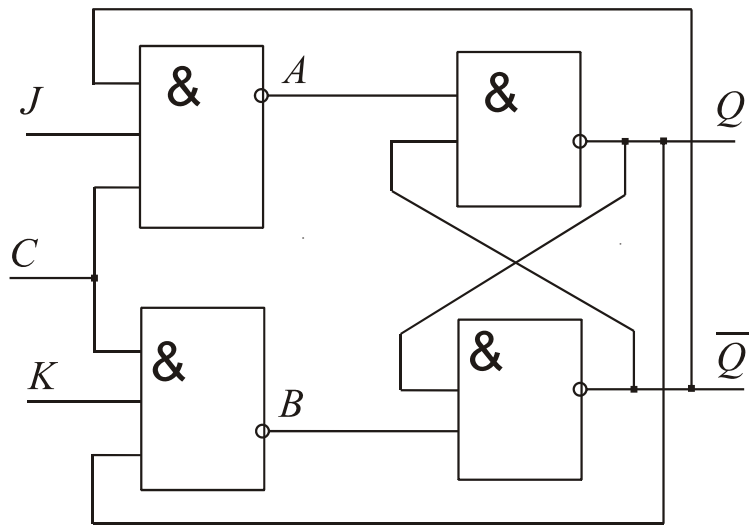
C	J	K	Q	$\bar{Q}$	Прим.
0	x	x	$Q_{i-1}$	$\bar{Q}_{i-1}$	хранение
$\square$	0	0	$Q_{i-1}$	$\bar{Q}_{i-1}$	хранение
$\square$	0	1	0	1	устан. 0
$\square$	1	0	1	0	устан. 1
$\square$	1	1	$\bar{Q}_{i-1}$	$Q_{i-1}$	инверсия

Логическое выражение для синхронного JK-триггера

$$Q_{i+1} = (J\bar{Q}_i + \bar{K}Q_i)C + Q_i\bar{C}$$



## Синхронный JK – триггер

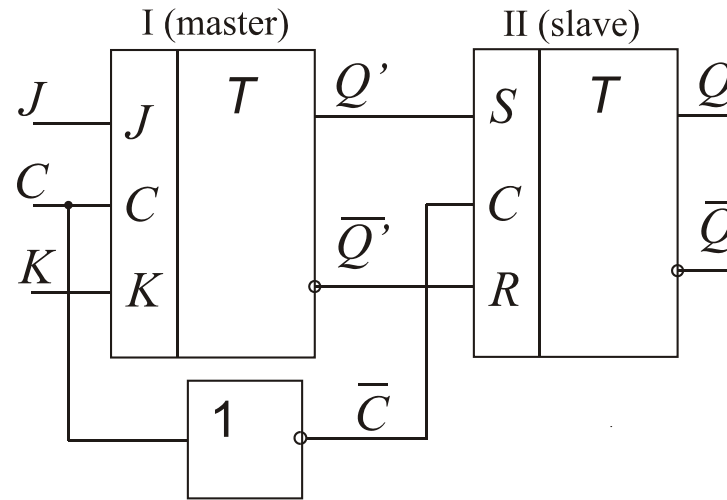
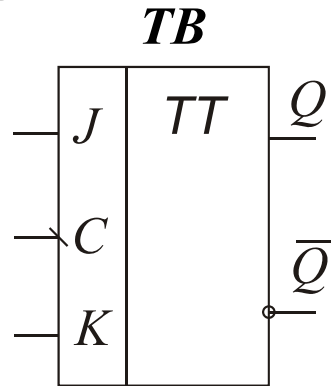


Импульсы  $C$  должны быть достаточно короткими, чтобы исключить повторное срабатывание триггера. Поэтому JK-триггеры делаются **двухступенчатыми** или **с динамическими входами**.

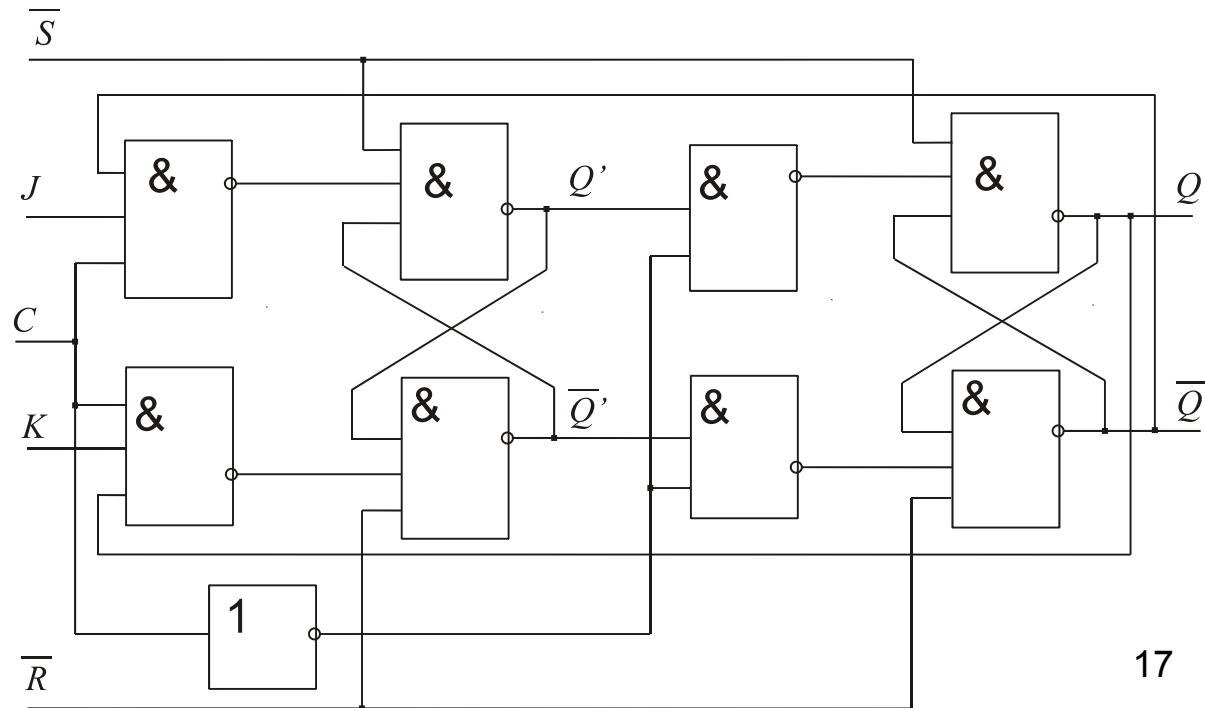
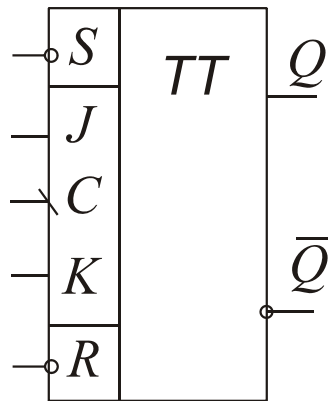




## Двухступенчатый JK – триггер



*JK-триггер с  
асинхронным сбросом  
и установкой*





## *Особенности эксплуатации синхронных триггеров со статическим управлением*

Во время действия тактового импульса  $C$  состояния управляющих входов  $RS$ ,  $D$ , или  $JK$  **не должны меняться**.

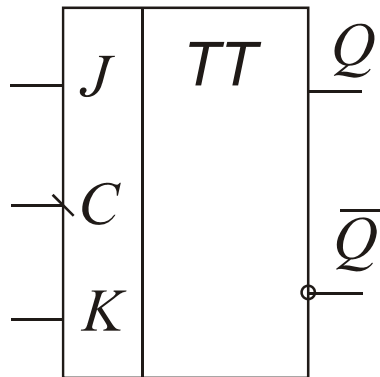
В противном случае может произойти ложное срабатывание.

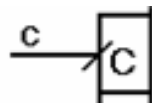
- 1. Проскок помехи** – при неизменных состояниях на управляющих входах  $RS$ ,  $D$ ,  $JK$  состояние на выходе триггера изменяется сразу после прихода помехи.
- 2. Захват помехи** – при неизменных состояниях на управляющих входах  $RS$ ,  $D$ ,  $JK$  состояние на выходе триггера изменяется по тактовому импульсу.

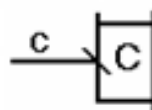
## 1.5 Триггеры с динамическим управлением

Все рассмотренные синхронные триггеры могут быть с динамическим управлением, т.е. работать как по переднему, так и по заднему фронту.

*ТР, ТВ, ТТ, ТМ (ТД)*



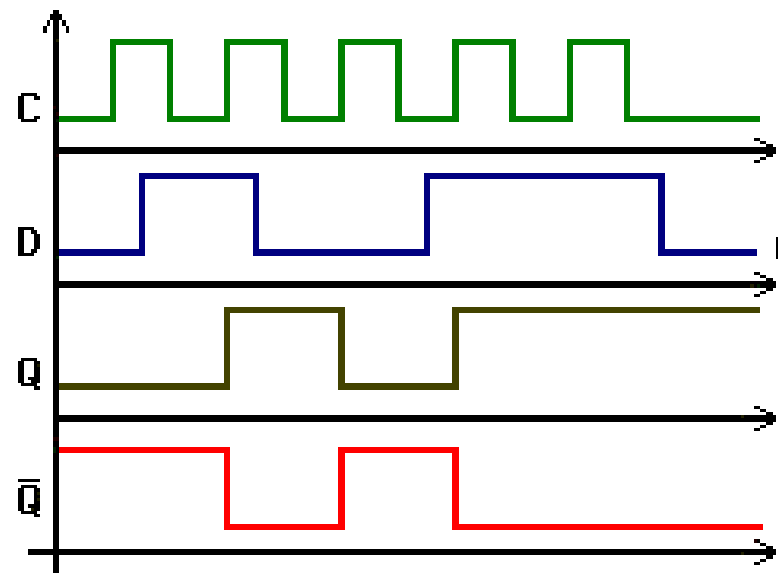
 - синхронизация передним фронтом

 - синхронизация задним фронтом

**Пример.** Диаграммы работы  $D$ -триггера с записью по переднему фронту синхроимпульса

В триггерах с динамическим управлением информация записывается только по перепаду (фронту) напряжения на входе синхронизации.

Динамические входы изображают на схемах знаками  $\wedge$  или  $\blacktriangleright \blacktriangleleft$  (треугольником).

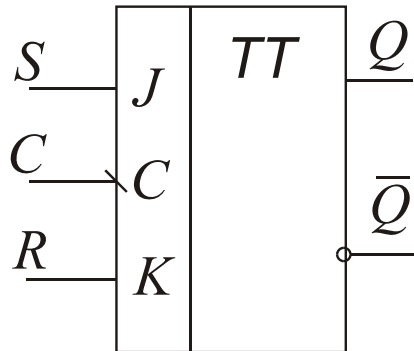




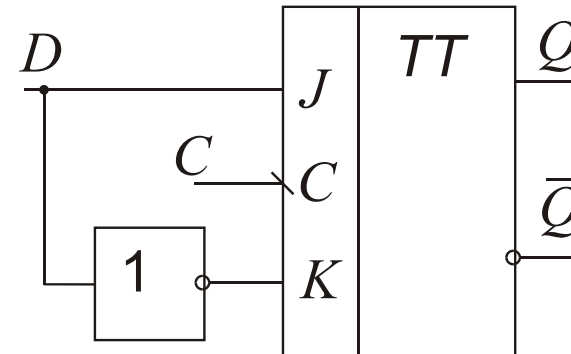
## Реализация $RS$ -, $D$ -, $T$ - триггеров с помощью $JK$ -триггера

$JK$  – триггер является универсальным триггером, так как на его основе могут быть выполнены любые из описанных ранее типов триггеров.

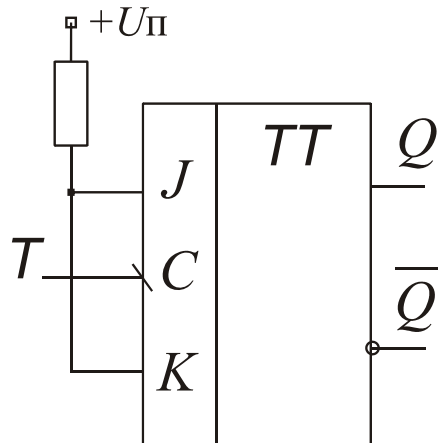
### Синхронный $RS$ -триггер



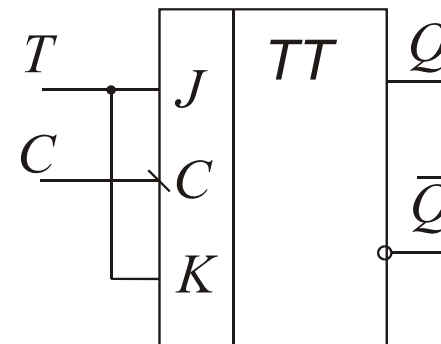
### Синхронный $D$ -триггер



### Асинхронный $T$ -триггер



### Синхронный $T$ -триггер





## 2. Счетчики

**Счетчиком** называется последовательностное устройство, предназначенное для счета входных импульсов и фиксации их числа в двоичном коде.

### *Основные параметры и классификация счетчиков*

Основным статическим параметром счетчика является **модуль счета  $M$** , который характеризует максимальное число импульсов, после прихода которого счетчик устанавливается в исходное состояние.

Основным динамическим параметром, определяющим быстродействие счетчика, является **время установления** выходного кода  $t_K$ , характеризующее временной интервал между моментом подачи входного сигнала и моментом установления нового кода на выходе.

*Модуль счета* также называют *коэффициентом счета* или *коэффициентом деления* и обозначают как  $K_{сч}$ .

**По значению модуля** счета счетчики подразделяют на:

**двоичные**, модуль счета которых равен целой степени числа 2 ( $M = 2^n$ );

**двоично-кодированные**, в которых модуль счета может принимать любое, не равное  $2^n$ , значение, в том числе *двоично-десятичные*.



*По направлению счета* счетчики подразделяют на:

***суммирующие***, выполняющие операцию инкремента над хранящимся кодовым словом;

***вычитающие***, выполняющие операцию декремента над хранящимся кодовым словом;

***реверсивные***, выполняющие в зависимости от значения управляющего сигнала над хранящимся кодовым словом либо операцию декремента, либо инкремента.

*По способу организации межразрядных связей* счетчики делятся на:

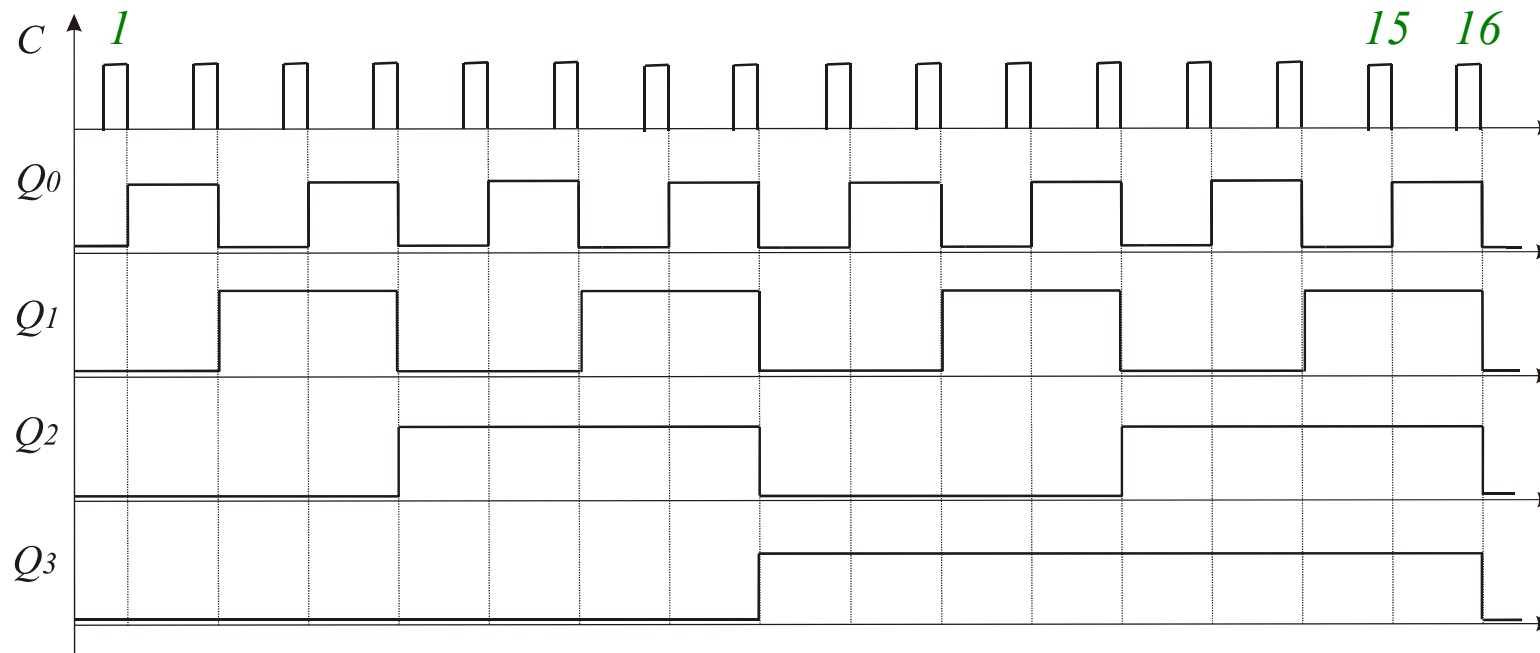
***счетчики с последовательным переносом (асинхронные счетчики)***, в которых переключение триггеров разрядных схем осуществляется последовательно один за другим;

***счетчики с параллельным переносом (синхронные счетчики)***, в которых переключение всех триггеров разрядных схем осуществляется одновременно по сигналу синхронизации;

***счетчики с комбинированным последовательно-параллельным переносом***, при котором используются различные комбинации способов переноса.

## 2.1 Асинхронные двоичные счетчики

Диаграммы работы 4-х разрядного суммирующего двоичного счетчика

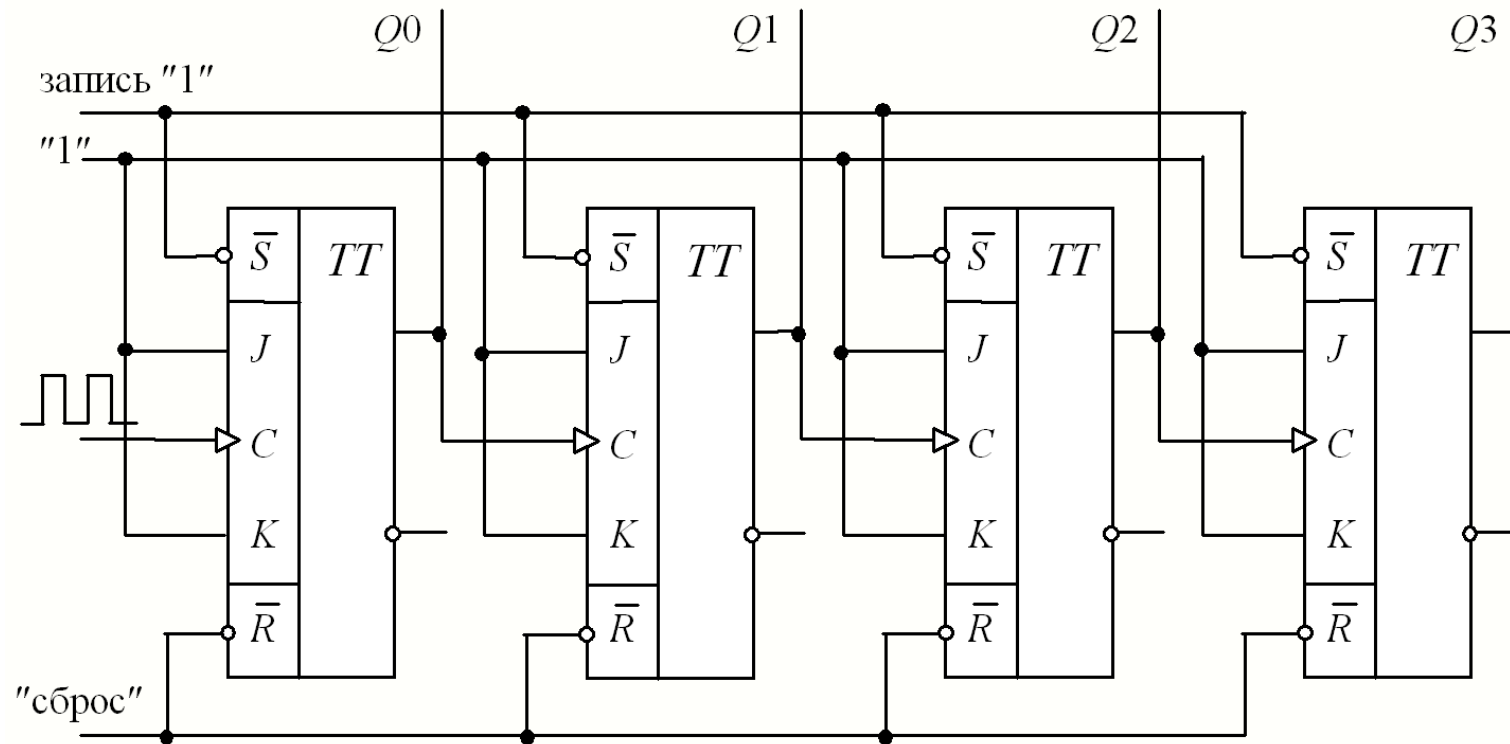


Пусть счетчик изменяет свое значение по **заднему** фронту счетного импульса  $C$ .

Говорят, что такой счетчик считает в **прямом** коде.

$Q_0$ , соответствующее младшему разряду двоичного числа, изменяет свое значение с приходом каждого импульса синхронизации;  $Q_1$  – с приходом каждого второго импульса синхронизации,  $Q_2$  – с приходом каждого четвертого импульса, а  $Q_3$  – с приходом каждого восьмого импульса. При этом двоичное число  $Q_3Q_2Q_1Q_0$  **увеличивает** свое значение на единицу с приходом каждого импульса  $C$ .

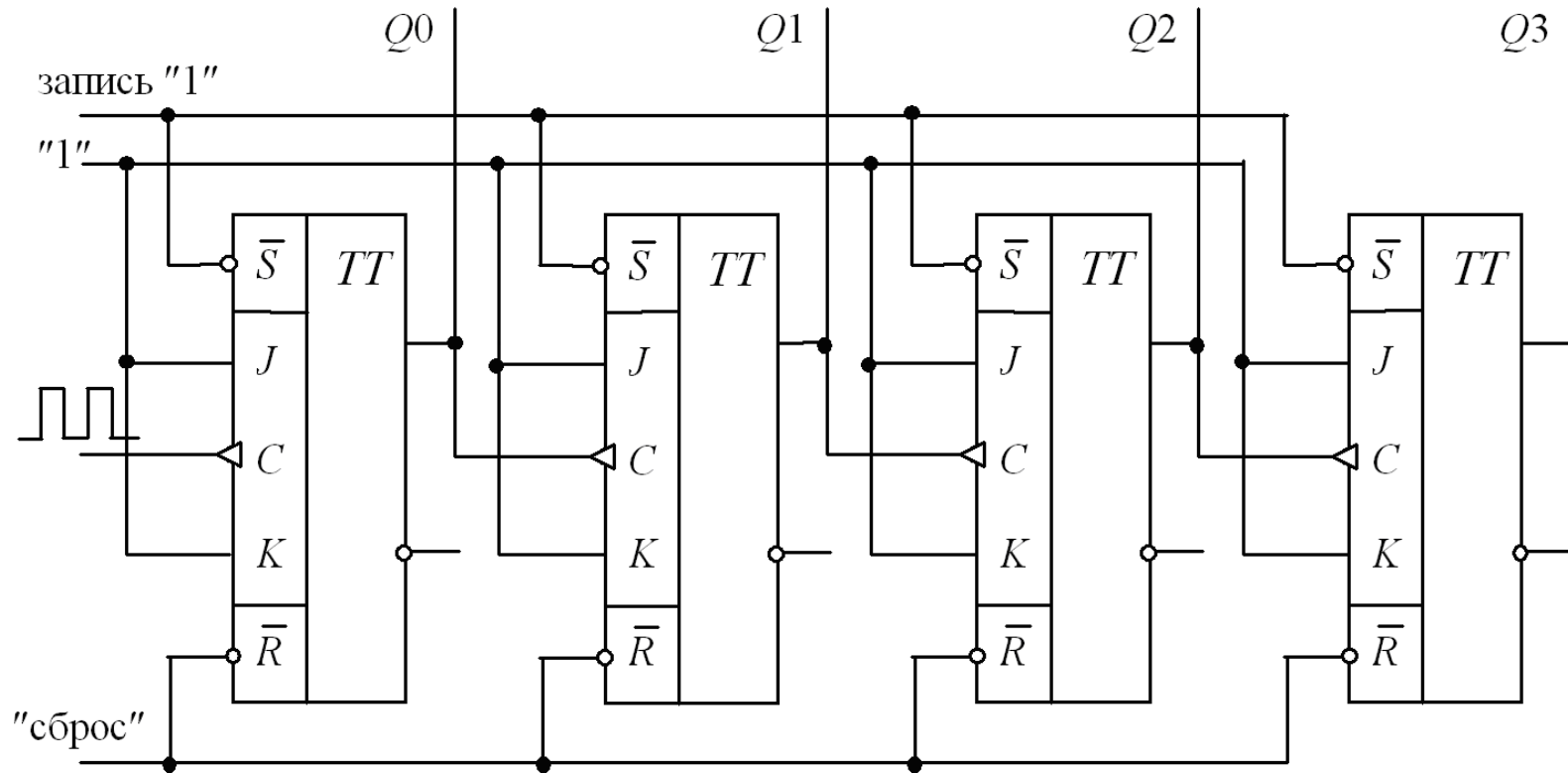
## Схема 4-х разрядного асинхронного суммирующего двоичного счетчика



Для получения счетчика с модулем счета  $M=16$  необходимо 4 триггера. Переключение каждого последующего триггера должно происходить в момент изменения выходного сигнала предыдущего триггера из 1 в 0, то есть по заднему фронту импульса. Таким образом получается **суммирующий счетчик**. При этом  $T$ -триггеры должны быть снабжены инверсными динамическими входами.

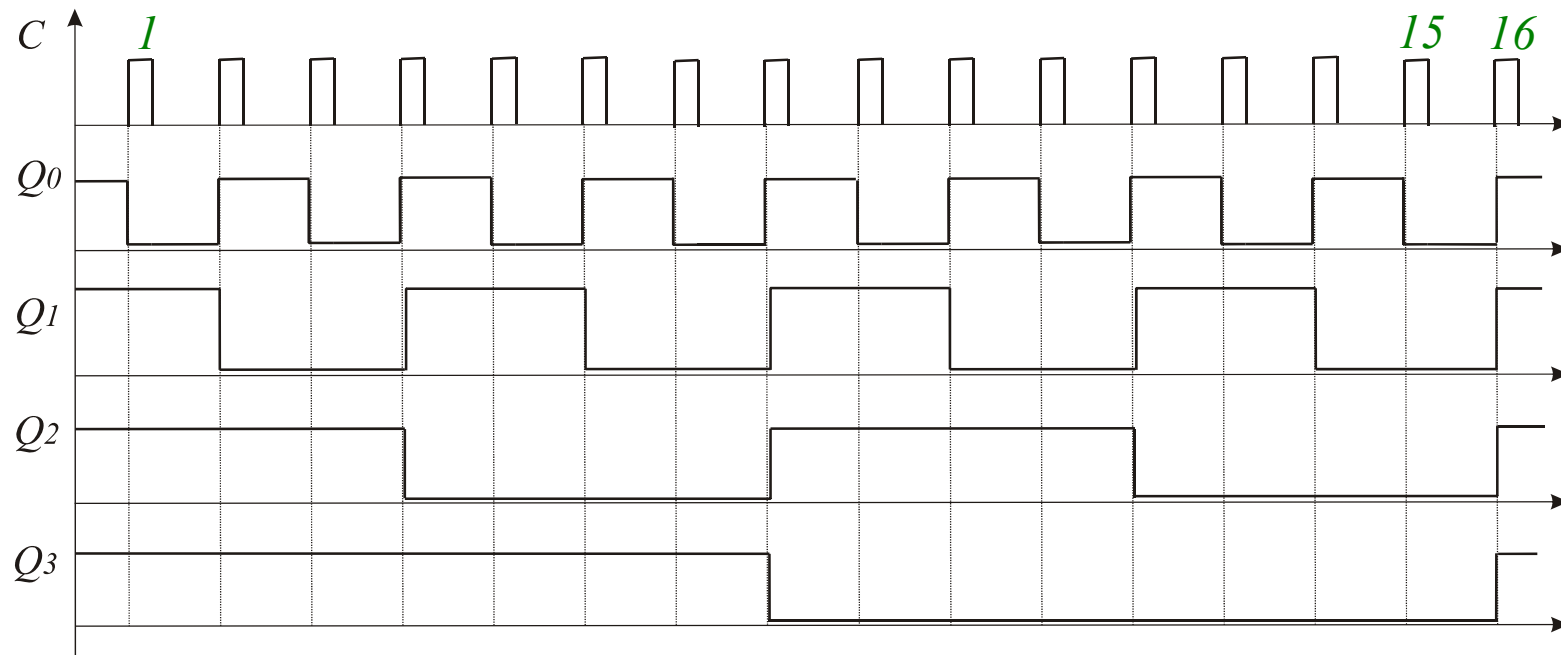


## Схема 4-х разрядного асинхронного вычитающего двоичного счетчика



Если исходные асинхронные  $T$ -триггеры снабжены прямыми динамическими входами, то счетчик превращается в вычитающий и выполняет операцию декремента.

## Диаграммы работы 4-х разрядного вычитающего двоичного счетчика

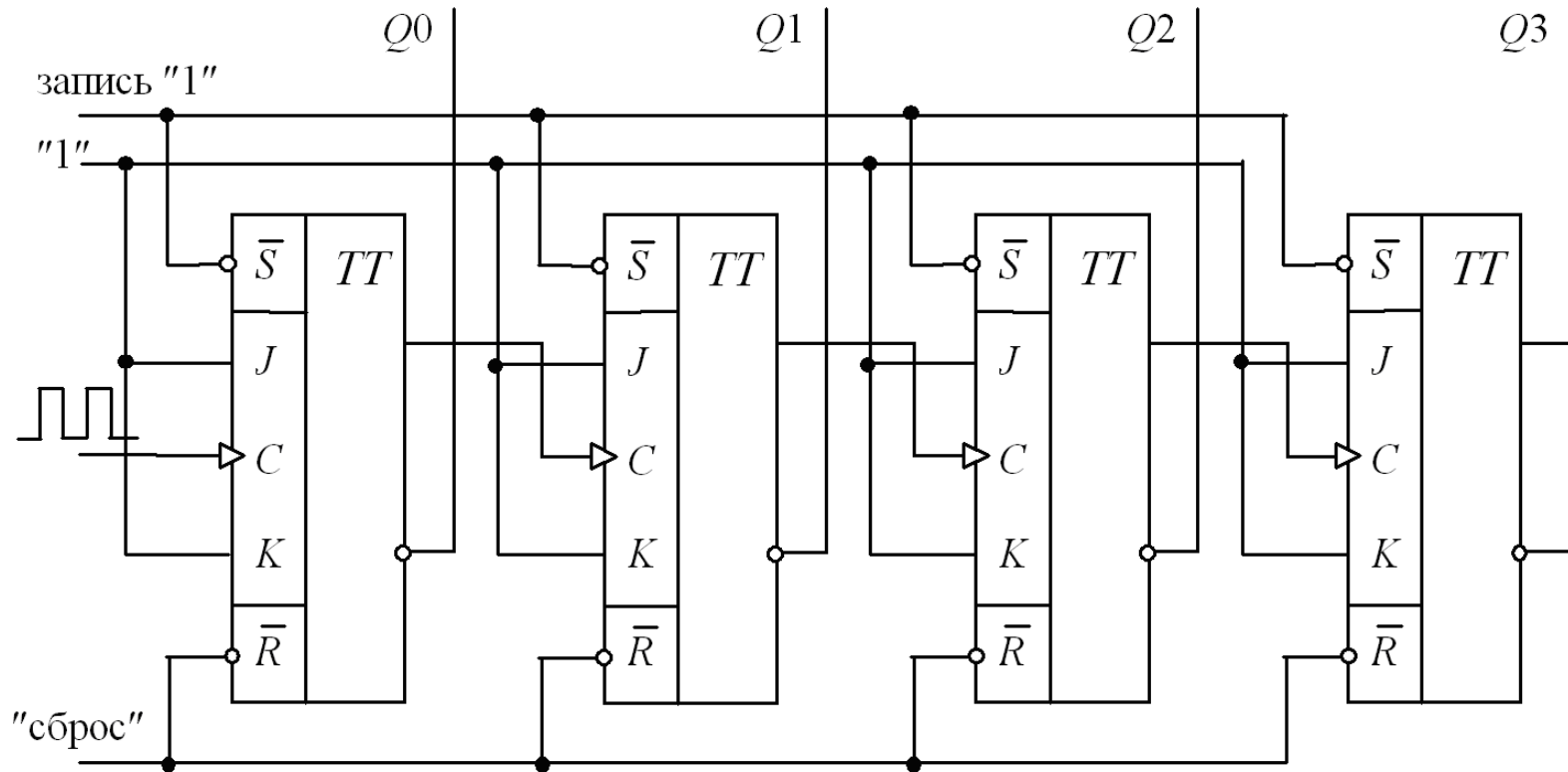


Счетчик изменяет свое значение по **переднему** фронту счетного импульса  $C$ .

Говорят, что такой счетчик считает в **обратном коде**.

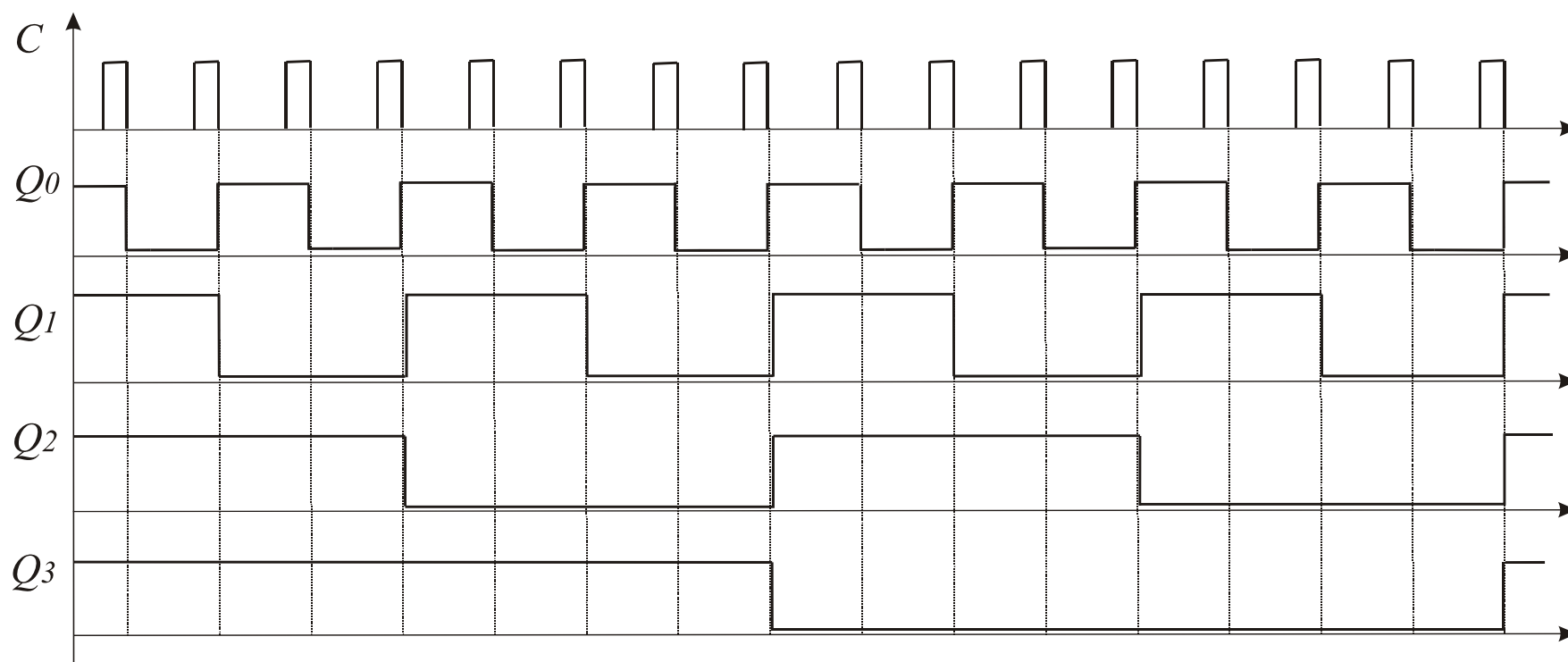
Аналогично суммирующему счетчику,  $Q_0$  изменяет свое значение с приходом каждого импульса синхронизации;  $Q_1$  – с приходом каждого второго импульса синхронизации,  $Q_2$  – с приходом каждого четвертого импульса, а  $Q_3$  – с приходом каждого восьмого импульса. При этом двоичное число  $Q_3Q_2Q_1Q_0$  **уменьшает** свое значение на единицу с приходом каждого импульса  $C$ .

## Схема 4-х разрядного асинхронного вычитающего двоичного счетчика




Режим вычитающего счетчика может быть также получен с использованием триггеров с переключением по заднему фронту (с инверсными динамическими входами), но сигнал при этом должен сниматься с инверсных выходов.

## Диаграммы работы 4-х разрядного вычитающего двоичного счетчика



Диаграммы аналогичны предыдущим, только изменение состояния на выходах  $Q_i$  происходит по заднему фронту синхроимпульса  $C$ .

Таким образом, в счетчиках на асинхронных Т-триггерах (или JK-триггерах, работающих в режиме Т-триггера) направление счета зависит как от того, какой из выходов используется для синхронизации последующего триггера, так и от типа входа синхронизации.



*Комбинации соединения триггеров с различными типами входов синхронизации и получаемые при этом виды счетчиков*

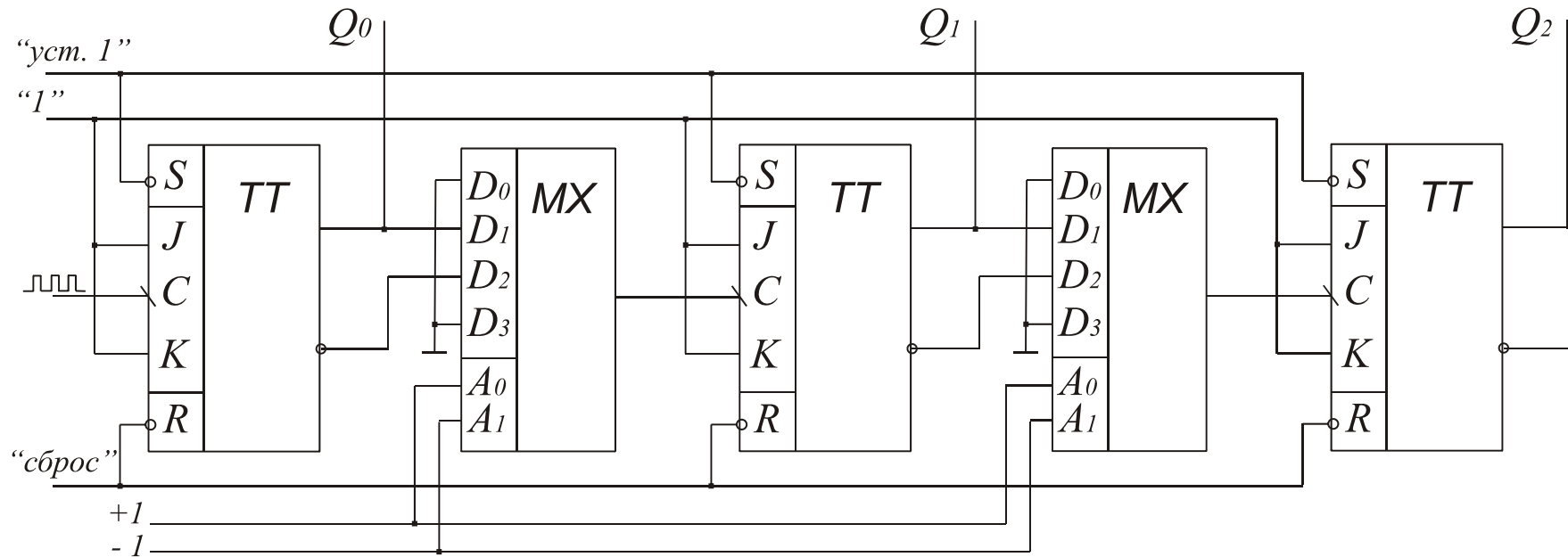
Тип входа T	Используемый выход	
	$Q$	$\bar{Q}$
Прямой динамический	Декремент	Инкремент
Инверсный динамический	Инкремент	Декремент

Таким образом, направление счета счетчика может изменяться путем изменения вида межразрядных связей, что можно легко реализовать включением в состав каждой разрядной схемы счетчика мультиплексора.

**Реверсивным счетчиком** называется счетчик, который может осуществлять как операцию инкремента, так и декремента. Выбор операции осуществляется путем подачи управляющего сигнала (-ов) на вход (-ы) выбора режима работы.



## Схема 4-х разрядного реверсивного двоичного счетчика



+1	0	1	0	1
- 1	0	0	1	1
режим	-	инкремент	декремент	-



Асинхронные двоичные счетчики называют счетчиками с **последовательным переносом**, так как переключение каждого последующего триггера может произойти только после переключения предыдущего. Данный тип счетчика отличается простотой внутренней структуры. Однако следствием такой организации является большое время установления выходного кода, которое зависит от конкретного значения его выходного кода. Максимальное значение  $t_K$  наблюдается в случае, когда выходной код изменяется со значения 111 ... в 000 ... или наоборот.

$$t_{K \max} = N * t_{K \text{ тр}}$$

где  $N$  – число разрядов счетчика;  $t_{K \text{ тр}}$  – время переключения одного триггера.





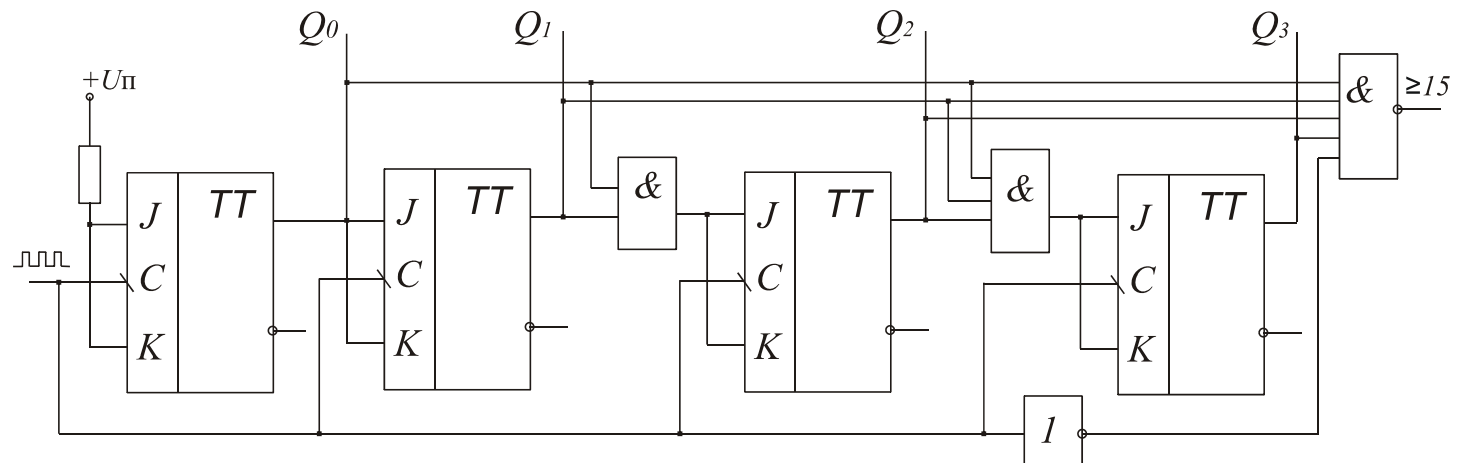
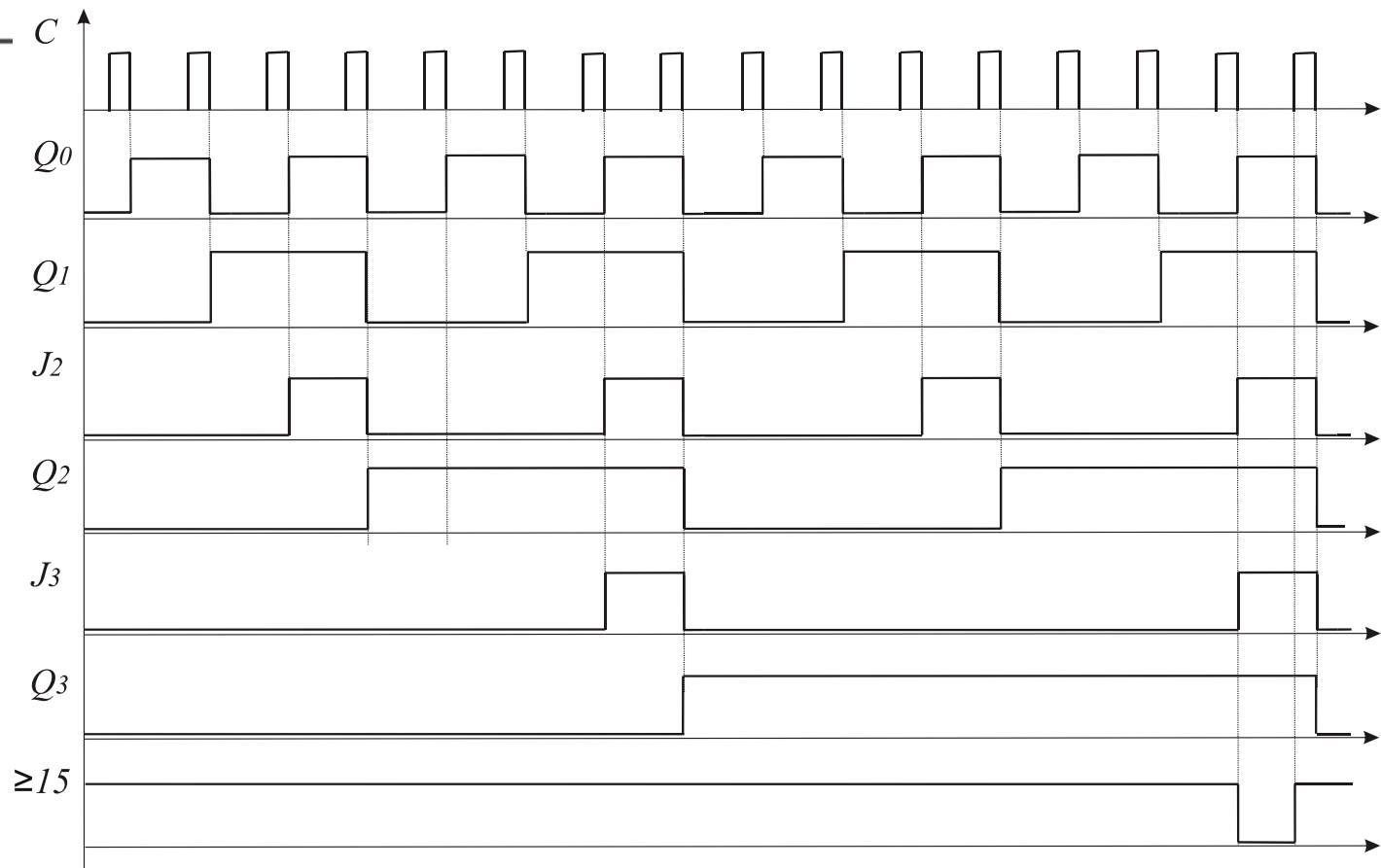
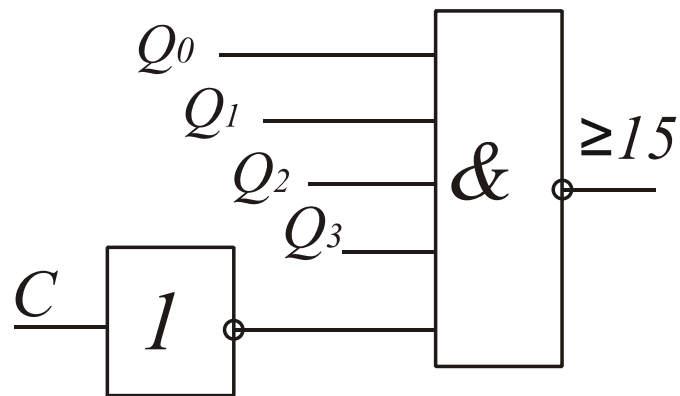
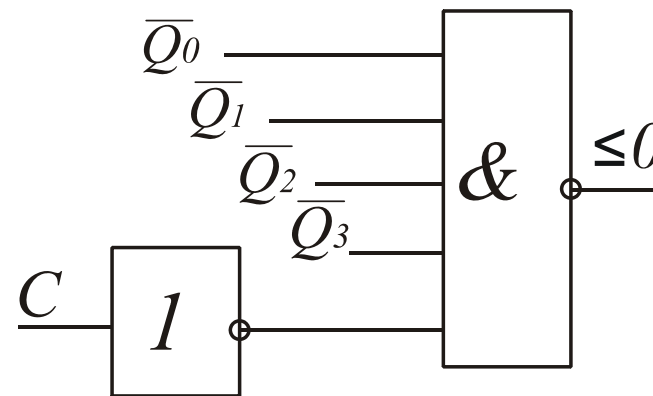


Диаграмма работы счетчика

Счетчики, реализующие описанный алгоритм работы, называются счетчиками с параллельным переносом. Выход  $\geq 15$  называют выходом *переполнения* счетчика или выходом *переноса* при работе счетчика на сложение (в прямом счете). При работе на вычитание (в обратном счете) формируется сигнал *заема*. Выход заема обозначается  $\leq 0$ .



$$F_{\geq 15} = \overline{Q_3 Q_2 Q_1 Q_0 C}$$



$$F_{\leq 0} = \overline{\overline{Q_3} \overline{Q_2} \overline{Q_1} \overline{Q_0} C}$$

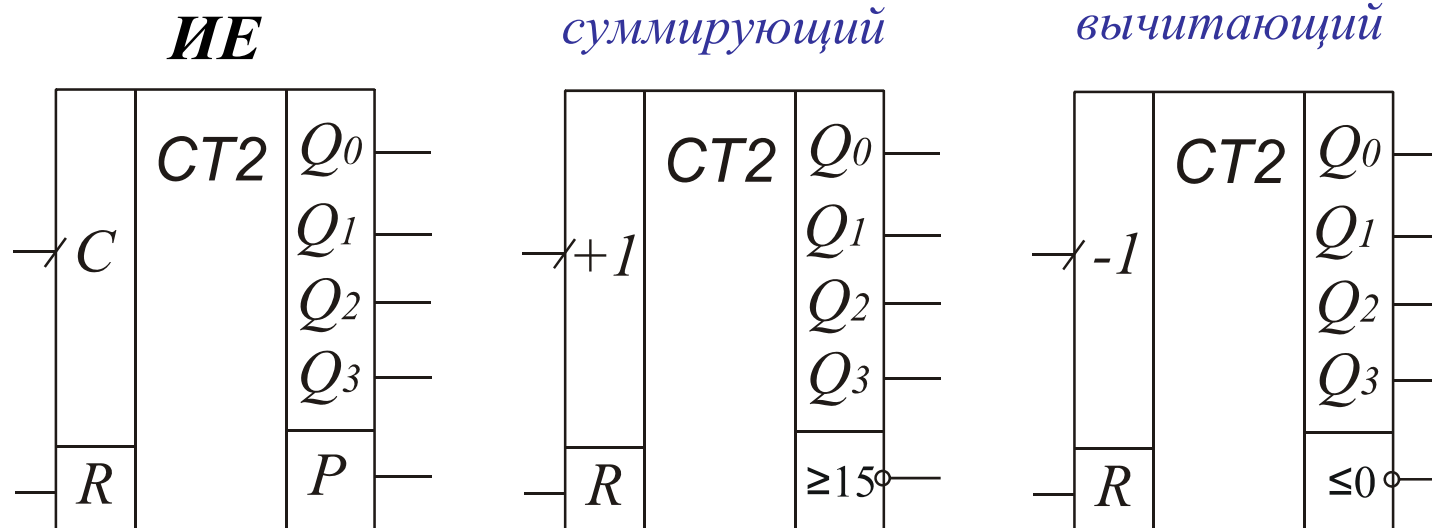
Очевидно, что в схеме синхронного счетчика время  $t_{K \max}$  установления выходного кода будет равно времени переключения одного триггера:

$$t_{K \max} = t_{K \text{ тр}}$$

Обычно счетчики имеют вход асинхронного сброса для установления в нулевое состояние.



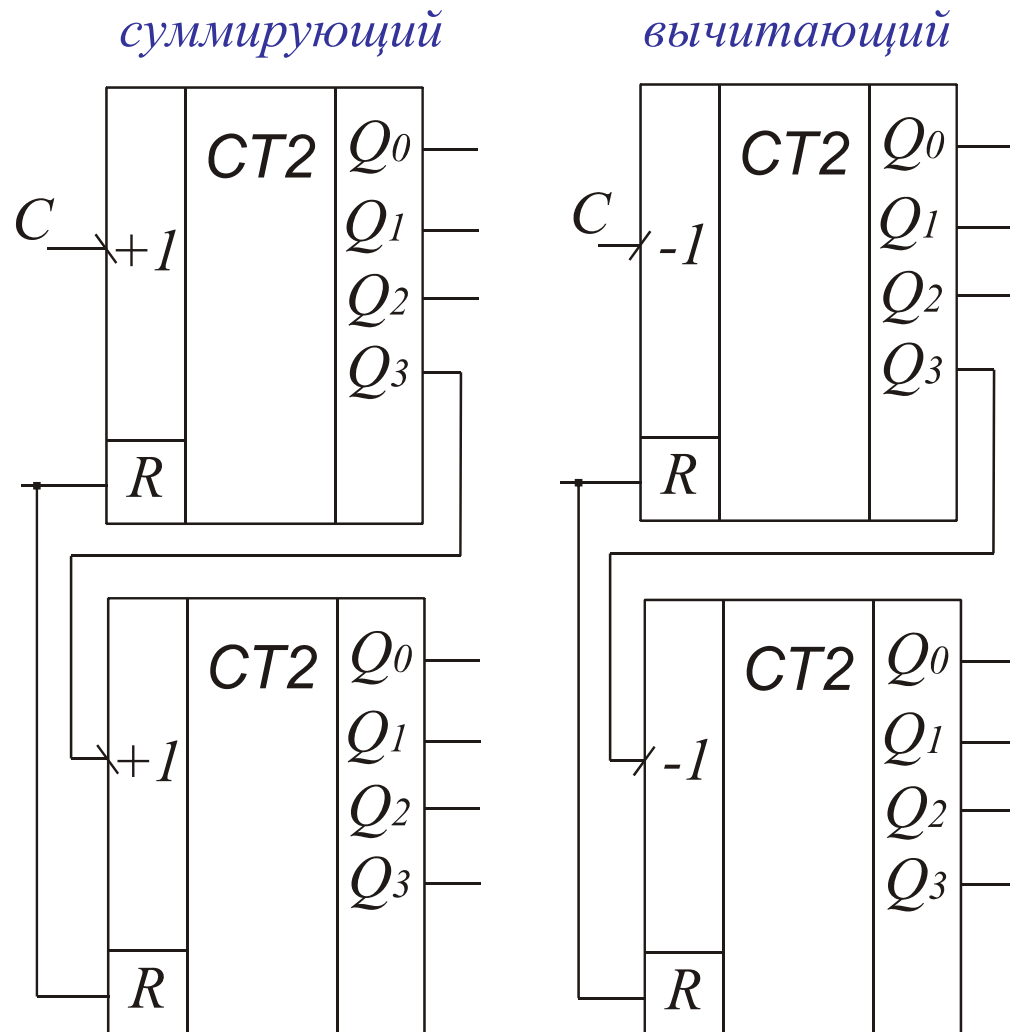
## Условное графическое обозначение двоичных счетчиков





## Наращивание разрядности счетчика

### Асинхронные счетчики

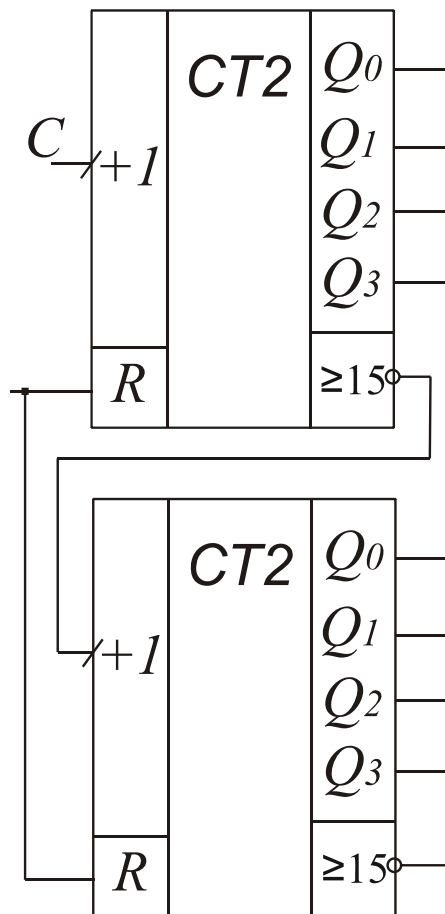




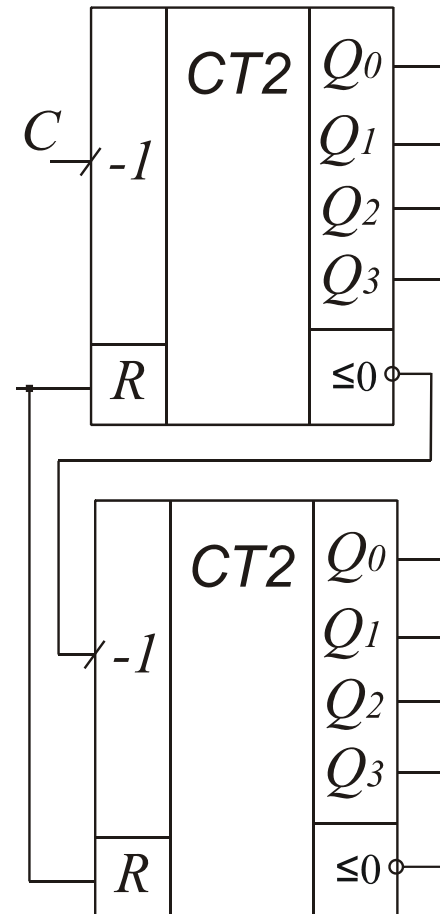
# Наращивание разрядности счетчика

## Синхронные счетчики

суммирующий



вычитающий







## *Реализация произвольного коэффициента счета с помощью двоичного счетчика*

### *1. Метод опознавания и сброса (метод управляемого сброса)*

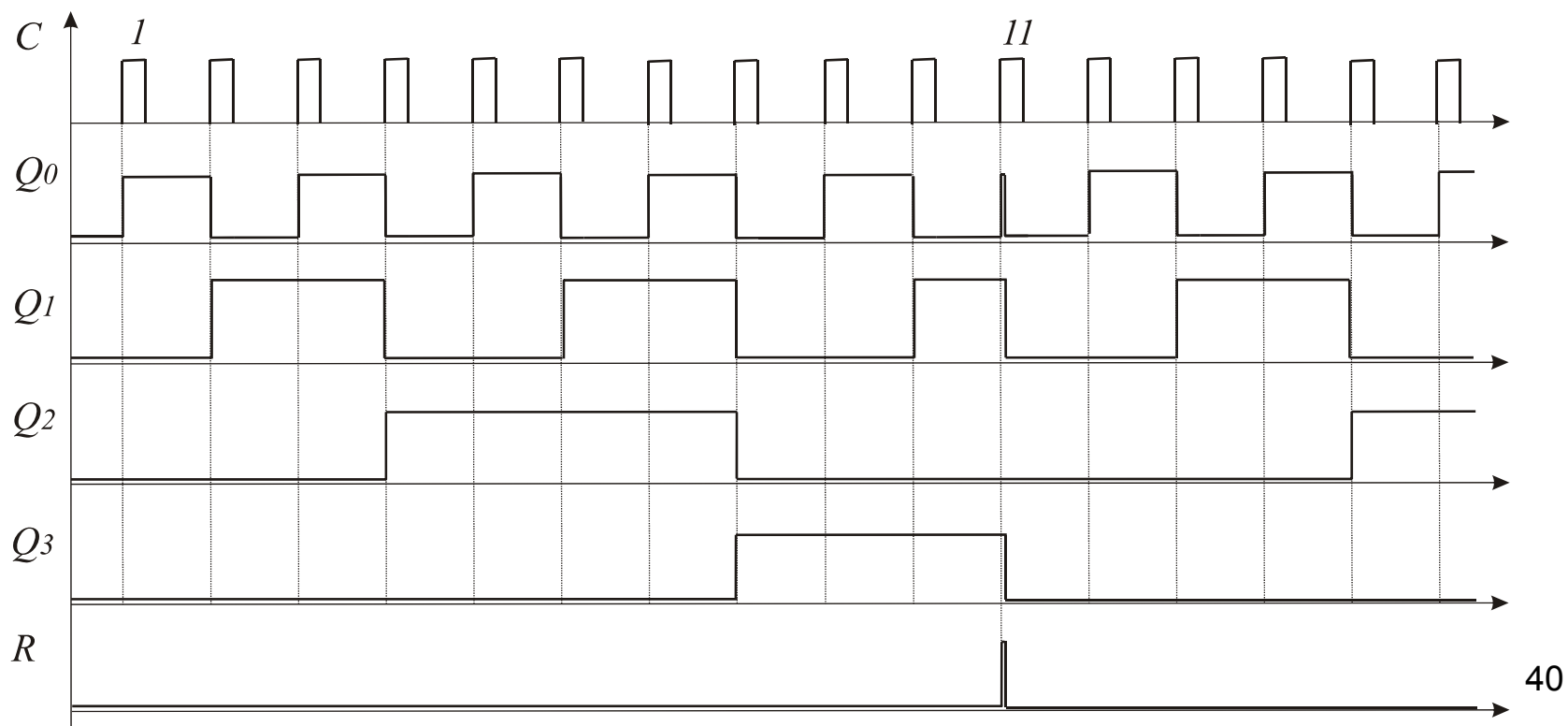
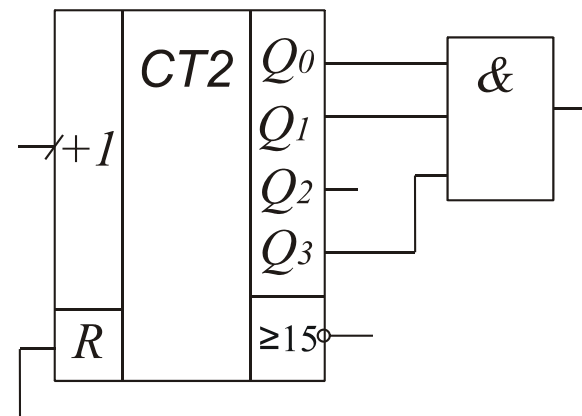
закljučается в следующем: сигнал сброса формируется путем логического умножения комбинации выходных сигналов  $Q_0Q_1Q_2Q_3$  в зависимости от требуемого коэффициента счета.

### *2. Метод предварительной установки*

закljučается в том, что сигнал с выхода переполнения (или с выхода заема) подается на вход разрешения предустановки  $PE$ , а на входах предустановки  $D_0...D_3$  устанавливается исходный двоичный код, с которого счетчик начнет считать по приходу следующего синхроимпульса.

# Реализация произвольного $K_{сч}$

**Пример.** Реализовать коэффициент счета  $K_{сч} = 11_{10} (1011_2)$  с использованием суммирующего счетчика.

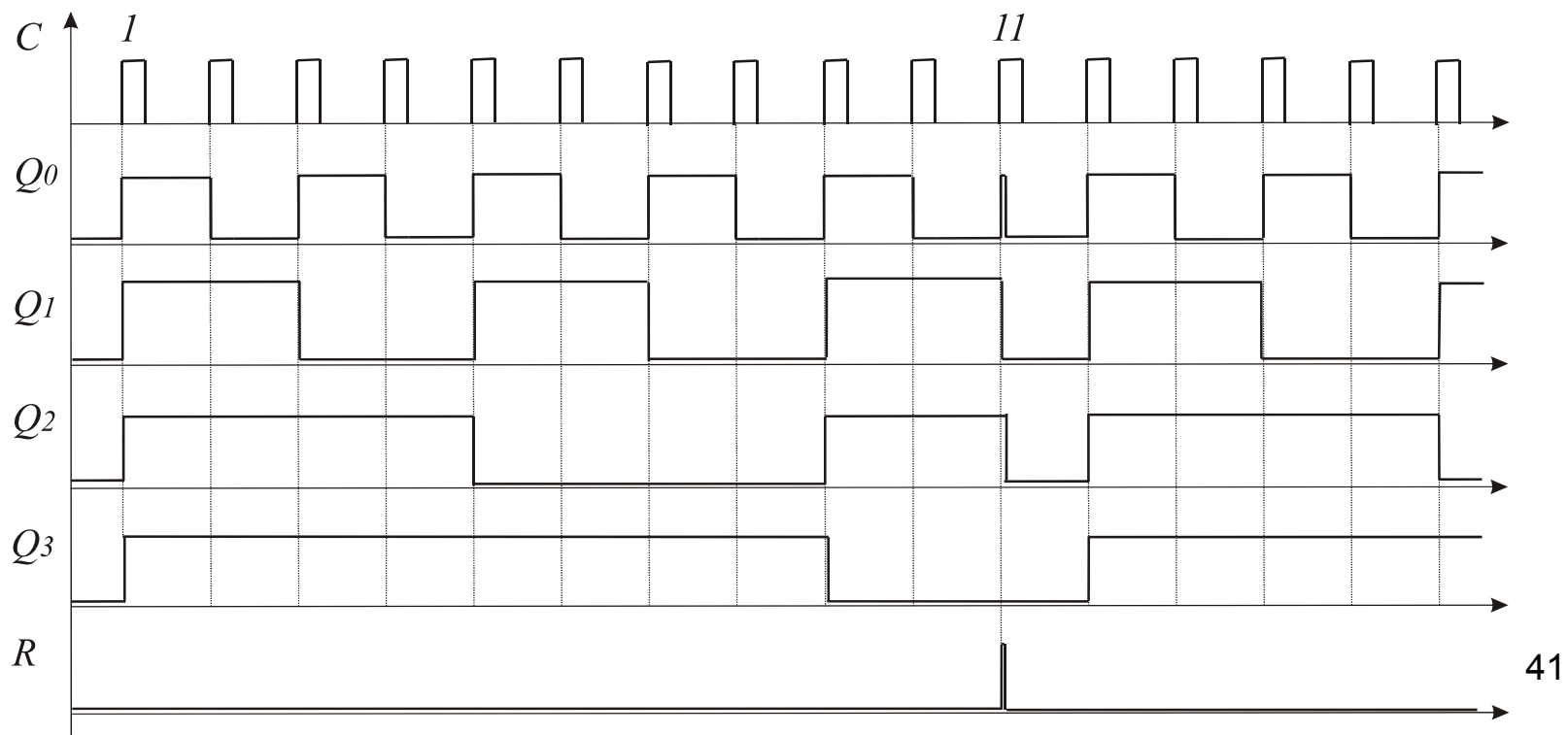
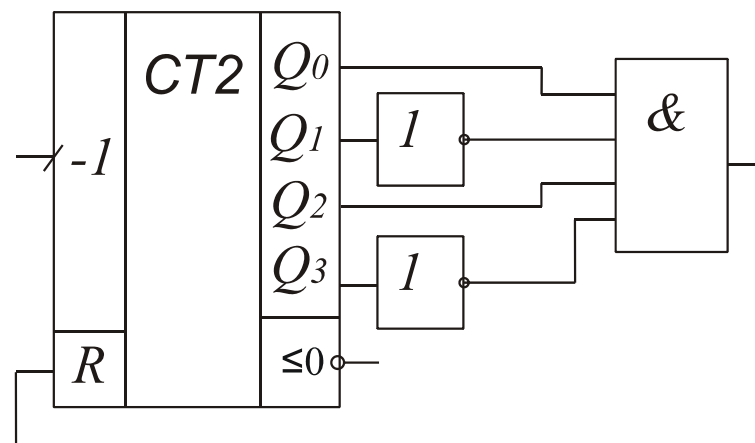




## Реализация произвольного $K_{сч}$

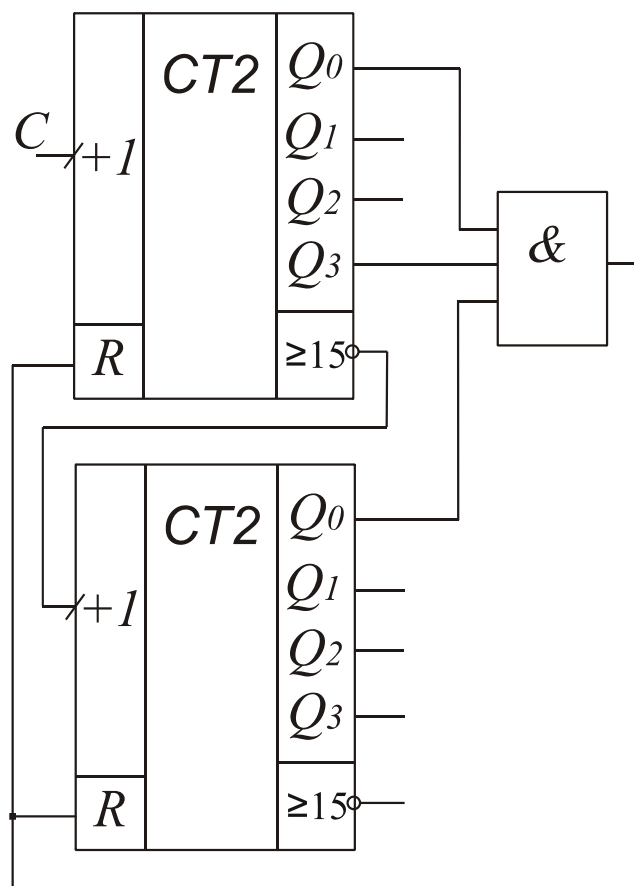
**Пример.** Реализовать  $K_{сч} = 11_{10}$  ( $1011_2$ ) с использованием вычитающего счетчика.

Так как счетчик начинает считать с 16, то сброс счетчика должен происходить при значении выходного кода  $16 - 11 = 5_{10}$  ( $0101_2$ ).



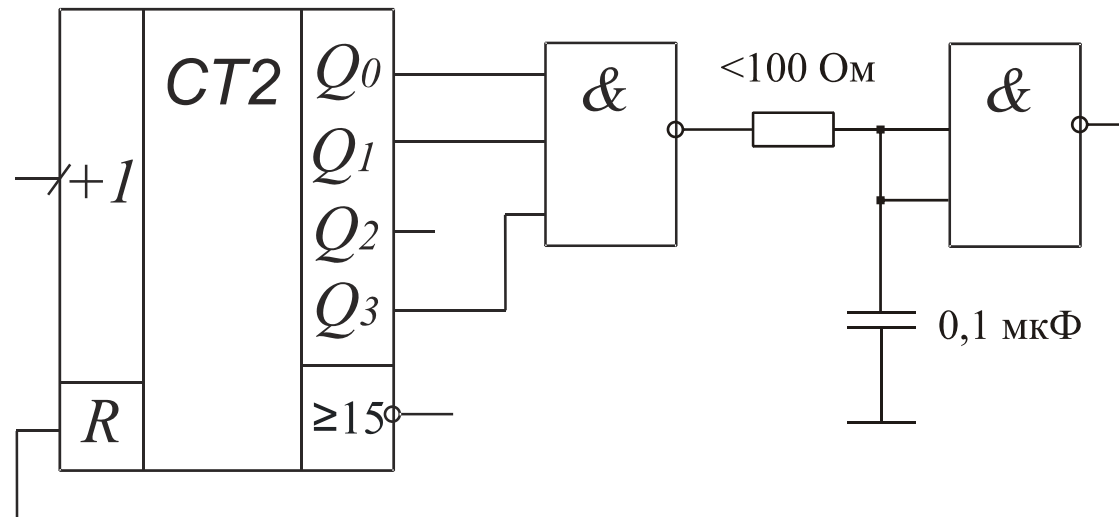
## Реализация произвольного $K_{сч}$

**Пример.** Увеличить разрядность суммирующего счетчика и реализовать  $K_{сч} = 25_{10}$  ( $00011001_2$ ).





Так как длительность сигнала сброса мала (порядка времени распространения сигнала в элементе умножения), чтобы с помощью осциллографа зарегистрировать сигнал сброса, следует применять следующую схему:

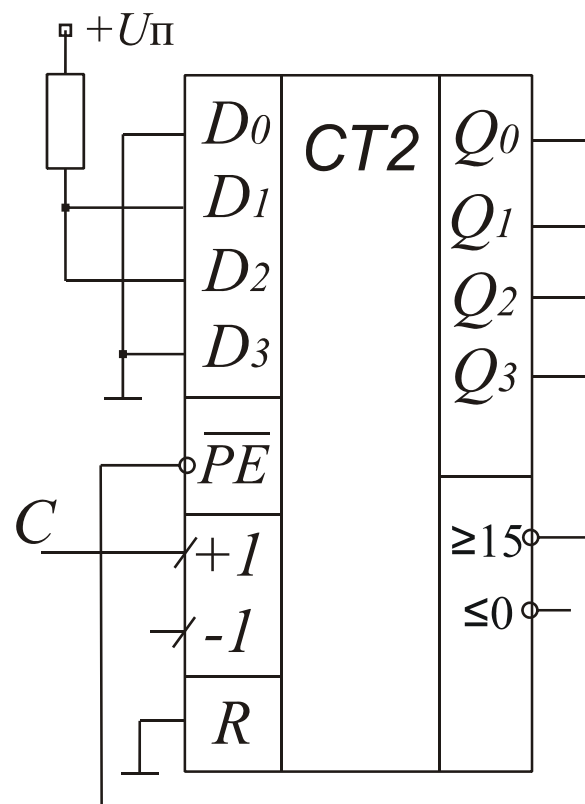


$$K_{сч} = ?$$

## Реализация произвольного $K_{сч}$

**Пример.** Методом предварительной установки реализовать  $K_{сч} = 9$  ( $1001_2$ ), если счетчик работает на увеличение.

Так как когда  $Q_3Q_2Q_1Q_0 = 1111_2 = 15_{10}$ , произойдет предустановка, и счетчик начнет считать на увеличение с некоторого числа  $D_{10}$ , то  $D_{10} = 15 - 9 = 6$ .  
В двоичном коде:  $D_3D_2D_1D_0 = 0110_2$ .

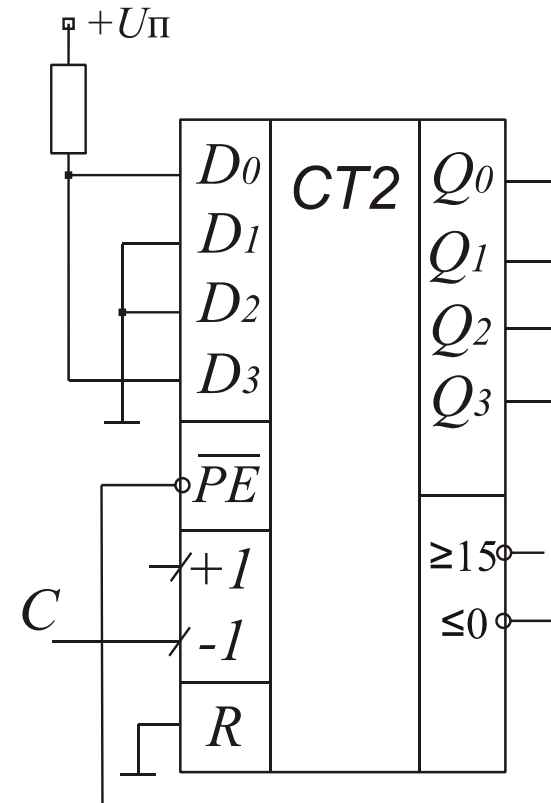




## Реализация произвольного $K_{сч}$

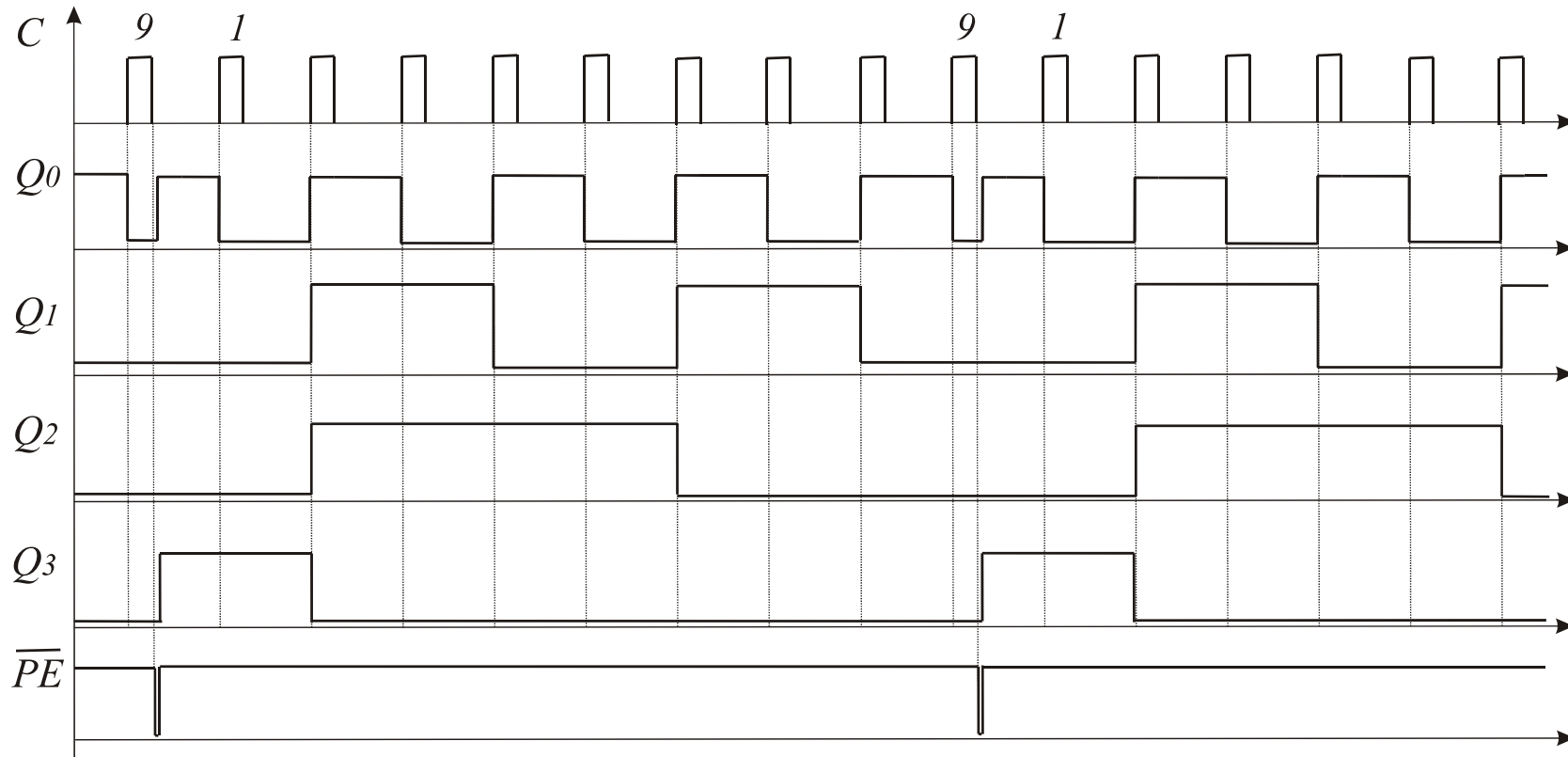
**Пример.** Методом предварительной установки реализовать  $K_{сч} = 9_{10}$  ( $1001_2$ ), если счетчик работает на уменьшение.

Когда  $Q_3Q_2Q_1Q_0 = 0000$  произойдет предустановка, и счетчик начнет считать на уменьшение с некоторого числа  $D_{10}$ . Когда выходной код достигнет числа 0000, то снова произойдет предустановка. Следовательно,  $D_{10} = K_{сч} = 9_{10}$ . В двоичном коде:  $D_3D_2D_1D_0 = 1001_2$ .





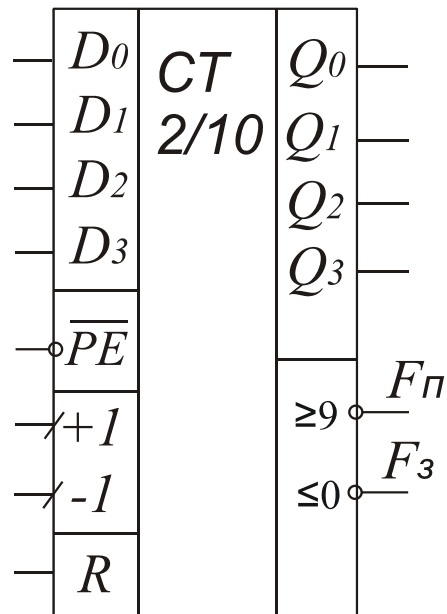
Число после предустановки:  $D_{10} = 9_{10}$ .  
В двоичном коде:  $D_3D_2D_1D_0 = 1001_2$ .





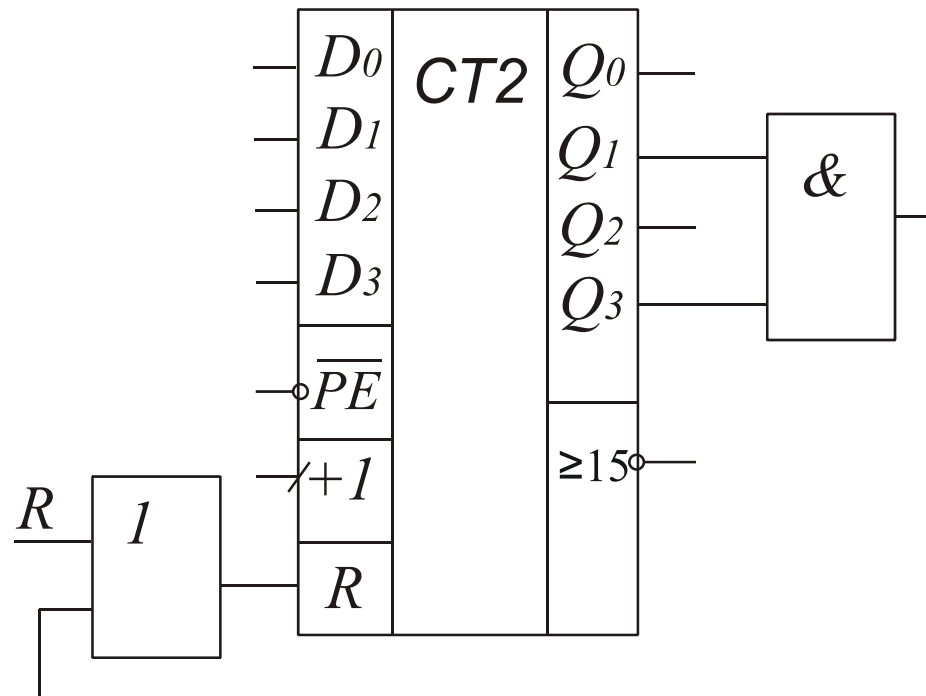
## Двоично-десятичный счетчик

Реализуется на основе двоичного счетчика методом управляемого сброса с коэффициентом счета  $K_{сч} = 10$ .



$$F_{II} = \overline{Q_3} \overline{Q_2} \overline{Q_1} \overline{Q_0} \overline{C}$$

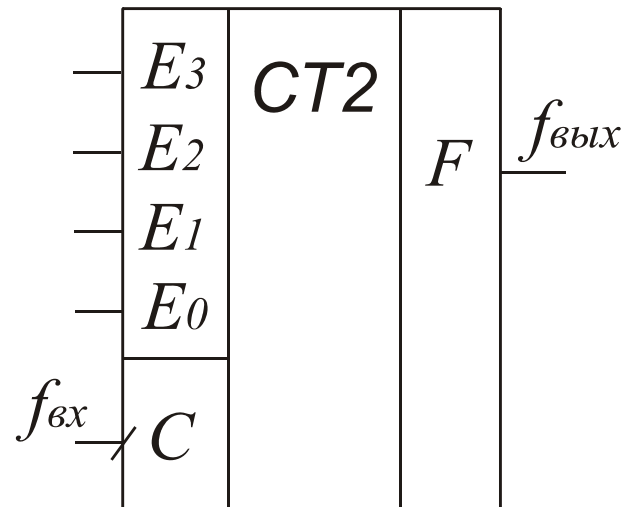
$$F_3 = \overline{Q_3} \overline{Q_2} \overline{Q_1} \overline{Q_0} \overline{C}$$







## Счетчики с установкой коэффициента счета



Коэффициент счета такого счетчика:

$$K_{сч} = E_0 \cdot 2^0 + E_1 \cdot 2^1 + E_2 \cdot 2^2 + E_3 \cdot 2^3$$

$$f_{вых} = \frac{f_{вх}}{E_0 \cdot 2^0 + E_1 \cdot 2^1 + E_2 \cdot 2^2 + E_3 \cdot 2^3}$$



### *3. Регистры*

*Регистром* называется последовательностное устройство, предназначенное для записи, хранения и (или) сдвига информации, представленной в виде многоразрядного двоичного кода.

*Регистр может выполнять следующие микрооперации над кодовыми словами:*

- установка в исходное состояние (запись нулевого кода);
- запись входной информации в последовательной форме;
- запись входной информации в параллельной форме;
- хранение информации;
- сдвиг хранимой информации вправо или влево;
- выдача хранимой информации в последовательной форме;
- выдача хранимой информации в параллельной форме.

$N$ -разрядный регистр состоит из  $N$  однотипных ячеек – разрядных схем, выходной сигнал каждой из которых ассоциируется с ответствующим разрядом двоичного кода. При этом каждая разрядная схема состоит из элемента памяти (триггера) и некоторой комбинационной схемы, преобразующей входные воздействия и состояния элемента памяти в выходные сигналы регистра.

**По способу приема информации регистры подразделяют на:**

- **параллельные** (статические), в которые информация записывается и считывается только в параллельной форме;
- **последовательные** (сдвигающие), в которые информация записывается и считывается только в последовательной форме;
- **последовательно-параллельные**, в которые информация записывается или считывается как в параллельной, так и в последовательной формах.

**По числу каналов передачи информации регистры подразделяют на:**

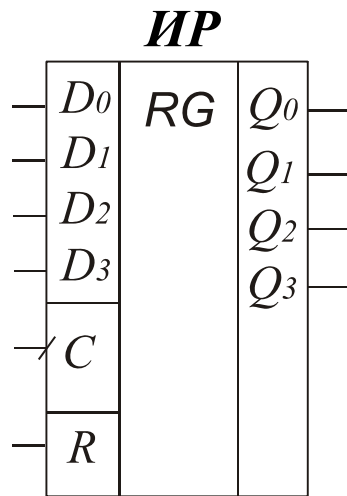
- **парафазные**, в которых информация записывается и считывается в прямом ( $Q$ ) и обратном ( $\bar{Q}$ ) кодах;
- **однофазные**, в которых информация записывается и считывается либо в прямом ( $Q$ ), либо в обратном ( $\bar{Q}$ ) коде.

**По способу тактирования регистры подразделяют на:**

- **однотактные**, управляемые одной управляющей последовательностью импульсов;
- **многотактные**, управляемые несколькими управляющими последовательностями импульсов.

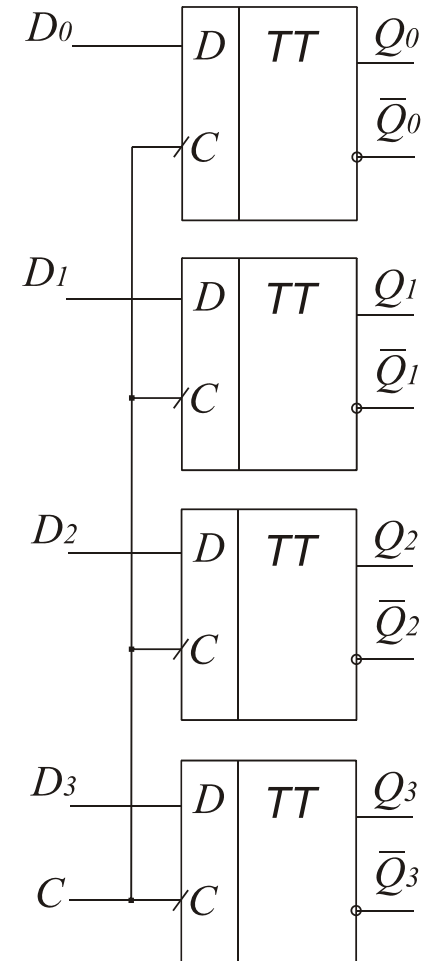
### 3.1 Параллельный регистр (регистр памяти)

предназначен для выполнения следующих операций: запись нулевого кода, запись входной информации в параллельной форме, хранение информации, выдача хранимой информации в параллельной форме, т. е. обрабатывает информацию только в параллельной форме.



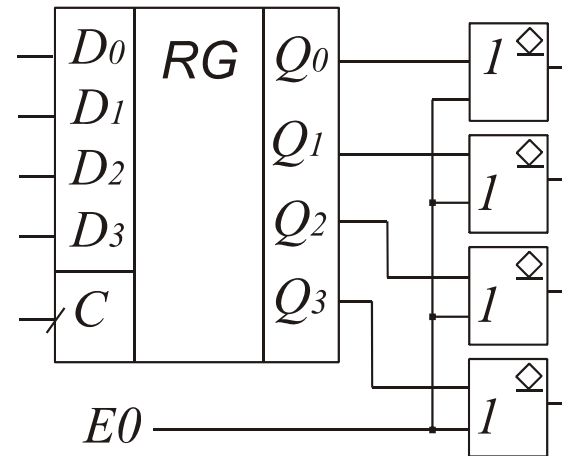
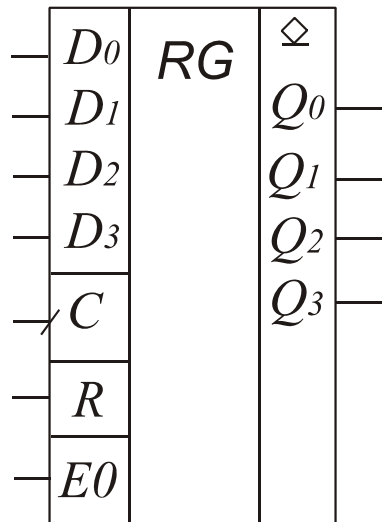
Образующие триггер разрядные схемы не связаны между собой.

Триггеры регистра могут записывать по уровню, переднему и заднему фронту. Часто регистры снабжаются входами асинхронного сброса.





## Регистры с тремя состояниями

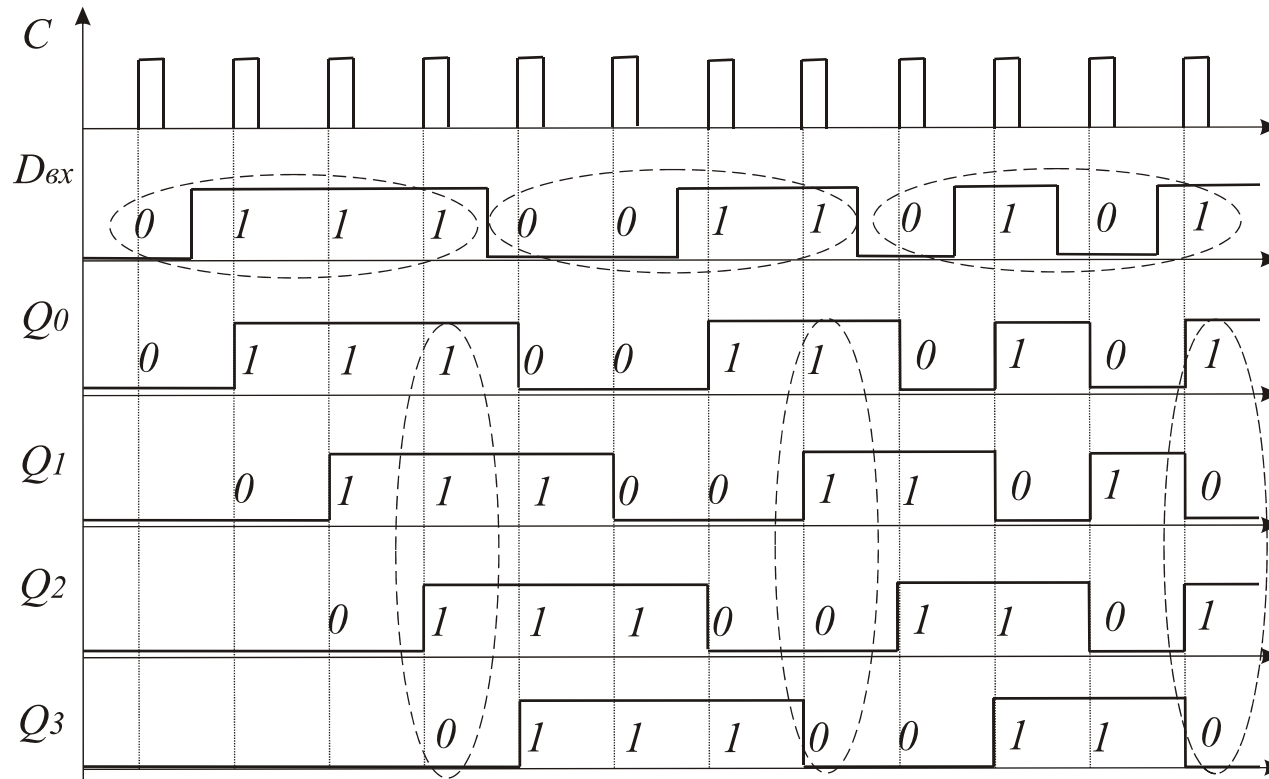
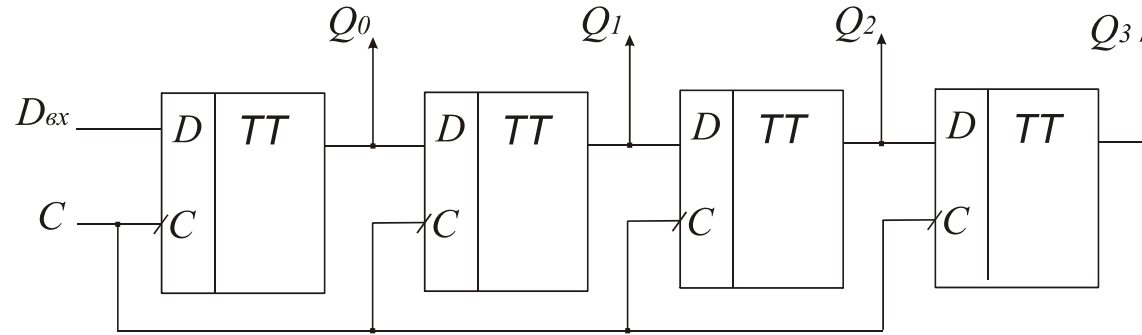


### 3.2 Регистры сдвига

предназначены как для хранения информации, так и для преобразования параллельного двоичного кода в последовательный код или последовательного двоичного кода в параллельный.

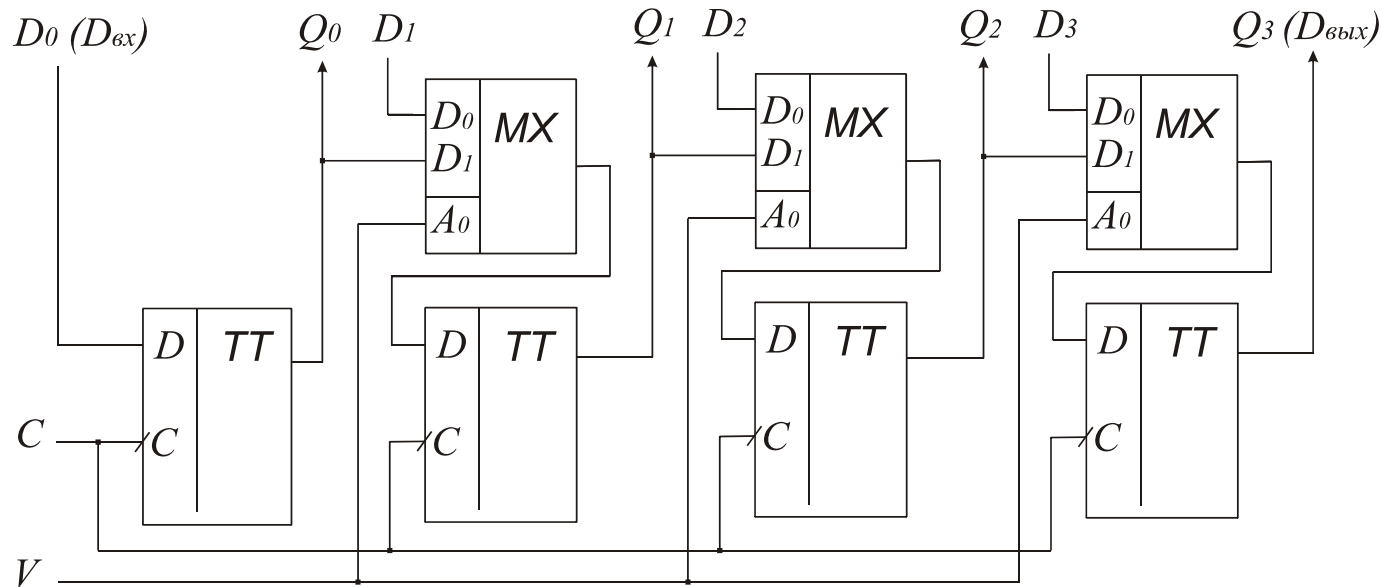


## Преобразование последовательного двоичного кода в параллельный двоичный код





## Преобразование параллельного двоичного кода в последовательный двоичный код



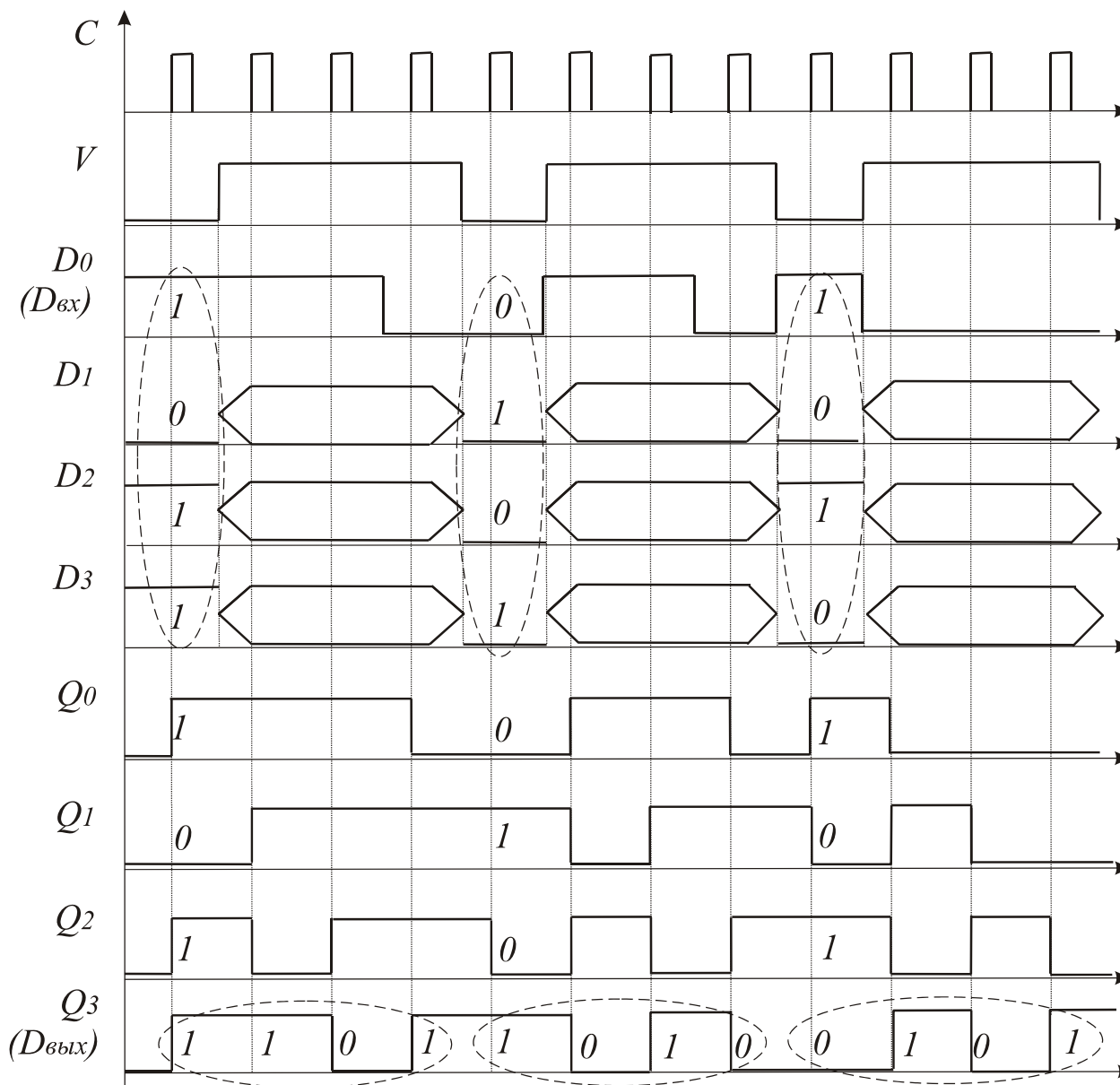
Сигнал  $V$  осуществляет выбор режима работы регистра. Если  $V = 0$ , то по приходу синхроимпульса триггеры на выходах триггеров  $Q_3$ ,  $Q_2$ ,  $Q_1$  и  $Q_0$  появляется значение сигналов на входах  $D_3$ ,  $D_2$ ,  $D_1$  и  $D_0$ . Таким образом, схема работает как регистр памяти.

Если  $V = 1$ , то схема осуществляет последовательный сдвиг данных с входа первого триггера  $D_{вх}$ . Выходные данные не зависят от  $D_3$ ,  $D_2$  и  $D_1$ . Таким образом, схема осуществляет преобразование последовательного кода в параллельный код.

Для того чтобы схема осуществляла преобразование *параллельного двоичного кода в последовательный двоичный код*, сначала нужно записать входные параллельные данные  $D_3D_2D_1D_0$  в соответствующие триггеры, а затем осуществлять их последовательный сдвиг. Тогда на выходе  $D_{вых}$  по каждому синхроимпульсу будут последовательно появляться информация с  $Q_3$ ,  $Q_2$ ,  $Q_1$  и  $Q_0$ , т.е.  $D_3$ ,  $D_2$ ,  $D_1$  и  $D_0$ . Первым появится сигнал  $D_3$ , а последним  $D_0$ .



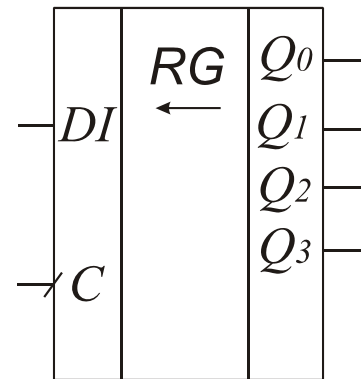
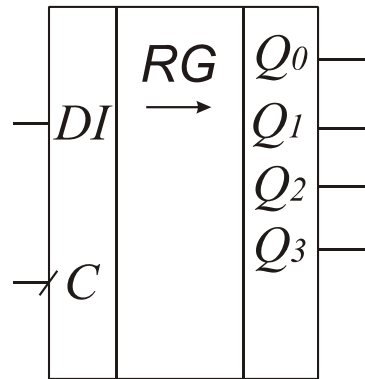
## Диаграммы работы схемы



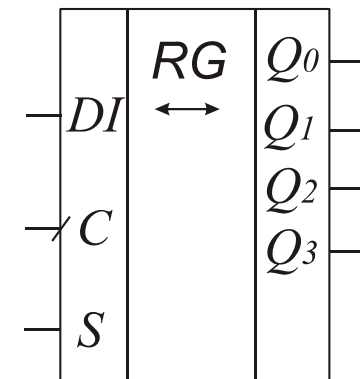




*сдвиг вправо* – преобразование  
ВХОДНЫХ ДАННЫХ В  
ПОСЛЕДОВАТЕЛЬНОМ ДВОИЧНОМ  
КОДЕ В ПАРАЛЛЕЛЬНЫЙ КОД



*сдвиг влево* –  
преобразование ВХОДНЫХ  
ДАННЫХ В ПАРАЛЛЕЛЬНОМ  
ДВОИЧНОМ КОДЕ В ВЫХОДНЫЕ В  
ПОСЛЕДОВАТЕЛЬНОМ КОДЕ



*сдвигает как вправо,  
так и влево* В  
ЗАВИСИМОСТИ ОТ СИГНАЛА  
НА ВХОДЕ ВЫБОРА  
ОПЕРАЦИИ *S*



## *Арифметические операции, выполняемые с помощью регистров сдвига*

С помощью регистров можно выполнять операции умножения на два и деления на два.

Умножения хранящегося числа на 2 осуществляется путем сдвига влево и записи «0» в младший разряд.

Целочисленное деление хранящегося числа на 2 осуществляется путем сдвига вправо и записи «0» в старший разряд.

### *Пример*

$00011 = 3_{10}$  – сдвигаем влево

$00110 = 6_{10}$  – сдвигаем влево

$01100 = 12_{10}$  – таким образом, умножили сначала на 2, потом еще раз на 2.

$01011 = 11_{10}$  – сдвигаем вправо

$00101 = 5_{10}$  – сдвигаем вправо

$00010 = 2_{10}$  – сдвигаем еще раз вправо

$00001 = 1_{10}$  – таким образом, число 11 разделили на 2, получилось 5, затем 5 поделили на 2, получилось 2, и 2 поделили на 2, получилось 1.