

Лекция 16.

V. Запоминающие устройства

ЗУ классифицируют:

1) по месторасположению по отношению к вычислительному устройству:

- а) внешние ЗУ,
- б) внутренние ЗУ;

2) по назначению:

а) сверхоперативные ЗУ (СОЗУ) – имеют быстродействие, соизмеримое с быстродействием вычислительного устройства. Служат для хранения результатов его промежуточных операций. В микропроцессорах (МП) роль СОЗУ выполняет регистровая память – встроенные в кристалл МП регистры общего назначения.

б) оперативные ЗУ (ОЗУ) — энергозависимые ЗУ, служащие для первоначального сохранения вводимой информации. При потере питания информация теряется.

в) постоянные ЗУ (ПЗУ) – энергонезависимые ЗУ, служащие для хранения неизменной информации;

г) буферные ЗУ (БЗУ) — предназначены для промежуточного хранения информации при ее обмене между устройствами, работающими с разной скоростью. Эту роль выполняют регистровые схемы или ОЗУ малого объема;

д) внешние ЗУ (ВЗУ) служат для хранения большого объема информации на внешнем по отношению к вычислительному устройству носителе, как правило, магнитном;

3) по физическим принципам действия:

- а) магнитные, б) полупроводниковые; в) оптические

4) по способу хранения информации:

- а) статические, б) динамические;

5) по способу доступа к ячейке:

а) адресные ЗУ – код на адресном входе указывает ячейку, с которой ведется обмен данными;

б) последовательные ЗУ – когда осуществляется последовательное обращение к ячейкам до тех пор, пока не произойдет обращение к нужной ячейке с заданным адресом;

в) ассоциативные ЗУ – поиск информации происходит по некоторому признаку, а не по ее расположению в памяти.

1. Адресуемую память можно разделить на две группы:

- оперативные запоминающие устройства (ОЗУ) – RAM (random access memory);
- постоянные запоминающие устройства (ПЗУ) – ROM (read-only memory).

При отключении напряжения питания информация, хранящаяся в ПЗУ, не исчезает. Информация в ОЗУ является временной, поскольку она исчезает при отключении напряжения питания. Данные можно как записать в ОЗУ, так и прочесть их из него.

ОЗУ иногда называют запоминающим устройством с произвольной выборкой. Это название сохранилось с более ранних времен. В настоящее время доступность ячеек обоих типов адресуемой памяти является произвольной. Организация ОЗУ и ПЗУ позволяет быстро найти требуемую ячейку памяти по ее адресу. Поскольку адреса ячеек шифруются двоичным кодом, объем адресуемой памяти всегда определяется числом, являющимся степенью 2.

- ЗУ с поразрядной организацией по каждому адресу хранят только один бит информации.
- ЗУ с пословной организацией по каждому адресу хранят 4, 8, 16 или 32 бита информации.

Оперативные запоминающие устройства RAM делятся на статические - **SRAM** (Static RAM) и динамические - **DRAM** (Dynamic RAM).

В статических ОЗУ запоминающими элементами являются триггеры. В динамических ОЗУ данные хранят в виде зарядов конденсаторов, образуемых элементами МОП-структур.

Запоминающие конденсаторы разряжаются, поэтому каждые несколько миллисекунд данные должны регенерироваться.

Плотность упаковки динамических элементов памяти в несколько раз выше, чем статических. Динамические ОЗУ характеризуются наибольшей информационной емкостью и невысокой стоимостью, но имеют большее энергопотребление и меньшее быстродействие.

Постоянная память типа ROM имеет следующие разновидности:

1. Программируемые при изготовлении ИМС с помощью одной из масок. Эта память типа **ПЗУМ** (ПЗУ масочные) - **ROM(M)**.
2. Память, программируемая пользователем (**ППЗУ** - программируемые ПЗУ):
 - **PROM** - содержимое записывается однократно в память,
 - **EPROM** и **EEPROM** - содержимое может быть заменено путем стирания информации и записи новой.

В EPROM – стирание происходит путем облучения кристалла ультрафиолетовыми лучами (**ППЗУ-УФ** - репрограммируемые ПЗУ с УФ стиранием).

В EEPROM - стирание происходит электрическими сигналами (**ППЗУ-ЭС** – репрограммируемые ПЗУ с электрическим стиранием).

Запись данных для EPROM и EEPROM производится электрическими сигналами.

2. Последовательные ЗУ:

- FIFO;
- Стековые (LIFO);
- Файловые;
- Циклические.

В *FIFO* запись в буфер становится сразу доступной для чтения, т.е. поступает в конец цепочки (First In - First Out) - «первый пришел - первый вышел».

В *файловых* - данные поступают в начало цепочки.

В *циклических ЗУ* - слова доступны одно за другим с постоянным периодом, определяемым емкостью памяти. К такому типу относится видеопамять (VRAM).

В *стековых ЗУ* считывание происходит в обратном порядке (последний принят - первый вышел) - LIFO (Last In - First Out).

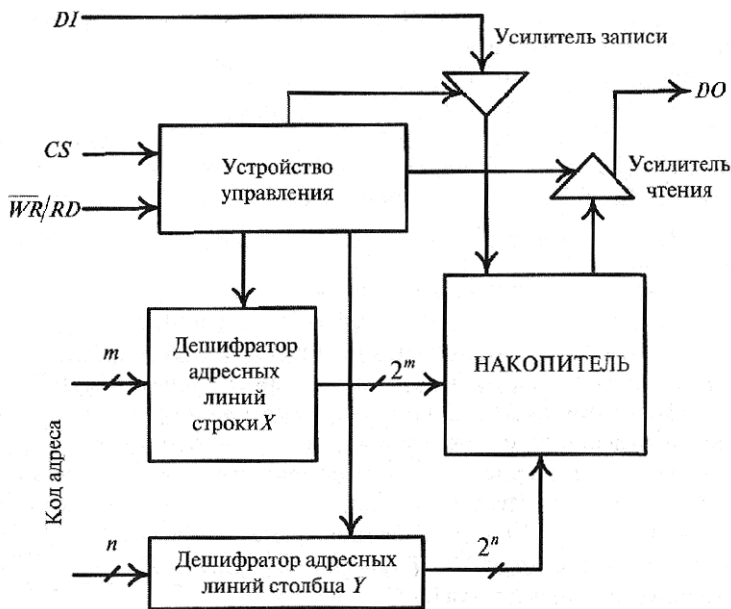
Структуры ЗУ.

Рассмотрим структуру и принцип построения ЗУ на примере статического ОЗУ.

Обобщенная структурная схема статического ОЗУ показана на рис. 1" ↓. Основным элементом ЗУ является матричный накопитель. Накопитель имеют форму матрицы (2-координатная адресация). Все адреса внутри делятся на две части: одна часть определяет номер строки, другая — номер столбца. Поэтому в схему ЗУ всегда входят два дешифратора: дешифратор строк и дешифратор столбцов. Такую структуру также называют *3D-структурой*. Искомые ячейки находятся на пересечениях соответствующих строк и столбцов. На рис. 2" ↓ показан пример построения одноразрядной 3D-структуры. Выбор элемента памяти (ЗЭ) осуществляется при помощи логических элементов «И». Каждый ЗЭ может быть подключен к шине данных.

Сигнал *R/W* (*чтение/запись*) определяет тип операции над данными: либо их надо считать из ячейки памяти, либо записать в нее. Может обозначаться как R/\bar{W} , так и \bar{W}/R .

Помимо сигналов *R/W* в ЗУ используется сигнал *CS* (*выбор кристалла*), позволяющий выбрать тот или иной элемент памяти. При $CS = 0$ все выходы ячеек памяти данного элемента находятся в высокоимпедансном состоянии. Этот сигнал позволяет подключать несколько ЗУ к одной системной шине. Оба сигнала *R/W* и *CS* принимают участие в выработке сигнала *WE* (*разрешение записи*), который дает разрешение D-триггеру пропустить данные к ячейке памяти (рис. 3"). В ЗУ с пословной организацией ячейка памяти состоит из нескольких поразрядных ячеек, включенных параллельно. В ПЗУ линия R/W может отсутствовать. Линии входных данных D_{in} элементов памяти объединены вместе, линии выходных данных D_{out} также объединены вместе, а сигнал *R/W* переключает соответствующие выходы в высокоимпедансное состояние в режиме записи информации ($EN = 0$ – Z-состояние).



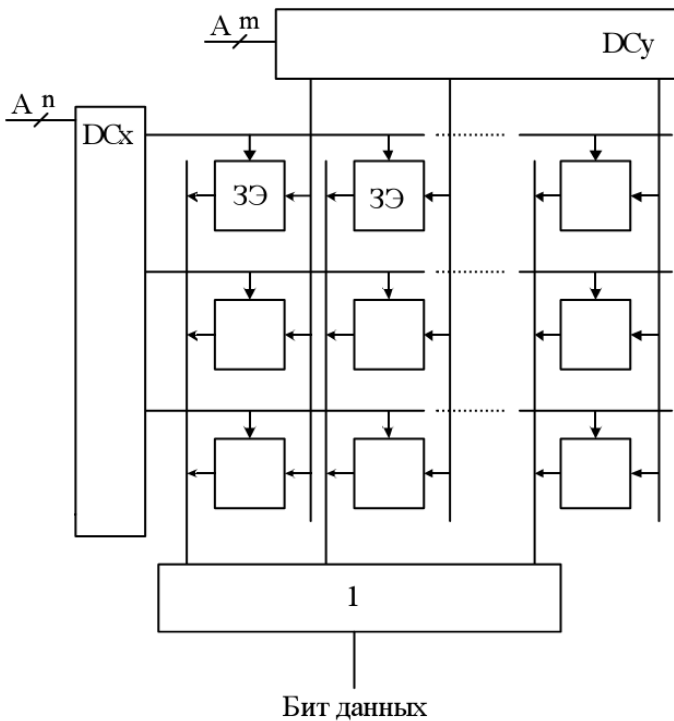
DI (data input) - линия входных данных;

CS (cheap select) - выбор кристалла - сигнал, разрешающий работу схемы ОЗУ;

WR/RD (write - запись, read - чтение) - сигнал управления записью (активный нулевой уровень) и чтением (активный единичный уровень);

DO (data output) - линия выходных данных.

← **Рис. 1** Структурная схема статического ОЗУ



← **Рис. 2** Принцип организации матричного накопителя

Информационная емкость такого ЗУ определяется как

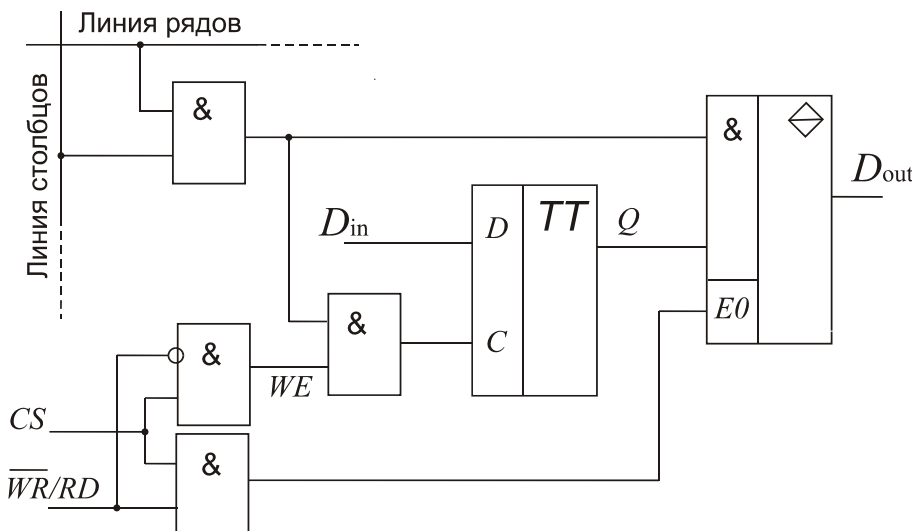
$$M = 2^m \cdot 2^n \cdot k$$

m – разрядность шины адреса столбцов,

n – разрядность шины адреса строк,

k – разрядность слов (бит),

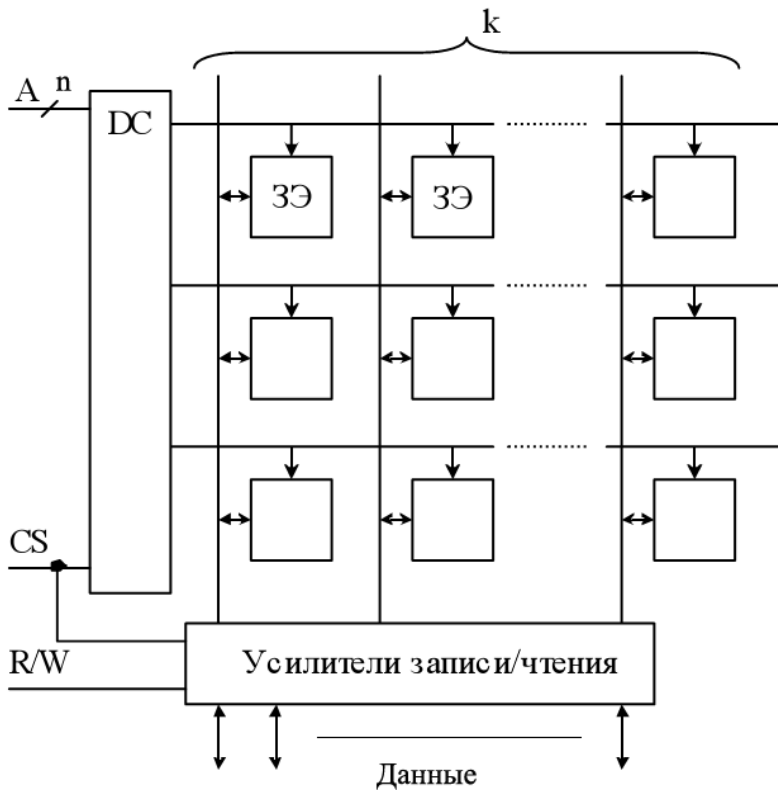
← в данном случае $k = 1$.



Для подключения к общей шине выход элемента памяти должен иметь *Z-состояние* либо *открытый коллектор*

← **Рис. 3** Эквивалентная схема элемента памяти

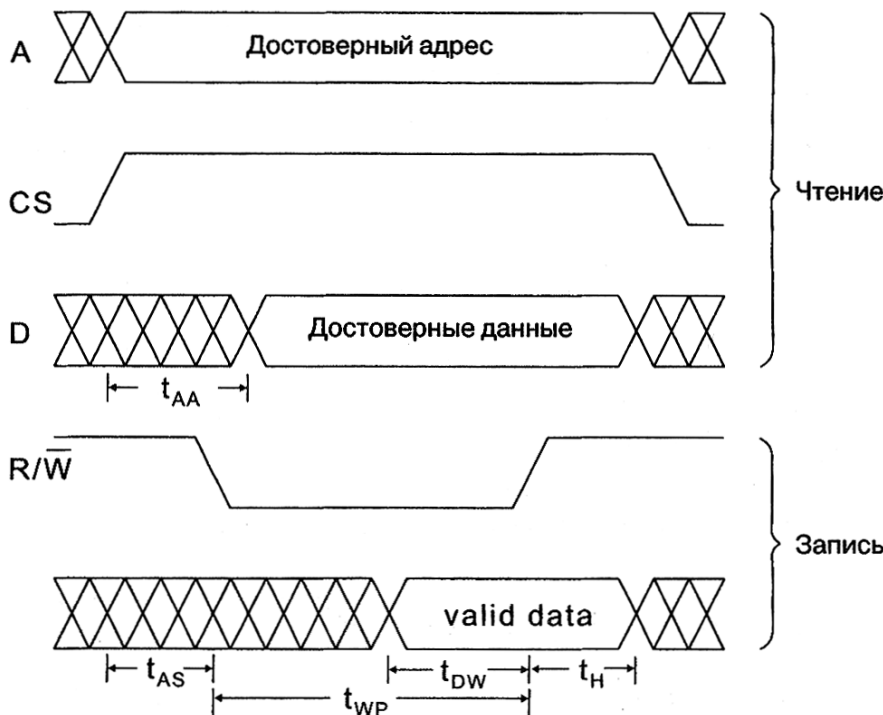
В случае, когда количество столбцов (или строк) в накопителе равно 1, т.е. используется 1-координатная адресация, структуру накопителя называют *2D-структурой*. Принцип организации такого накопителя показан на рис. 4".



← *Рис. 4*" Принцип организации 2D накопителя

Информационная емкость такого ЗУ определяется как $M = 2^n \cdot k$
 n – разрядность шины адреса строк,
 k – разрядность слов (бит),

Быстродействие ЗУ определяется продолжительностью операции обращения к ЗУ. Обращение к ЗУ - это запись или считывание. Для организации корректного доступа к ячейкам памяти все сигналы должны быть определенного формата. Временные диаграммы сигналов при операциях записи и чтения показаны на рис. 5".



← *Рис. 5*" Диаграммы сигналов при операциях чтения и записи.

Чтение

- Поскольку внутри схемы существуют определенные задержки на распространение сигналов, время между выставлением адреса ячейки на соответствующих линиях до появления достоверных данных на выходных линиях должно быть равно заранее определенному времени t_{AA} , называемому **временем выборки адреса**.

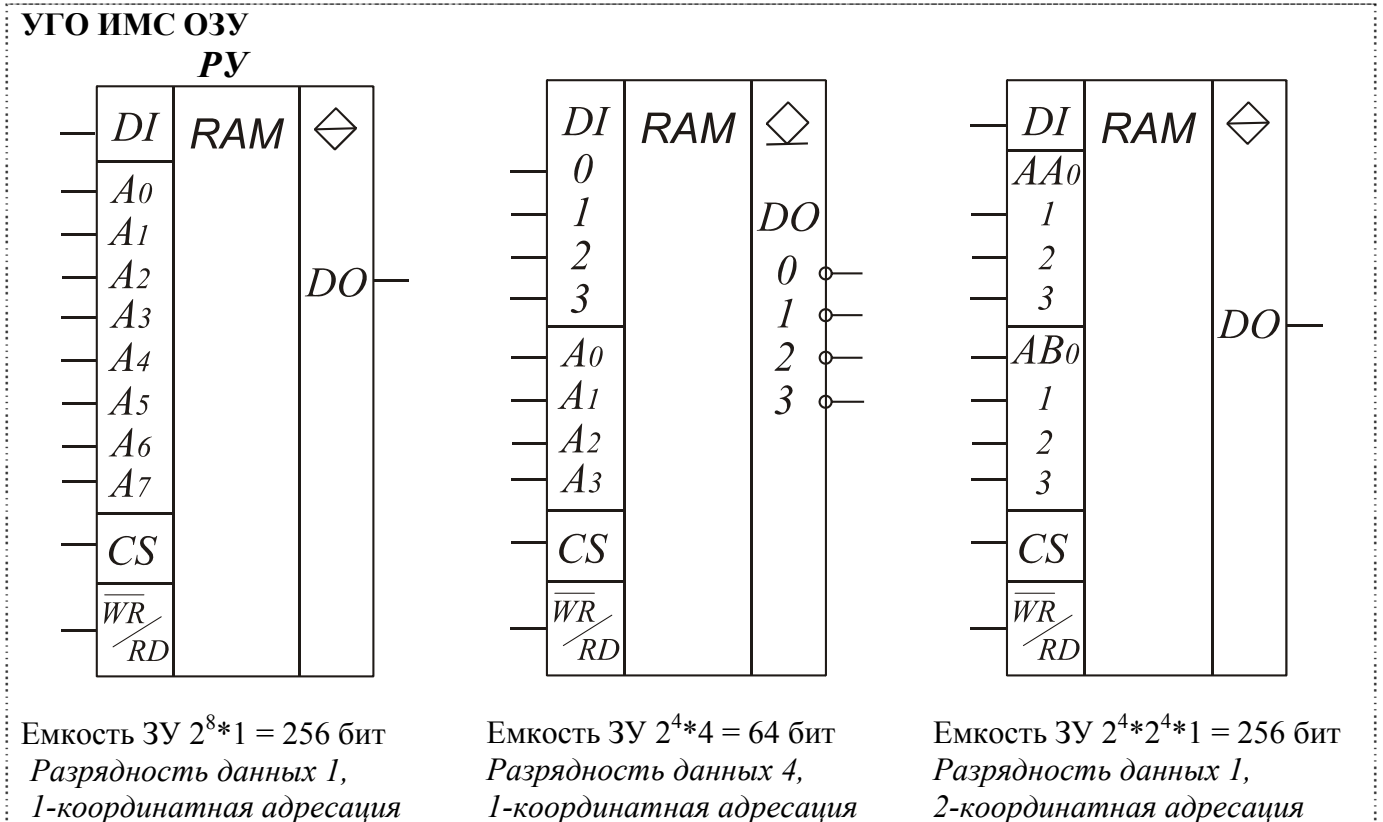
Запись

- Время между выставлением адреса ячейки и установлением низкого уровня сигнала на линии R/W , разрешающего чтение-запись информации, определяется **временем установления сигнала записи t_{AS}** .
- Сигнал на линии R/W должен оставаться низким в течение интервала времени t_{WP} , называемого **длительностью сигнала записи**.
- Данные считываются по положительному перепаду напряжения на линии R/W . Перед этим (до перепада) они не должны меняться в течение времени t_{DW} – **времени удержания данных для операции записи**.
- После переключения уровня сигнала на линии R/W сигналы на линиях данных и адреса должны сохранять свои значения в течение времени t_H , называемого **временем сохранения данных**.

Минимальное общее время операции записи в ЗУ определяется выражением:

$$t_W = t_{AS} + t_{WP} + t_H$$

Это время называется **временем цикла записи** (рис. 5”).



Способы увеличения емкости (информационного объема) ЗУ

1. Увеличение разрядности данных
2. Увеличение разрядности шины адреса
3. Комбинированный.

1. Увеличение разрядности данных

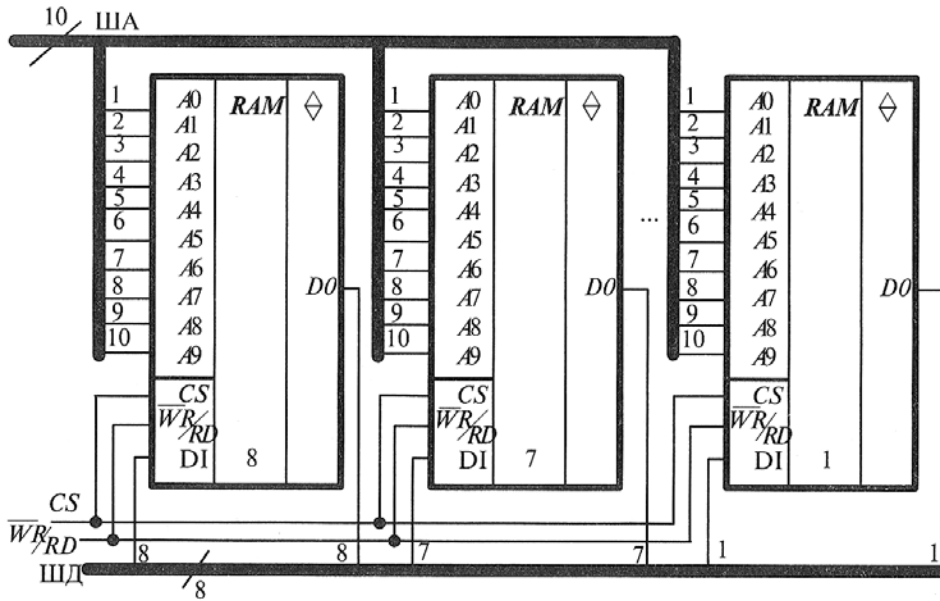


Рис. 6''

ША – шина адреса (10 разрядов)

ШД – шина данных (8 разрядов)

Увеличение разрядности достигается за счет параллельного соединения N микросхем ЗУ (в данном случае 8). На все микросхемы ЗУ подается одинаковый адрес, входы CS и WR/RD соединяются между собой. Емкость 1 ИМС $M_1 = 2^{10} \cdot 1 = 1024$ бит. Емкость всей представленной структуры ↑ определяется как

$$M = 2^{10} \cdot 1 \cdot 8 = 8192 \text{ бит} = 1 \text{ Кбайт}$$

2. Увеличение разрядности шины адреса

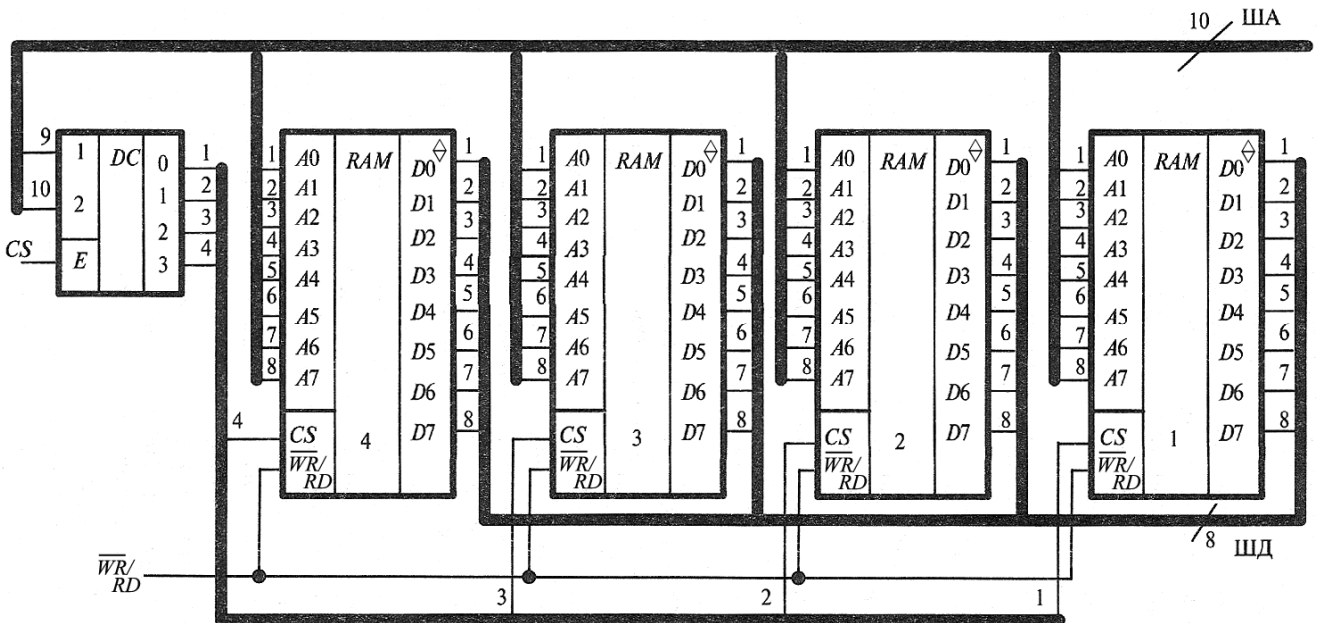


Рис. 7''

Разрядность 1 микросхемы ЗУ - 8 разрядов данных и 8 разрядов адреса. Тогда емкость 1 ИМС $M_1 = 2^8 \cdot 8 = 2048$ бит = 2 Кбит. Разрядность шины адреса увеличивается за счет использования дешифратора DC , на входы которого подаются старшие разряды ША. Входы CS ИМС ЗУ подключаются к соответствующим выходам DC . Вход E дешифратора используется как вход разрешения работы всей схемы и идентифицируется внешними устройствами как вход выбора кристалла CS . Входы WR/RD соединяются между собой. Входы данных DI микросхем

ОЗУ на рисунке не показаны, они могут быть, а могут и отсутствовать в случае, если ШД двунаправленная. Одноименные выходы данных $D0-D7$ микросхем подключаются к общей шине (одноименные соединяются между собой). Емкость всей структуры будет $M = 2^8 \cdot 8 \cdot 4 = 8192 \text{ бит} = 1 \text{ Кбайт}$.

3. Комбинированный способ увеличения емкости ЗУ

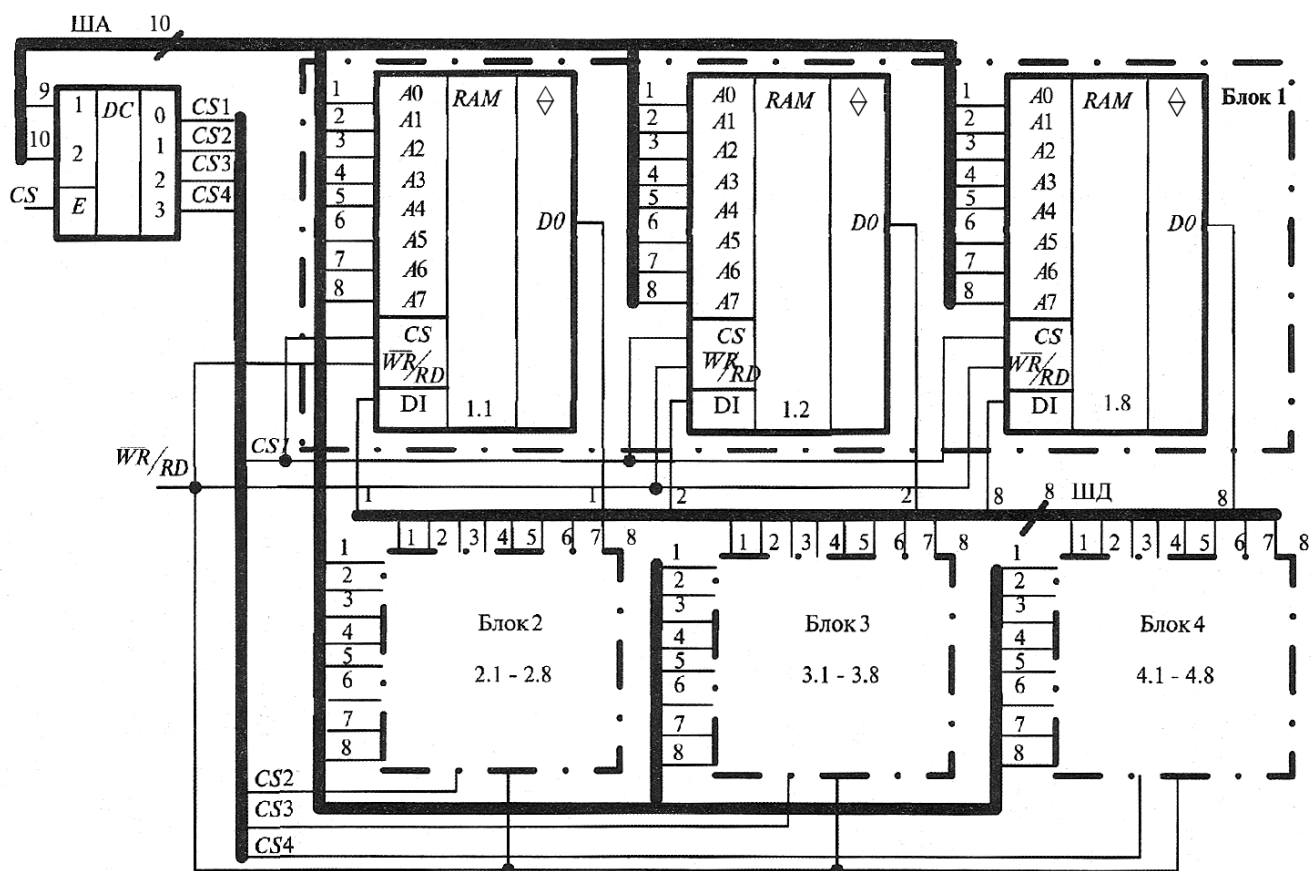


Рис. 8''

Увеличивается как *разрядность данных*, так и *разрядность шины адреса*.

Разрядность 1 микросхемы ЗУ - 1 разряд данных и 8 разрядов адреса. Тогда емкость 1 ИМС $M_1 = 2^8 \cdot 1 = 256 \text{ бит}$. Разрядность данных увеличивается за счет параллельного включения N микросхем ЗУ, т.е. каждый блок состоит из N параллельно включенных микросхем (в данном случае 8). Емкость каждого блока будет определяться как

$$M_B = 2^8 \cdot 1 \cdot 8 = 2048 \text{ бит} = 2 \text{ Кбит}.$$

Входы CS микросхем в каждом блоке соединяются между собой и подключаются к соответствующим выходам дешифратора $CS1-CS4$. Таким образом, на два разряда увеличивается разрядность шины адреса. Аналогично, используя дешифратор на 8 выходов можно увеличить разрядность ША на 3 разряда. На входы DC подаются старшие разряды ША. Вход E дешифратора используется как вход разрешения работы всей схемы и идентифицируется внешними устройствами как вход выбора кристалла CS .

На все микросхемы всех блоков подается одинаковый адрес $A0-A7$. Входы WR/RD всех ИМС соединяются между собой. Емкость всей структуры:

$$M = M_B \cdot 4 = 8192 \text{ бит} = 1 \text{ Кбайт}.$$

Правила эксплуатации микросхем памяти

Микросхема памяти, как сама является нагрузкой для логических элементов, осуществляющих управление ею, так и нагружена на входы логических элементов.

Для логических элементов на входе микросхем памяти должны выполняться следующие условия:

$$I_{\text{вых. логич. элем-в}}^0 \geq \sum_{i=1}^k I_{\text{exi}}^0 \text{ микросхем памяти}$$

$$I_{\text{вых. логич. элем-в}}^1 \geq \sum_{i=1}^k I_{\text{exi}}^1 \text{ микросхем памяти}$$

$$C_{\text{H max}} \geq \sum_{i=1}^k C_{\text{exi}} + C_{\text{монтажа}}$$

Для логических элементов на выходе микросхем ЗУ с **Z-состоянием**:

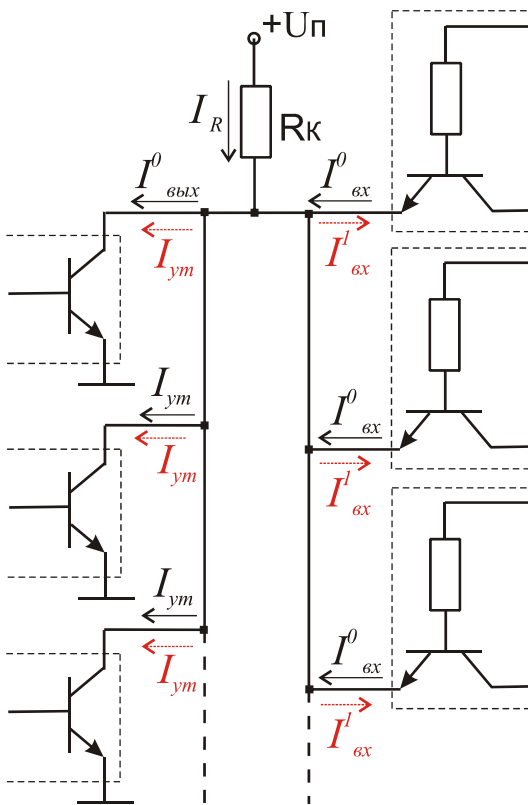
$$1) I_{\text{вых ИМС}}^0 \geq N \cdot I_{\text{вх}}^0 + (k-1) I_{\text{ут}},$$

где N – количество входов микросхем, подключенных к выходу ИМС ЗУ, k – количество одноименных выходов ЗУ, соединенных вместе = количеству ИМС ЗУ при наращивании емкости увеличением разрядности шины адреса / = количеству блоков при комбинированном наращивании емкости ЗУ. $I_{\text{ут}}$ – ток утечки.

$$2) I_{\text{вых ИМС}}^1 \geq N \cdot I_{\text{вх}}^1 + (k-1) I_{\text{ут}}$$

$$3) C_{\text{H max}} \geq (k-1) C_{\text{вых}} + N \cdot C_{\text{вх. логич. элем-в}} + C_{\text{монтажа}}$$

Расчет выходных токов для элементов с открытым коллектором



$$1) I_{\text{R}} + N \cdot I_{\text{вх}}^0 - I_{\text{вых}}^0 - (k-1) \cdot I_{\text{ут}} = 0$$

$$I_{\text{вых}}^0 \geq I_{\text{R}} + N \cdot I_{\text{вх}}^0 - (k-1) \cdot I_{\text{ут}}$$

2) $I_{\text{R}} = N \cdot I_{\text{вх}}^1 + k \cdot I_{\text{ут}}$, при этом должен обеспечиваться уровень $U_{\text{вх}}^1$.

$$3) C_{\text{H max}} \geq (k-1) C_{\text{вых}} + N \cdot C_{\text{вх}} + C_{\text{монтажа}}$$

Если на выходе микросхем памяти “0”, т.е. выходной транзистор какого-либо элемента памяти открыт (например, первый на схеме), то

$$I_{\text{R}} R_{\text{k}} + U_{\text{вых max}}^0 = U_{\text{п}}$$

$$I_{\text{вых}}^0 = I_{\text{R}} + N \cdot I_{\text{вх}}^0 - (k-1) \cdot I_{\text{ут}}$$

$$R_{\text{k}}^0 = \frac{U_{\text{п}} - U_{\text{вых max}}^0}{I_{\text{вых}}^0 - N \cdot I_{\text{вх}}^0 + (k-1) \cdot I_{\text{ут}}}$$

Если на выходе микросхем памяти “1”, т.е. все выходные транзисторы закрыты, то

$$I_{\text{R}} R_{\text{k}} + U_{\text{вых min}}^1 = U_{\text{п}}$$

$$I_{\text{R}} = N \cdot I_{\text{вх}}^1 + k \cdot I_{\text{ут}}$$

$$R_{\text{k}}^1 = \frac{U_{\text{п}} - U_{\text{вых min}}^1}{N \cdot I_{\text{вх}}^1 + k \cdot I_{\text{ут}}}$$

Для получения максимального быстродействия выбирается наименьшее значение R_{k} .

В случае если одно из условий (1-3) не выполняется, необходимо ставить буферные элементы. Они могут ставиться, как по входу ИМС ОЗУ, так и по выходу. Буферизироваться могут и ША, и ШД.

Расчет модуля ОЗУ

Пример 1.

Расчитать модуль ОЗУ 4096x8, на основе микросхем памяти 512x2 с *Z-состоянием*. Входной ток нуля 0.4 мА, входной ток единицы 0.04 мА, входная емкость 5 пФ, выходной ток нуля 4 мА, выходной ток единицы 0.4 мА, ток утечки в *Z-состоянии* 10 мкА, выходная емкость 8 пФ, максимальная емкость нагрузки 100 пФ. Считать, что микросхема нагружена на 2 входа.

1. Определяем требуемую емкость в битах $M = 4096 \cdot 8 = 32768$ бит = 32 Кбит
2. Определяем количество микросхем, необходимых для реализации требуемой разрядности данных (параллельно соединенных ИМС)

Разрядность данной микросхемы – 2, разрядность требуемая – 8 \Rightarrow необходимо параллельное соединение 4 ИМС. Информационная емкость 4 ИМС будет

$$M_1 = 512 \cdot 2 \cdot 4 = 512 \cdot 8 = 4096 \text{ бит} = 4 \text{ Кбит.}$$

Следовательно, будем использовать *комбинированный способ увеличения емкости ЗУ* (рис. 8").

3. Определяем количество блоков M_1 , необходимых для реализации требуемой емкости M

$$k = M/M_1 = 32/4 = 8.$$

Таким образом, будем использовать дешифратор на 8 выходов (3 адресных входа). Разрядность ША будет $9 + 3 = 12$.

4. Проверяем согласованность нагрузки микросхем (см. правила эксплуатации микросхем памяти)

$$1) N \cdot I_{\text{вх}}^0 + (k-1) I_{\text{ут}} = 2 \cdot 0.4 + (8-1) \cdot 0.01 = 0.87 \text{ мА} < 4 \text{ мА}$$

$$2) N \cdot I_{\text{вх}}^1 + (k-1) I_{\text{ут}} = 2 \cdot 0.04 + (8-1) \cdot 0.01 = 0.15 \text{ мА} < 0.4 \text{ мА}$$

$$3) C_{\text{н}} = (k-1) C_{\text{вых}} + N \cdot C_{\text{вх}} + C_{\text{м}} = (8-1) \cdot 8 + 4 \cdot 5 + 0 = 76 \text{ пФ} < 100 \text{ пФ}$$

Вывод: условия по выходным токам выполняются с большим запасом, емкость нагрузки меньше максимальной, но запас незначительный (тем более что $C_{\text{м}}$ не учитывалась).

Пример 2.

Расчитать модуль ОЗУ 256x8, на основе микросхем памяти 64x2 с *открытым коллектором*. $U_{\text{п}} = 5\text{В}$. Входной ток нуля 0.4 мА, входной ток единицы 0.04 мА, входная емкость 12 пФ, выходной ток нуля 20 мА, ток утечки выходного транзистора 10 мкА, выходная емкость 10 пФ, максимальная емкость нагрузки 100 пФ. Считать, что микросхема нагружена на 2 входа.

1. Определяем требуемую емкость в битах $M = 256 \cdot 8 = 2048$ бит = 2 Кбит
2. Определяем количество микросхем, необходимых для реализации требуемой разрядности данных (параллельно соединенных ИМС)

Разрядность данной микросхемы – 2, разрядность требуемая – 8 \Rightarrow необходимо параллельное соединение 4 ИМС. Информационная емкость 4 ИМС будет

$$M_1 = 64 \cdot 2 \cdot 4 = 512 \text{ бит}$$

Следовательно, будем использовать *комбинированный способ увеличения емкости ЗУ*.

3. Определяем количество блоков M_1 , необходимых для реализации требуемой емкости M

$$k = M/M_1 = 2048/512 = 4.$$

Таким образом, будем использовать дешифратор на 4 выхода (2 адресных входа). Разрядность ША будет $6 + 2 = 8$.

4. Рассчитываем сопротивление $R_{\text{к}}$.

$$1) R_{\text{к}}^0 = \frac{U_{\text{п}} - U_{\text{вых.max}}^0}{I_{\text{вых}}^0 - N \cdot I_{\text{вх}}^0 + (k-1) \cdot I_{\text{ут}}} = \frac{5 - 0.4}{20 \cdot 10^{-3} - 2 \cdot 0.4 \cdot 10^{-3} + 3 \cdot 0.01 \cdot 10^{-3}} = 240 \text{ Ом}$$

$$2) R_{\text{к}}^1 = \frac{U_{\text{п}} - U_{\text{вых.min}}^1}{N \cdot I_{\text{вх}}^1 + k \cdot I_{\text{ут}}} = \frac{5 - 2.7}{2 \cdot 0.04 \cdot 10^{-3} + 4 \cdot 0.01 \cdot 10^{-3}} = 19.2 \text{ кОм}$$

$$3) (k-1) C_{\text{вых}} + N \cdot C_{\text{вх}} = (4-1) \cdot 10 + 4 \cdot 12 + 0 = 78 \text{ пФ} < 100 \text{ пФ}$$

Вывод: Рекомендуемое значение $R_{\text{к}} = 240 \text{ Ом}$. По выходной емкости также согласуются.