

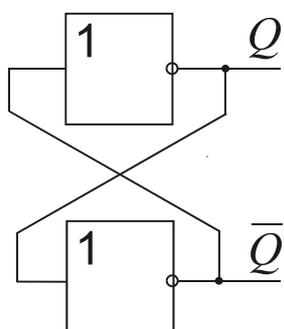
Лекция 9.

III. Последовательные (sequential) логические устройства (автоматы с памятью)

Особенностью последовательных логических устройств является зависимость выходного сигнала не только от действующих в настоящий момент на входе логических переменных, но и от тех значений переменных, которые действовали на входе в предыдущие моменты времени. Для выполнения этого условия значения переменных должны быть запомнены логическим устройством. Функцию запоминания значений логических переменных в цифровых схемах выполняют так называемые *триггерные элементы*.

1) **Триггером** называется устройство, способное формировать два устойчивых значения выходного сигнала и скачкообразно изменять эти значения под действием внешнего управляющего сигнала. Способность формировать на выходе два устойчивых значения сигнала, которые могут поддерживаться без изменения сколь угодно длительный промежуток времени, позволяет применять триггер в качестве элемента памяти.

Основой триггеров является бистабильная ячейка, образованная перекрёстным объединением инвертирующих логических элементов.



Такая ячейка имеет только два устойчивых состояния «0» и «1».

Говорят, что триггер *установлен* в единичное состояние, когда на его выходе появляется напряжение высокого уровня. В противном случае триггер считается *сброшенным*.

1 триггер хранит 1 бит информации.

Классификация триггеров

Существующие типы триггеров могут быть классифицированы по различным признакам.

По типу используемых информационных входов различают *RS-, D-, T-, JK-* триггеры.

R – отдельный вход сброса триггера ($Q = 0$);

S – отдельный вход установки триггера ($Q = 1$);

K – вход сброса универсального триггера ($Q=0$);

J – вход установки универсального триггера ($Q=1$);

T – счетный вход счетного триггера;

D – информационный вход переключения триггера в состояние, соответствующее логическому уровню на этом входе;

C – вход управления или синхронизации.

Кроме этих основных входов некоторые триггеры могут иметь вход *V*. Вход *V* блокирует работу триггера и он сколь угодно долго может сохранять ранее записанную в него информацию.

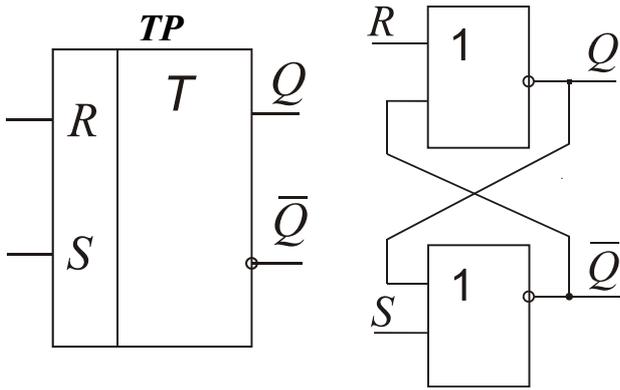
По моменту реакции на входной сигнал триггеры подразделяют на *асинхронные* и *синхронные*.

Асинхронный триггер изменяет свое состояние непосредственно в момент изменения сигнала на его информационных входах.

Синхронный триггер изменяет свое состояние лишь в определенные моменты времени, соответствующие действию активного сигнала на его входе синхронизации и не реагирует на любые изменения информационных сигналов при пассивном значении сигнала на входе *C*.

По виду активного логического сигнала, действующего на информационных входах, триггеры различают на *статические*, управляемые уровнем, и *динамические* – управляемые перепадом входного сигнала. При этом сами входы могут быть *прямыми* и *инверсными*.

1. Асинхронный RS-триггер с прямыми входами



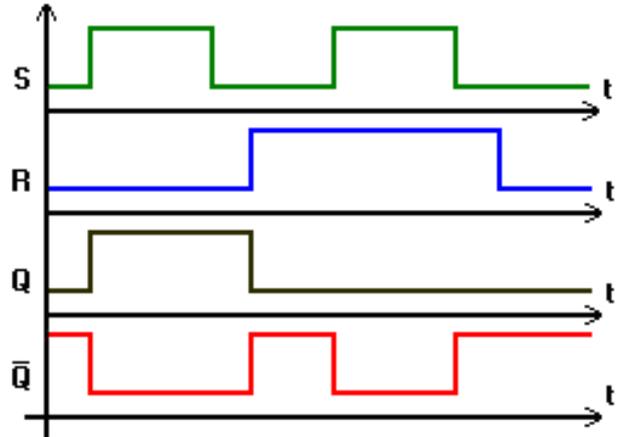
Вход R - это вход установки триггера в состояние логического 0 , вход S - это вход установки триггера в состояние логической 1 .

Асинхронным - называется потому, что меняет свое состояние в момент подачи входного сигнала на входы S и R .

Активным сигналом для этой схемы является логическая 1 .

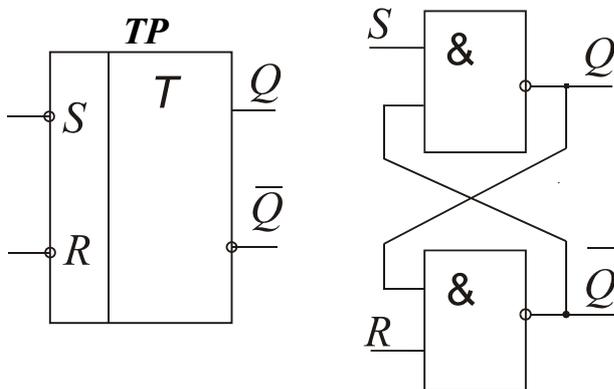
Режим работы триггера определяется таблицей переходов (состояний).

S	R	Q	\bar{Q}	Прим.
0	0	Q_{i-1}	\bar{Q}_{i-1}	хранение
0	1	0	1	устан. 0
1	0	1	0	устан. 1
1	1	-	-	запрет



Запрещенная ситуация – это комбинация сигналов на входе, при которых оба выхода триггера Q и \bar{Q} принимают одинаковое значение.

Асинхронный RS-триггер с инверсными входами

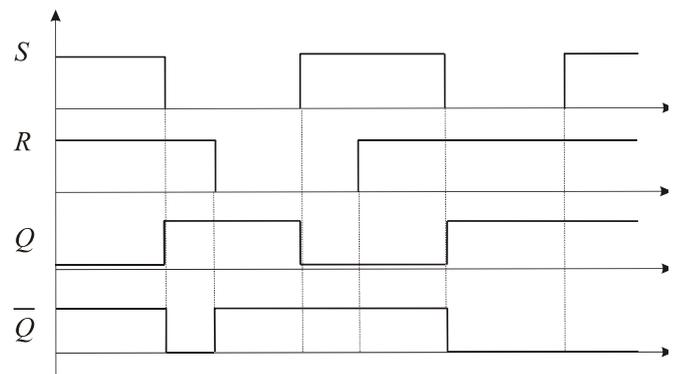


Вход R - это вход установки триггера в состояние логического 0 , вход S - это вход установки триггера в состояние логической 1 .

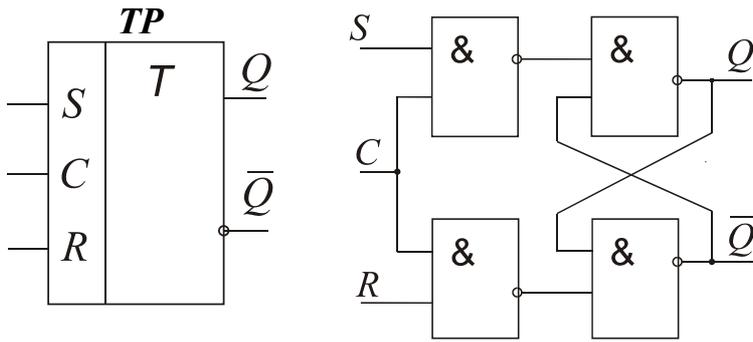
Активным сигналом для этой схемы является логический 0 .

Таблица переходов

S	R	Q	\bar{Q}	Прим.
0	0	-	-	запрет
0	1	1	0	устан. 1
1	0	0	1	устан. 0
1	1	Q_{i-1}	\bar{Q}_{i-1}	хранение



Синхронный (тактируемый) RS-триггер



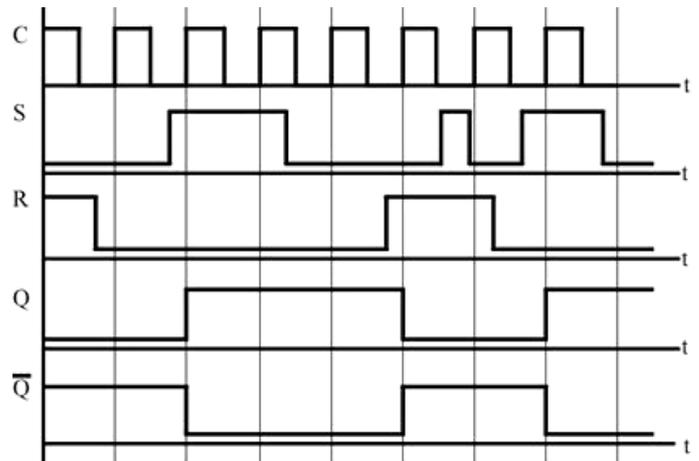
Триггер является синхронным, т.к. у него помимо информационных входов S и R , существует управляющий вход C (CLK).

Триггер будет менять свое состояние только при логической 1 на входе C .

Активным сигналом для этой схемы является логическая 1.

Таблица переходов

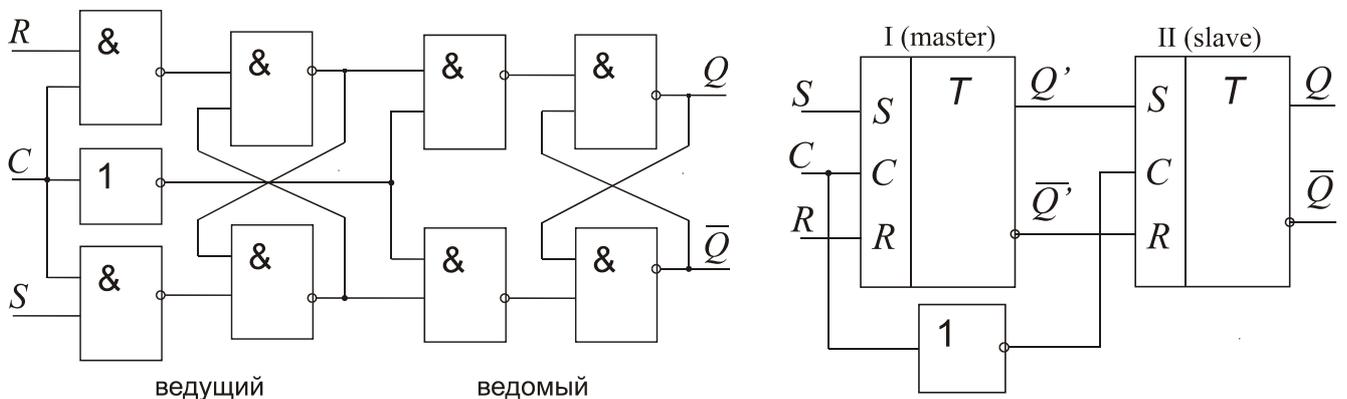
C	S	R	Q	\bar{Q}	Прим.
0	x	x	Q_{i-1}	\bar{Q}_{i-1}	хранение
1	0	0	Q_{i-1}	\bar{Q}_{i-1}	хранение
1	0	1	0	1	устан. 0
1	1	0	1	0	устан. 1
1	1	1	-	-	запрет



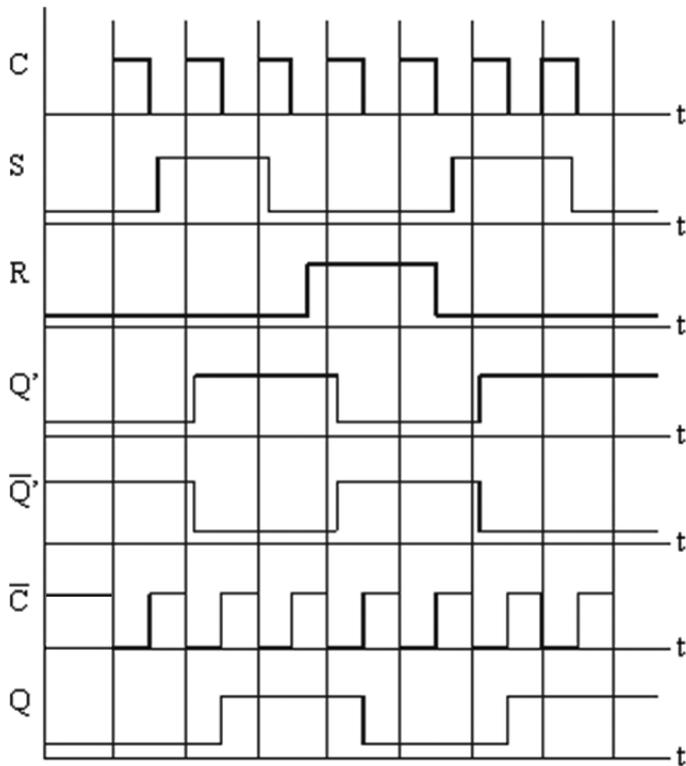
Рассмотренные схемы RS-триггеров являются одноступенчатыми. Если во время действия тактового импульса C состояния управляющих входов R и S изменятся, то это сразу отразится на Q и \bar{Q} в соответствии с таблицей переходов.

Двухступенчатый RS-триггер (MS-триггер)

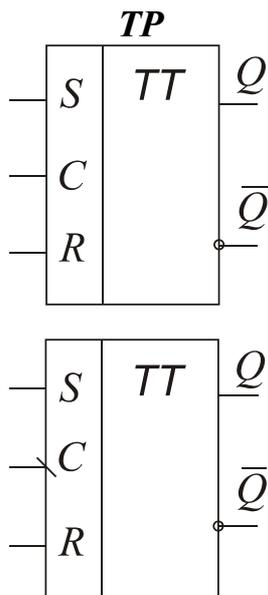
Двухступенчатый триггер состоит из двух секций (одноступенчатых триггеров), соединенных каскадно. Каждая секция содержит по синхронному RS-триггеру. Первая секция, ведущая или **М**-секция (от английского MASTER) принимает информацию с входных линий S и R . Состояние выходов ведущей секции подается на вторую секцию, ведомую, или **С**-секцию (от английского SLAVE).



Для ведущего триггера используется обычная синхронизация, в то время как для ведомого триггера импульс синхронизации инвертируется.



Изменение состояния выхода ведущего триггера будет происходить в момент появления положительного импульса синхронизации, и эти изменения будут переданы на входы ведомого триггера. Однако никакие изменения на выходе ведомого триггера не будут происходить до тех пор, пока не появится положительный сигнал инвертированного импульса синхронизации, т.е. отрицательный (задний фронт) фронт исходного синхроимпульса. Следовательно, изменения на выходах Q и \bar{Q} не произойдет до тех пор, пока не завершится импульс синхронизации.



Символ ТТ в поле условного обозначения означает, что триггер двухступенчатый, т.е. состоит из двух триггеров.

C	S	R	Q	\bar{Q}	Прим.
0	x	x	Q_{i-1}	\bar{Q}_{i-1}	хранение
	0	0	Q_{i-1}	\bar{Q}_{i-1}	хранение
	0	1	0	1	устан. 0
	1	0	1	0	устан. 1
	1	1	-	-	запрет

2. D – триггер (одноступенчатый)

D-триггер (триггер задержки) - это устройство с двумя устойчивыми состояниями, и одним информационным входом.

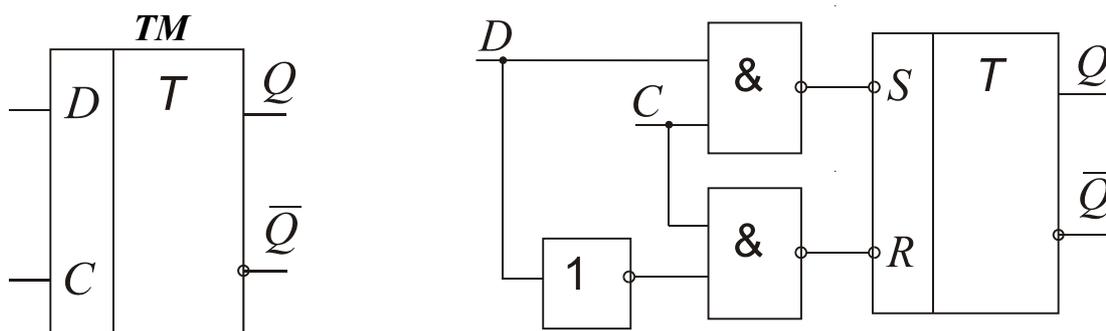


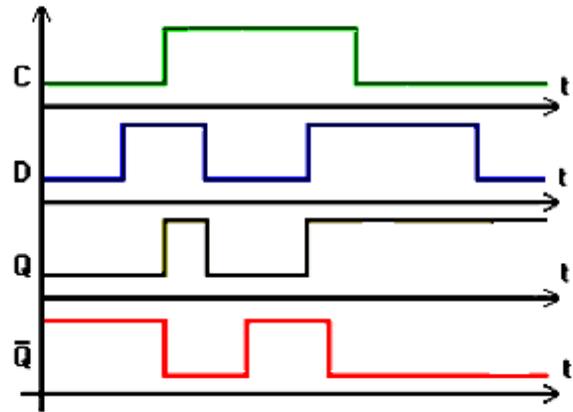
Таблица состояний D – триггера

C	D	Q	\bar{Q}	Прим.
0	x	Q_{i-1}	\bar{Q}_{i-1}	хранение
1	0	0	1	устан. 0
1	1	1	0	устан. 1

D-триггер не имеет запрещенной ситуации, когда состояние триггера оказывается неопределенным.

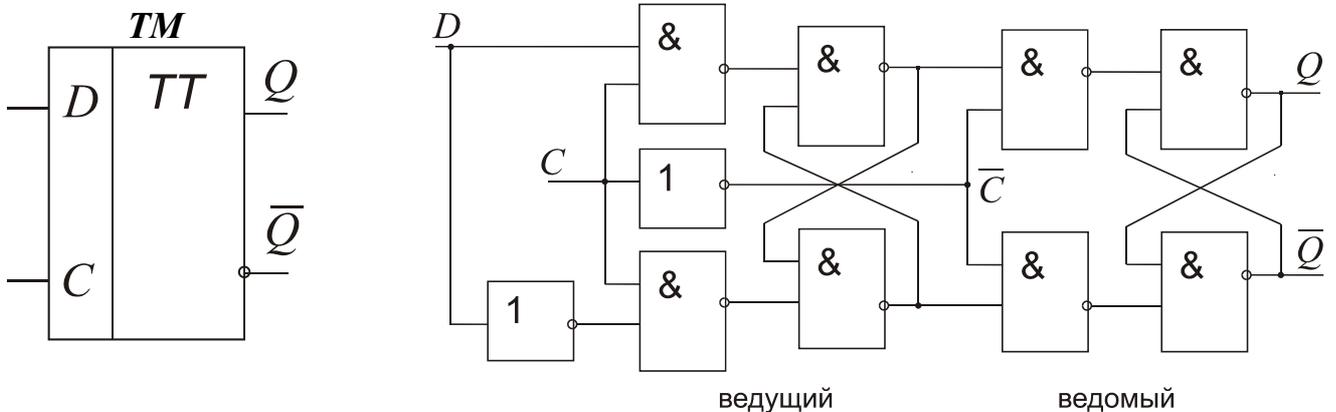
При высоком уровне сигнала на входе синхронизации ($C=1$) триггер является прозрачным для входных данных, т. е. выходной сигнал повторяет сигнал на входе D . При низком уровне сигнала на входе C состояние триггера устойчиво и не зависит от изменений уровня сигнала на входе D . Поэтому D-триггер часто называют *триггером-защелкой*.

D - триггер бывает только *синхронным*.



Двухступенчатый D – триггер

При последовательном соединении двух D-триггеров пропадает их прозрачность для входного сигнала. Для передачи входных сигналов на выход схемы триггеры тактируются взаимно дополняющей парой синхросигналов, как в случае синхронного RS-триггера. Выходной сигнал *ведущего* D-триггера Q повторяет входной сигнал до тех пор пока сигнал $C=1$. В это время *ведомый* триггер остается закрытым. Как только сигнал C становится равным нулю, первый D-триггер запирается и выходной сигнал второго триггера Q повторяет сигнал на выходе ведущего триггера Q' .



Лекция 10.

3. T – триггер

T-триггер или, как его часто называют, *счетный триггер*, должен изменять свое состояние на противоположное по каждому активному логическому сигналу на информационном входе T . Данному алгоритму работы соответствует таблица переходов →

Логическое выражение для асинхронного

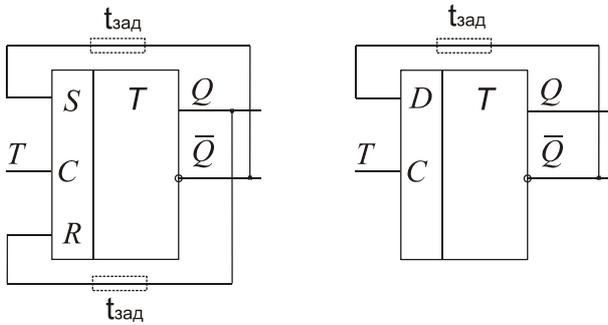
T-триггера: $Q_{i+1} = Q_i \bar{T} + \bar{Q}_i T$

В случае синхронного T-триггера

$Q_{i+1} = (Q_i \bar{T} + \bar{Q}_i T)C + Q_i \bar{C}$

Таблица состояний T – триггера

Q_{i-1}	T	Q	Прим.
0	0	0	Q_{i-1} хранение
0	1	1	\bar{Q}_{i-1} инверсия
1	0	1	Q_{i-1} хранение
1	1	0	\bar{Q}_{i-1} инверсия



Реализация данного режима работы с использованием простейшего элемента памяти требует подачи на последний для каждого последующего переключения инверсных значений входных сигналов. Такой режим обеспечивается введением в RS- или D-триггер цепей дополнительной обратной связи.

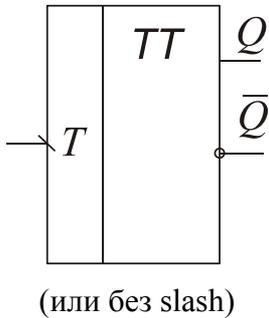
Полученные структуры соответствуют алгоритму работы T-триггера. Однако на практике они не могут обеспечить его надежное функционирование. Объясняется это тем, что в данном случае элемент памяти одновременно должен выполнять две взаимоисключающие функции. С одной стороны, он должен быть источником информации, а с другой, - ее приемником. Очевидно, что одновременное выполнение этих функций одним триггером невозможно, так как прием новой информации автоматически означает потерю старой.

Неработоспособны данные структуры и при использовании элементов, обладающих собственной инерционностью, либо внешних цепей задержки (см. рис.). Объясняется это следующим: если к моменту изменения сигналов на входах R, S или D сигнал T еще не снят, происходит следующее переключение триггера.

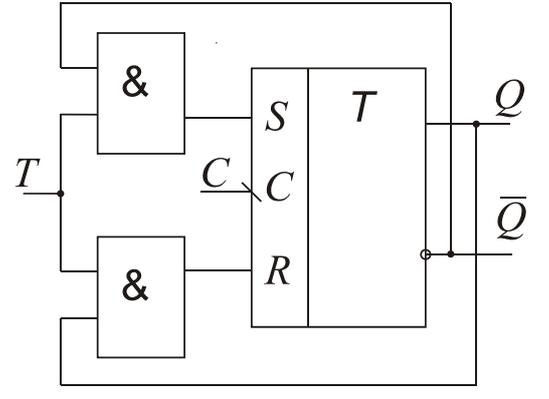
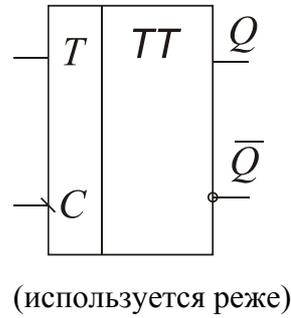
Для получения надежного T-триггера необходимо либо использовать дополнительный элемент памяти, запоминающий новые значения сигналов R, S или D и подающий их на информационные входы основного элемента памяти только после снятия активного сигнала со входа T, либо искусственно ограничивать длительность сигнала T. Эти принципы реализованы в так называемых двухступенчатых триггерах и триггерах с динамическим управлением.

Двухступенчатый T-триггер

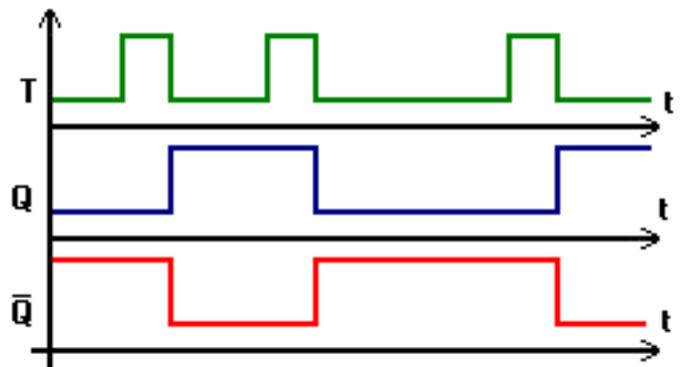
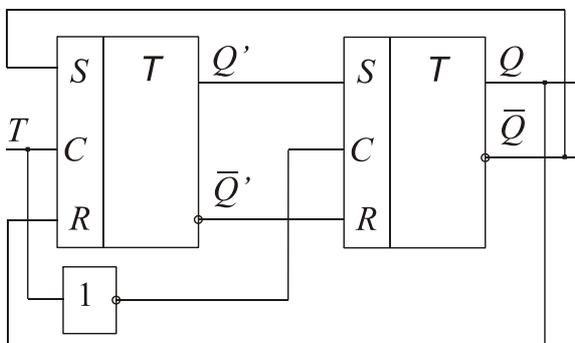
Асинхронный



Синхронный



Асинхронный двухступенчатый T-триггер



Двухступенчатый T-триггер состоит из двух последовательно соединенных триггеров – ведущего и ведомого. Новая информация формируется сначала только во входной ступени триггера при сохранении старой информации в выходной его ступени. Когда новое состояние входной ступени сформировано и снят активный уровень сигнала со входа T, происходит ее перезапись в выходную ступень устройства.

4. JK – триггер.

JK – триггер является универсальным триггером, так как на его основе могут быть выполнены любые из описанных ранее типов триггеров. *JK – триггер* может быть одноступенчатым и двухступенчатым, со статическим и динамическим переключением.

Таблица состояний асинхронного JK – триггера

J	K	Q	\bar{Q}	Прим.
0	0	Q_{i-1}	\bar{Q}_{i-1}	хранение
0	1	0	1	устан. 0
1	0	1	0	устан. 1
1	1	\bar{Q}_{i-1}	Q_{i-1}	инверсия

В отличие от *RS*-триггера, *JK*-триггер не имеет запрещенных комбинаций входных сигналов.

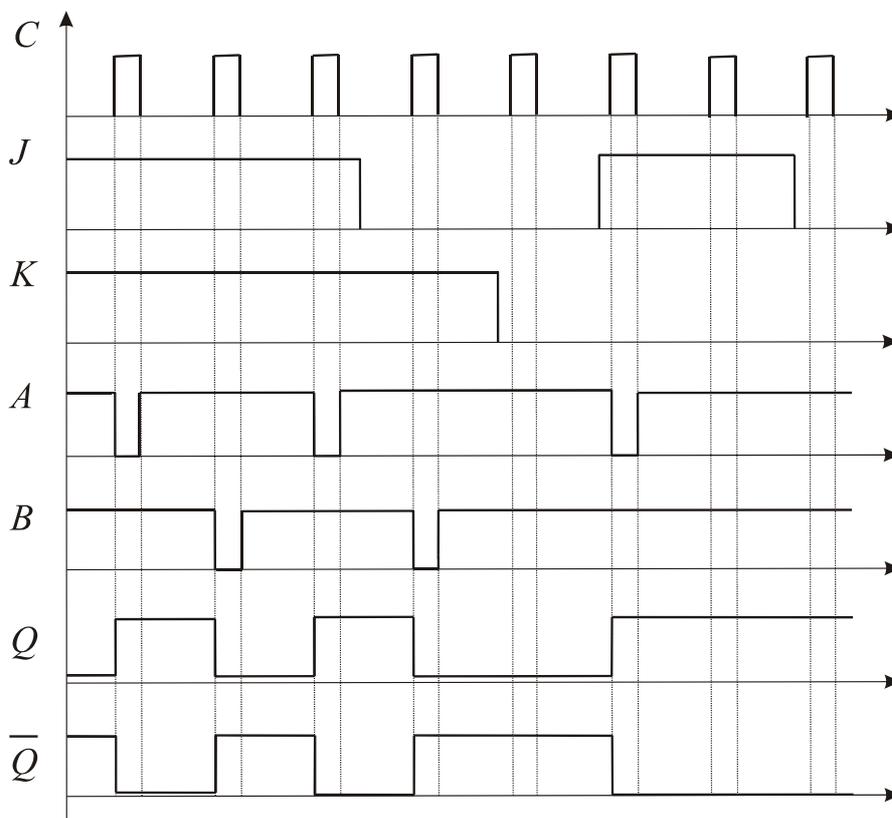
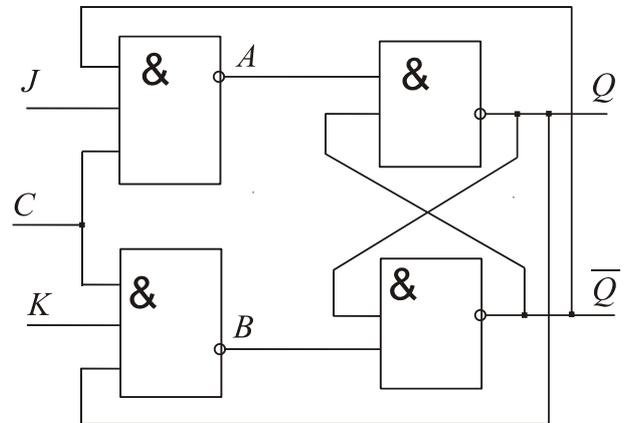
Логическое выражение для асинхронного *JK*-триггера: $Q_{i+1} = J\bar{Q}_i + \bar{K}Q_i$

Логическое выражение для синхронного *JK*-триггера $Q_{i+1} = (J\bar{Q}_i + \bar{K}Q_i)C + Q_i\bar{C}$

Обычно *JK*-триггеры делаются *синхронными*.

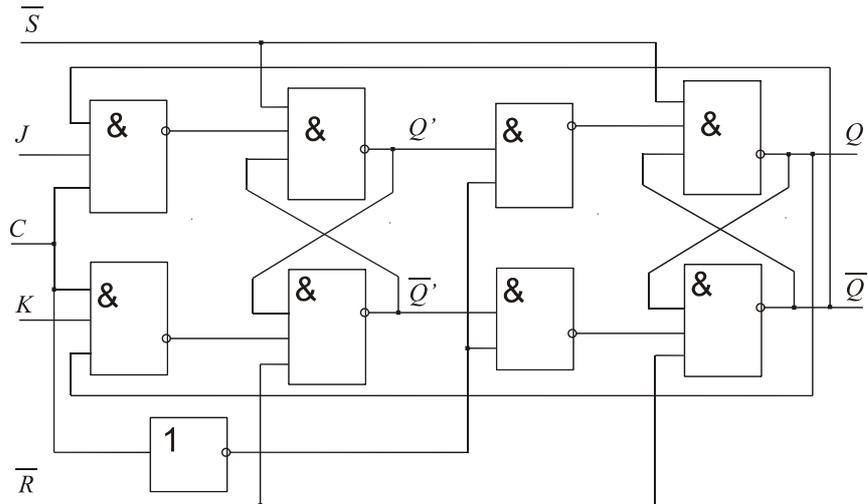
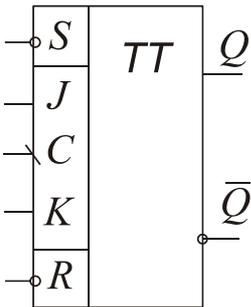
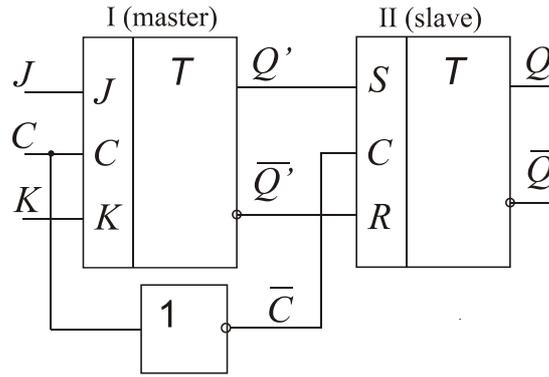
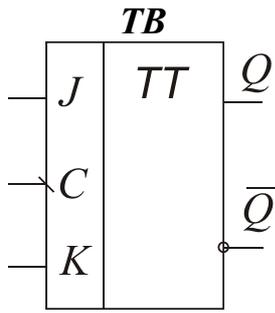
Таблица состояний синхронного JK – триггера

C	J	K	Q	\bar{Q}	Прим.
0	x	x	Q_{i-1}	\bar{Q}_{i-1}	хранение
	0	0	Q_{i-1}	\bar{Q}_{i-1}	хранение
	0	1	0	1	устан. 0
	1	0	1	0	устан. 1
	1	1	\bar{Q}_{i-1}	Q_{i-1}	инверсия



Импульсы *C* должны быть достаточно короткими, чтобы исключить повторное срабатывание триггера. Поэтому *JK*-триггеры делаются двухступенчатыми или с динамическими входами.

Двухступенчатый JK-триггер



JK-триггер с асинхронным сбросом и установкой

Особенности эксплуатации синхронных триггеров со статическим управлением.

Во время действия тактового импульса C состояния управляющих входов RS , D , или JK не должны меняться. В противном случае может произойти ложное срабатывание.

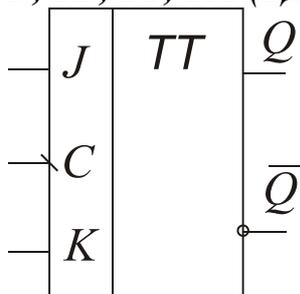
Проскок помехи – при неизменных состояниях на управляющих входах RS , D , JK состояние на выходе триггера изменяется сразу после прихода помехи.

Захват помехи – при неизменных состояниях на управляющих входах RS , D , JK состояние на выходе триггера изменяется по тактовому импульсу.

6. Триггеры с динамическим управлением

Все рассмотренные синхронные триггеры могут быть с динамическим управлением, т.е. работать как по переднему, так и по заднему фронту.

ТР, ТВ, ТТ, ТМ (ТД)



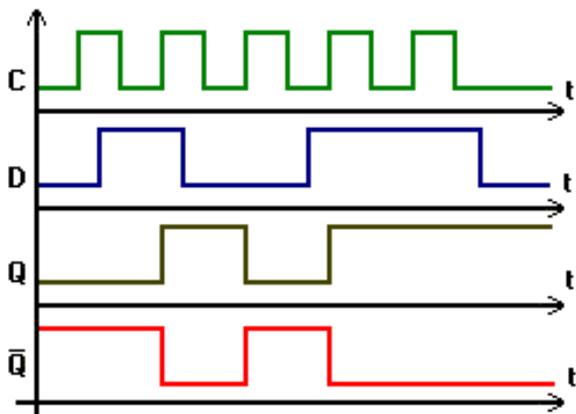
В триггерах с динамическим управлением информация записывается только по перепаду (фронту) напряжения на входе синхронизации.

Динамические входы изображают на схемах знаками \wedge или $\blacktriangleleft \blacktriangleright$ (треугольником).

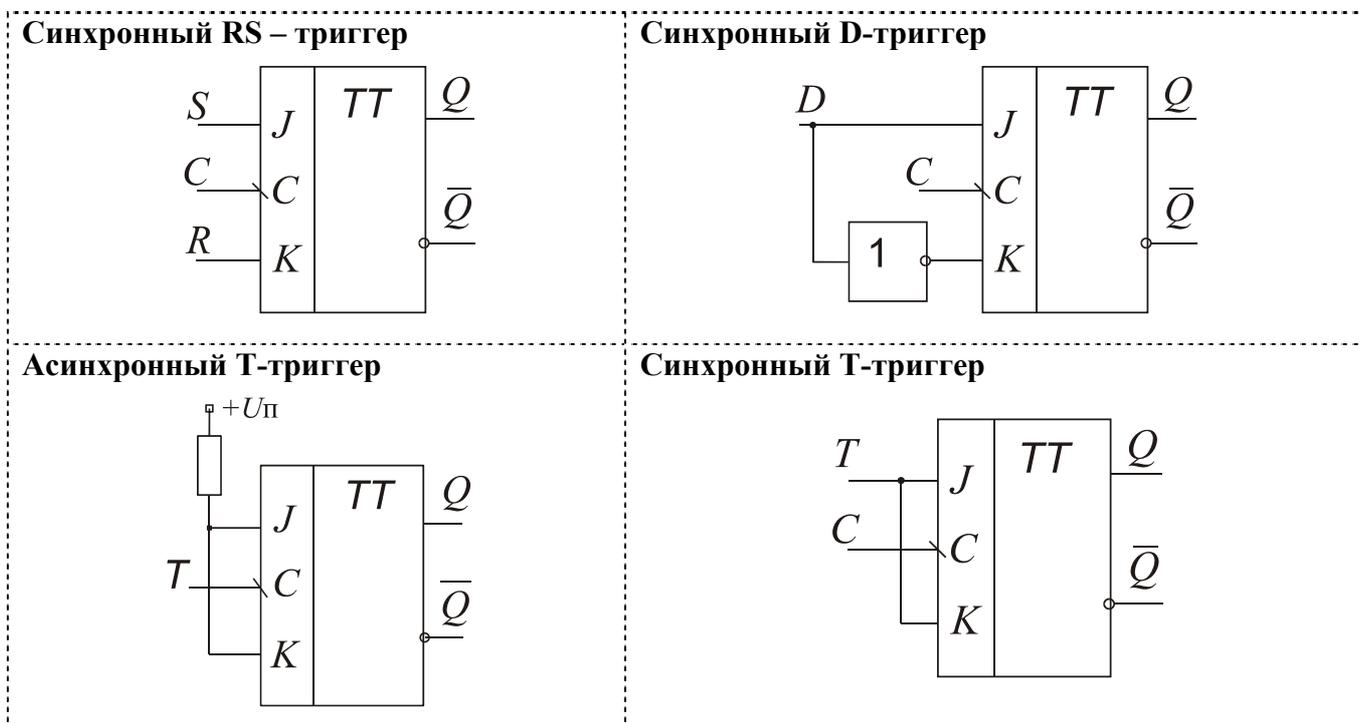
\wedge - синхронизация передним фронтом

$\blacktriangleleft \blacktriangleright$ - синхронизация задним фронтом

Пример. Диаграммы работы D -триггера с записью по переднему фронту синхроимпульса.



Реализация RS -, D -, T - триггеров с помощью JK -триггера



Лекция 10

2) Счетчики

Счетчиком называется последовательностное устройство, предназначенное для счета входных импульсов и фиксации их числа в двоичном коде.

Основные параметры и классификация счетчиков

Основным статическим параметром счетчика является *модуль счета M* , который характеризует максимальное число импульсов, после прихода которого счетчик устанавливается в исходное состояние.

Основным динамическим параметром, определяющим быстродействие счетчика, является *время установления* выходного кода t_k , характеризующее временной интервал между моментом подачи входного сигнала и моментом установления нового кода на выходе.

По значению модуля счета счетчики подразделяют на:

двоичные, модуль счета которых равен целой степени числа 2 ($M = 2^n$);

двоично-кодированные, в которых модуль счета может принимать любое, не равное целой степени числа 2, значение, в том числе *двоично-десятичные*.

Модуль счета также называют *коэффициентом счета* или *коэффициентом деления* и обозначают как $K_{сч}$. Выбор того или иного термина или обозначения зависит от принятого в конкретной литературе. Для двоичных счетчиков будем условно использовать понятие модуля счета, а для *двоично-кодированных* понятие коэффициента счета.

По направлению счета счетчики подразделяют на:

суммирующие, выполняющие операцию инкремента над хранящимся кодовым словом;

вычитающие, выполняющие операцию декремента над хранящимся кодовым словом;

реверсивные, выполняющие в зависимости от значения управляющего сигнала над хранящимся кодовым словом либо операцию декремента, либо инкремента.

По способу организации межразрядных связей счетчики делятся на:

счетчики с последовательным переносом (асинхронные счетчики), в которых переключение триггеров разрядных схем осуществляется последовательно один за другим;

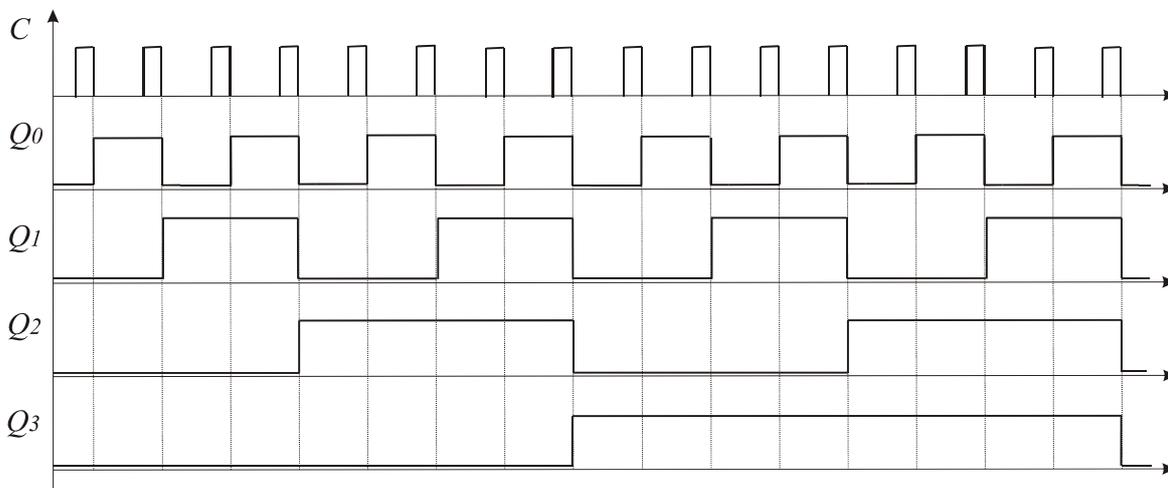
счетчики с параллельным переносом (синхронные счетчики), в которых переключение всех триггеров разрядных схем осуществляется одновременно по сигналу синхронизации;

счетчики с комбинированным последовательно-параллельным переносом, при котором используются различные комбинации способов переноса.

Счетчики **строятся** на основе N однотипных связанных между собой разрядных схем, каждая из которых, в общем случае **состоит** из *триггера* и некоторой *комбинационной схемы*, предназначенной для формирования сигналов управления триггером.

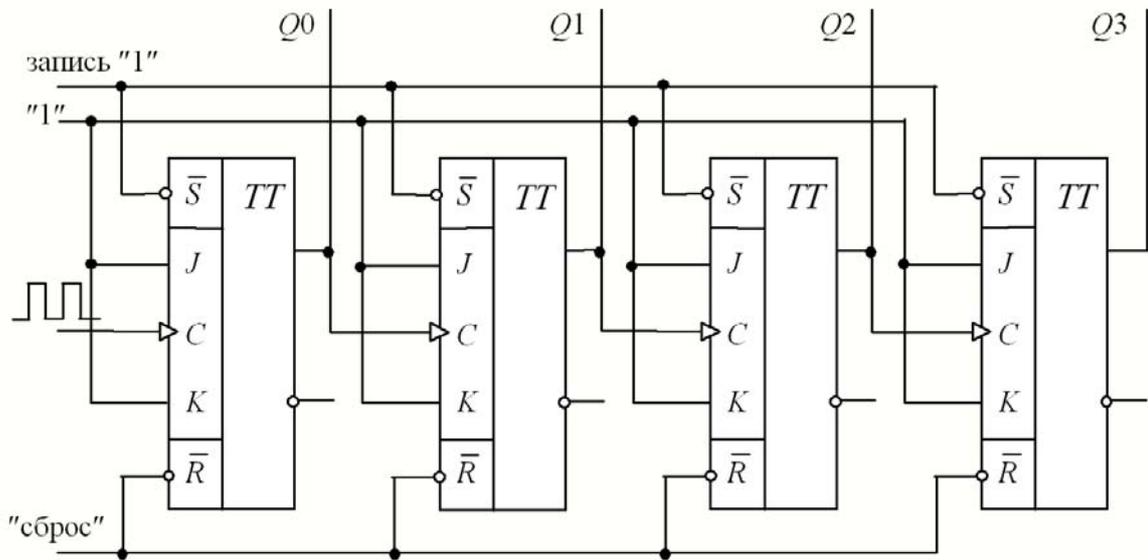
1. Асинхронные двоичные счетчики

Рассмотрим асинхронный 4-х разрядный счетчик. Пусть счетчик изменяет свое значение по заднему фронту счетного импульса C . Диаграммы импульсов, которые должны формироваться на выходах 4-х разрядного двоичного счетчика, представлены на следующем рисунке.

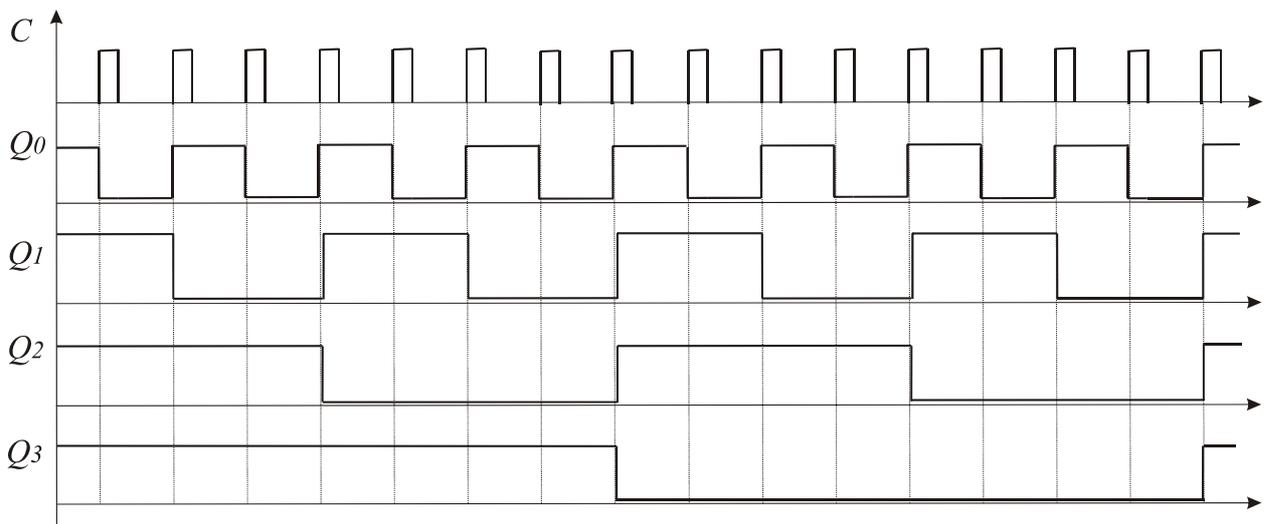


Q_0 , соответствующее младшему разряду двоичного числа, изменяет свое значение с приходом каждого импульса синхронизации; Q_1 – с приходом каждого второго импульса синхронизации, Q_2 – с приходом каждого четвертого импульса, а Q_3 – с приходом каждого восьмого импульса. Данный алгоритм можно легко реализовать, используя асинхронные T -триггеры, причем синхронизацию каждого последующего триггера осуществляют выходным сигналом от предыдущего, а переключение первого триггера, формирующего значение Q_0 – непосредственно последовательностью входных счетных импульсов. Для получения счетчика с модулем счета $M=16$ необходимо 4 триггера.

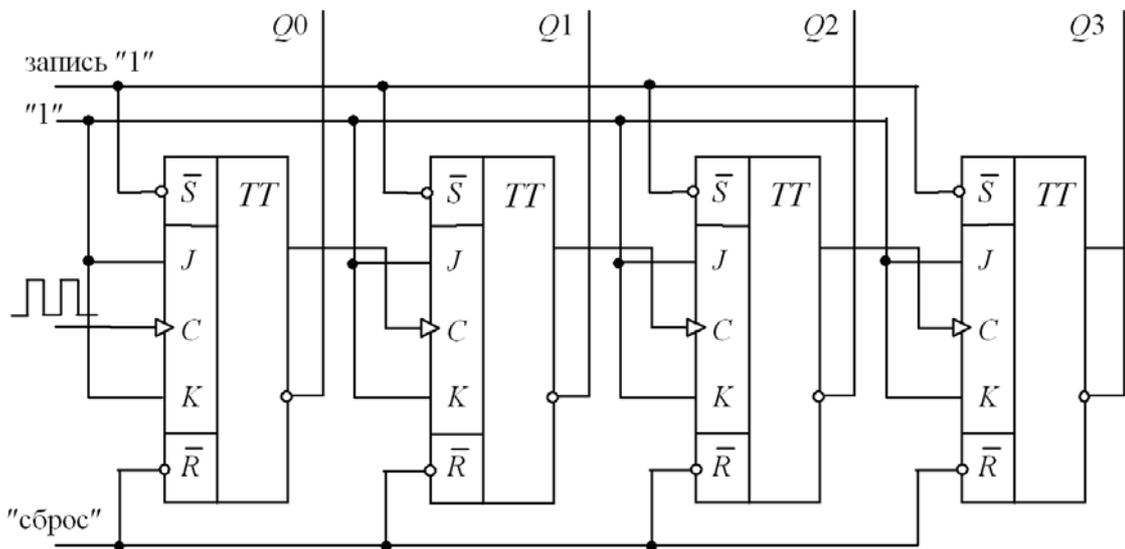
Переключение каждого последующего триггера должно происходить в момент изменения выходного сигнала предыдущего триггера из 1 в 0, то есть по заднему фронту импульса. Следовательно, для получения суммирующего счетчика, последовательно включенные T -триггеры должны быть снабжены инверсными динамическими входами. Говорят, что счетчик считает в *прямом коде*.



Если исходные асинхронные T -триггеры снабжены прямыми динамическими входами, то счетчик превращается в вычитающий и выполняет операцию декремента. Говорят, что счетчик считает в обратном коде. Временные диаграммы, поясняющие данный режим работы приведены на следующем рисунке.



Режим вычитающего счетчика может быть также получен с использованием триггеров с переключением по заднему фронту (с инверсными динамическими входами), но сигнал при этом должен сниматься с инверсных выходов.

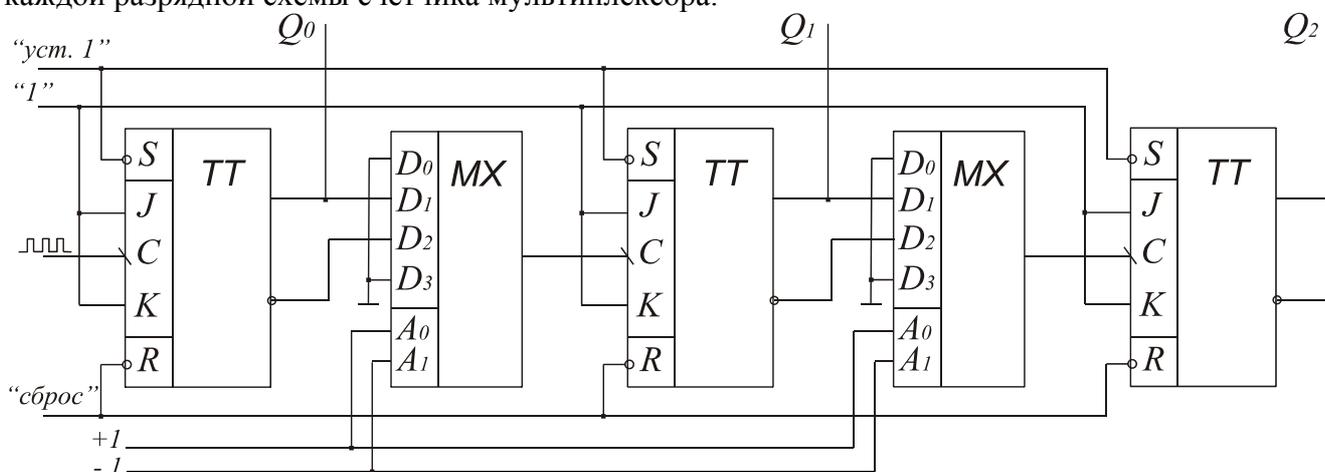


Диаграммы работы аналогичные предыдущим, только переключение первого триггера Q_0 будет происходить по заднему фронту синхросигнала.

Таким образом, в счетчиках на асинхронных Т-триггерах (или JK-триггерах, работающих в режиме Т-триггера) направление счета зависит как от того, какой из выходов используется для синхронизации последующего триггера, так и от типа входа синхронизации. В таблице приведены все возможные комбинации соединения триггеров с различными типами входов синхронизации и получаемые при этом виды счетчиков.

Тип входа Т	Используемый выход	
	Q	\bar{Q}
Прямой динамический	Декремент	Инкремент
Инверсный динамический	Инкремент	Декремент

Из сказанного так же следует, что направление счета счетчика может изменяться путем изменения вида межразрядных связей. Последнее легко достигается включением в состав каждой разрядной схемы счетчика мультиплексора.



+1	0	1	0	1
-1	0	0	1	1
режим	-	инкремент	декремент	-

Асинхронные двоичные счетчики называют счетчиками с последовательным переносом, так как переключение каждого последующего триггера может произойти только после переключения предыдущего. Данный тип счетчика отличается простотой внутренней структуры. Однако следствием такой организации является большое время установления выходного кода, которое зависит от конкретного значения его выходного кода. Максимальное значение t_k наблюдается в случае, когда выходной код изменяется со значения 111 ... в 000 ... или наоборот.

$$t_{k \max} = N * t_{k \text{ тр}}$$

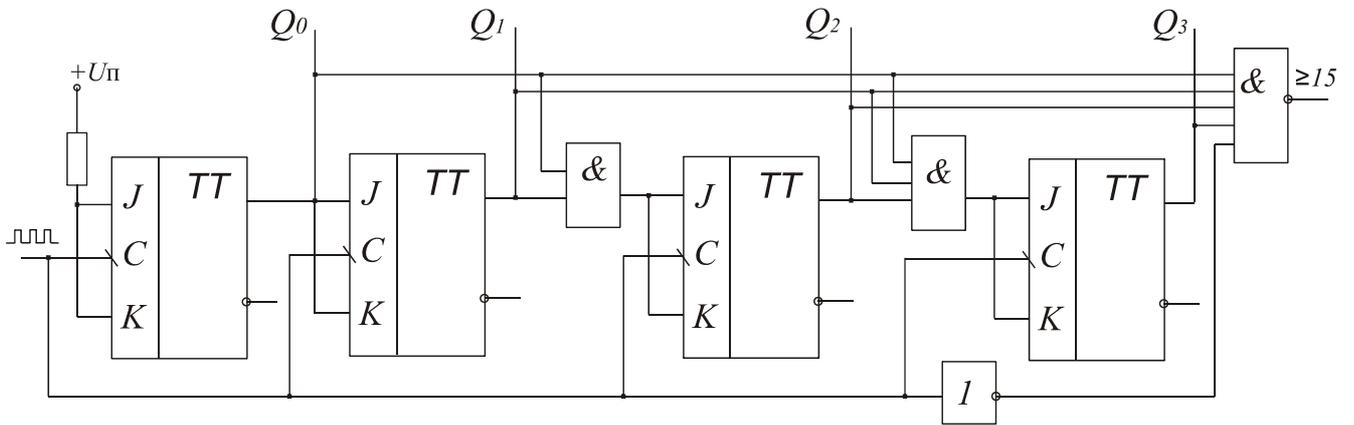
где N — число разрядов счетчика; $t_{k \text{ тр}}$ — время переключения одного триггера.

Уменьшить время установления выходного кода счетчика можно при условии, что все триггеры его разрядных схем будут переключаться одновременно.

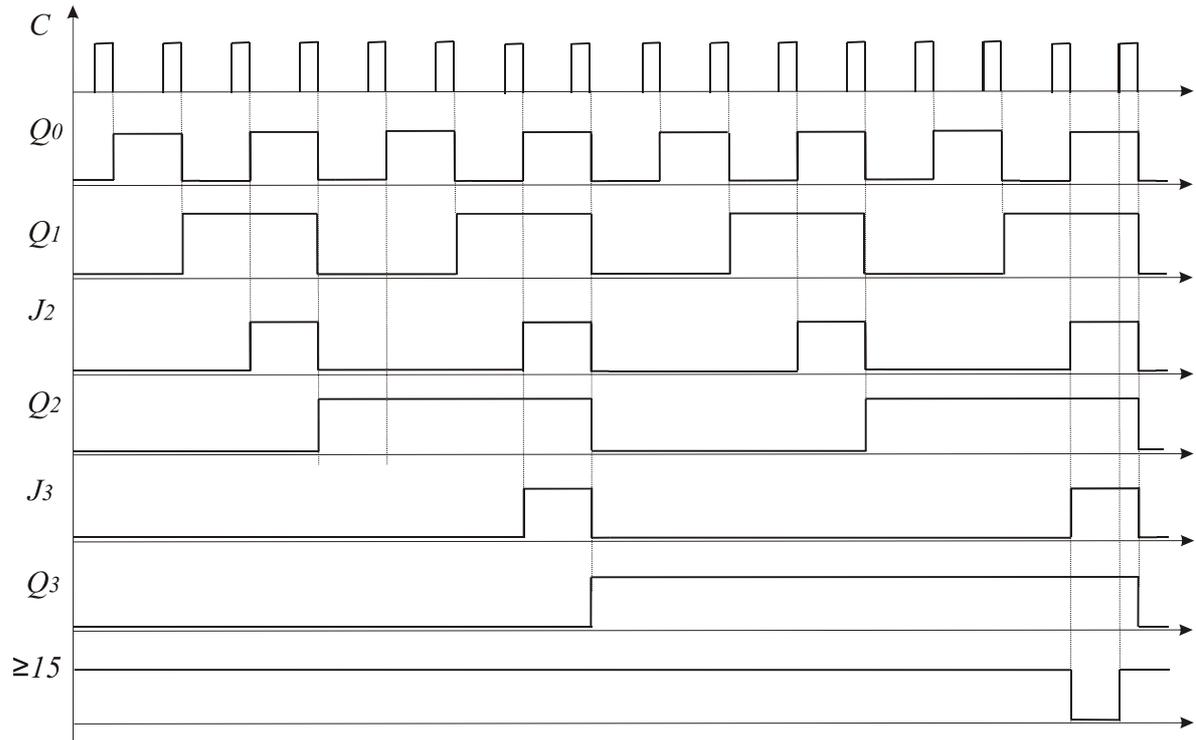
Лекция 11.

2. Синхронные двоичные счетчики

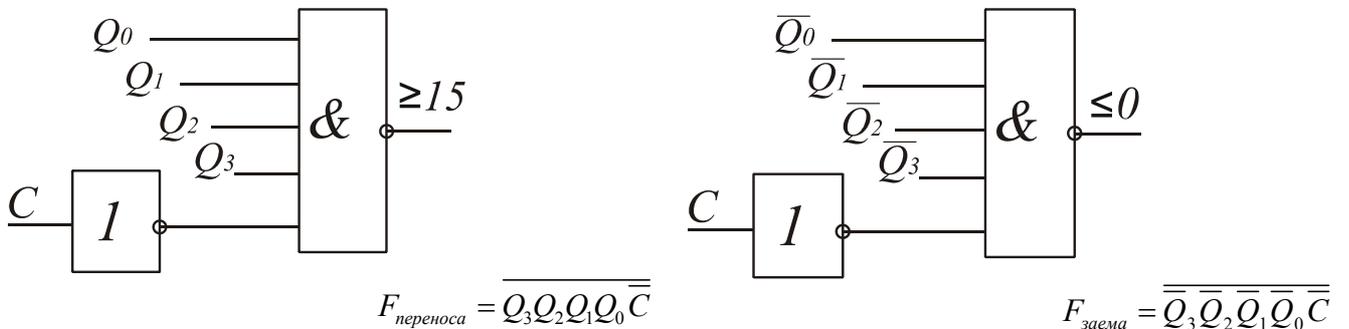
Для одновременного переключения триггеров всех разрядных схем в счетчике необходимо сформировать сигнал переноса. Схемотехническая реализация такого алгоритма переключения приведена на следующем рисунке.



Диаграммы работы счетчика:



Счетчики, реализующие описанный алгоритм работы, называются счетчиками с параллельным переносом. Выход ≥ 15 называют выходом *переполнения* счетчика или выходом *переноса* при работе счетчика на сложение (в прямом счете). При работе на вычитание (в обратном счете) формируется сигнал *заема*. Выход заема обозначается ≤ 0 .

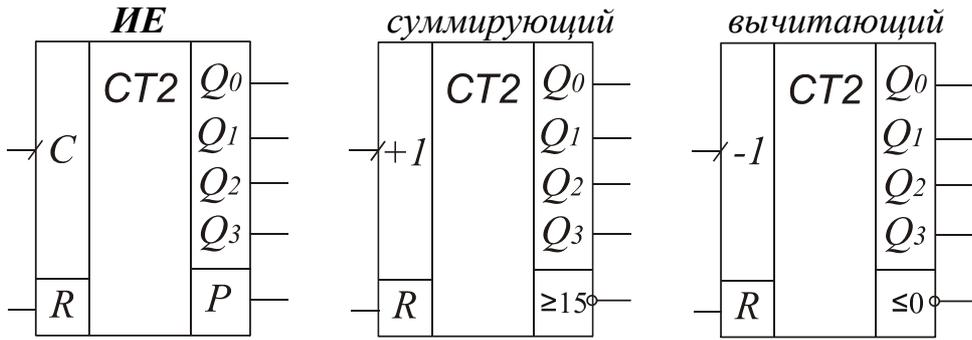


Очевидно, что в схеме синхронного счетчика время $t_{k \max}$ установления выходного кода будет равно времени переключения одного триггера

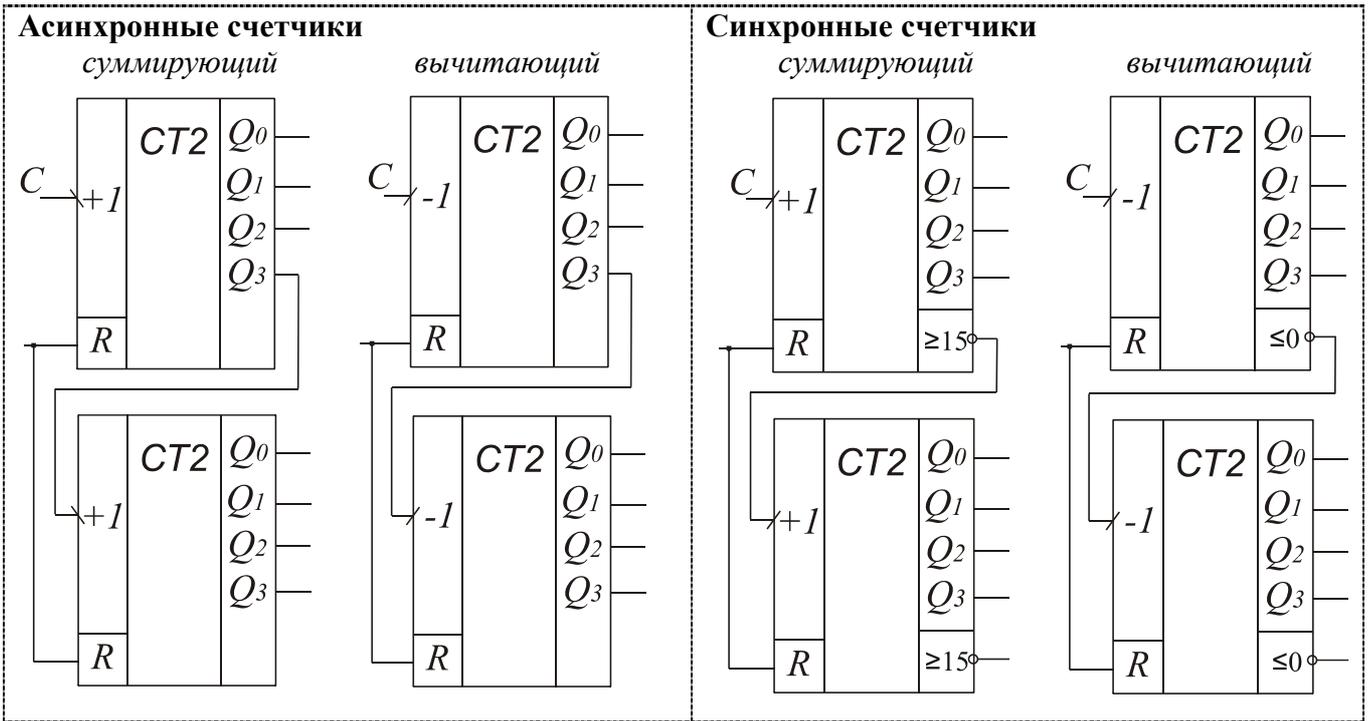
$$t_{k \max} = t_{k \text{ тр.}}$$

Обычно счетчики имеют вход асинхронного сброса для установления в нулевое состояние.

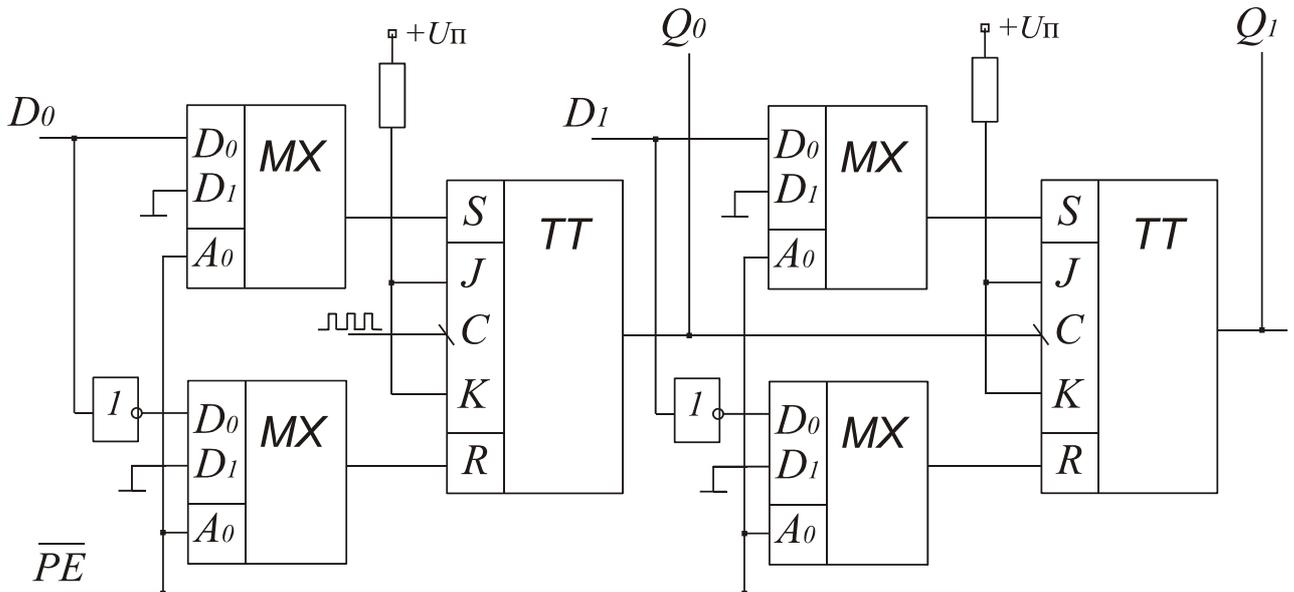
Условное графическое обозначение двоичных счетчиков



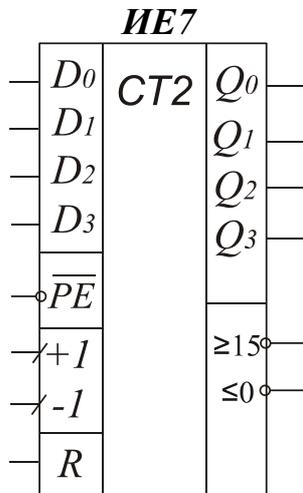
Увеличение разрядности счетчиков



Счетчики с предварительной установкой



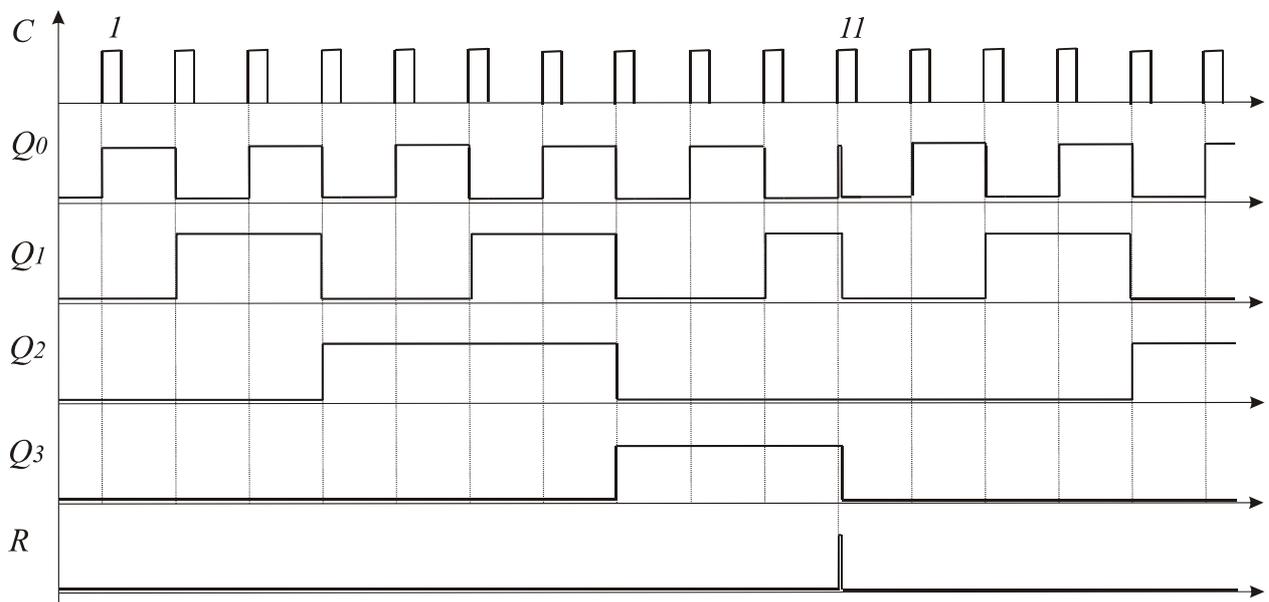
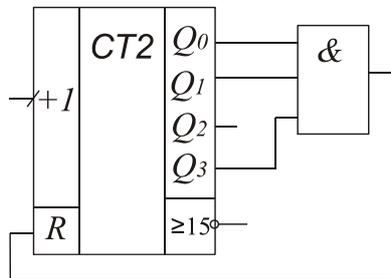
Некоторые счетчики (например, К1533ИЕ7) имеют входы предустановки, с помощью которых можно установить на выходе двоичный код, с которого при приходе следующего счетного импульса C счетчик начнет считать. Схема формирования входа предустановки для двух разрядов показана на рисунке. Схема должна быть размножена на все разрядные триггеры. Вход PE (*preset enable*) имеет приоритет над входами J , K и C (см. схему выше).



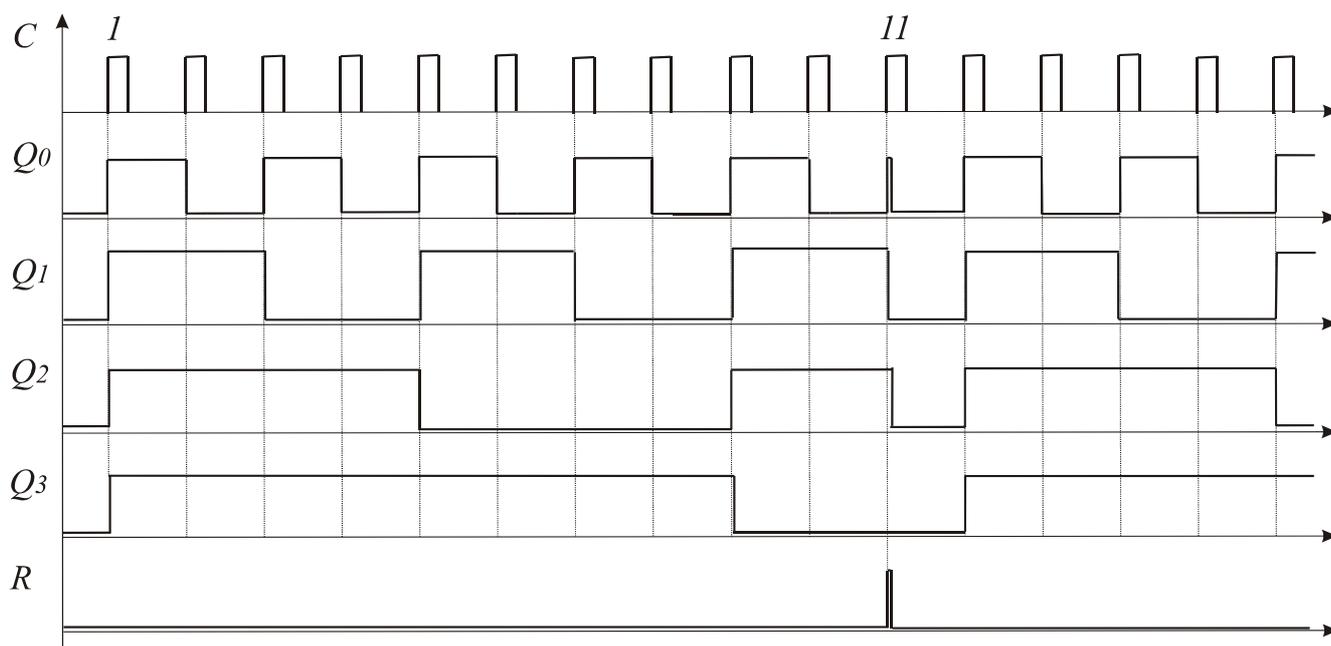
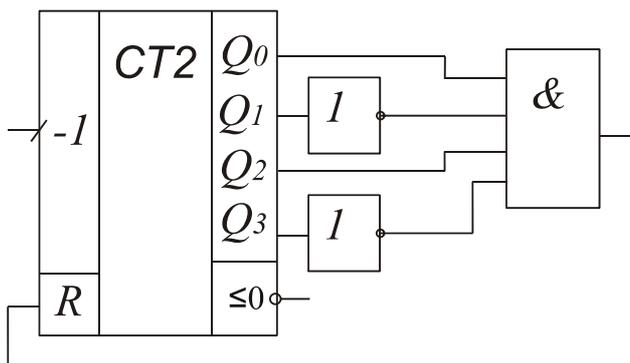
Реализация произвольного коэффициента счета (модуля счета) с помощью двоичного счетчика

1. Метод опознавания и сброса (метод управляемого сброса) заключается в следующем. Сигнал сброса формируется путем логического умножения комбинации выходных сигналов $Q_0Q_1Q_2Q_3$ в зависимости от требуемого коэффициента счета $K_{сч}$.

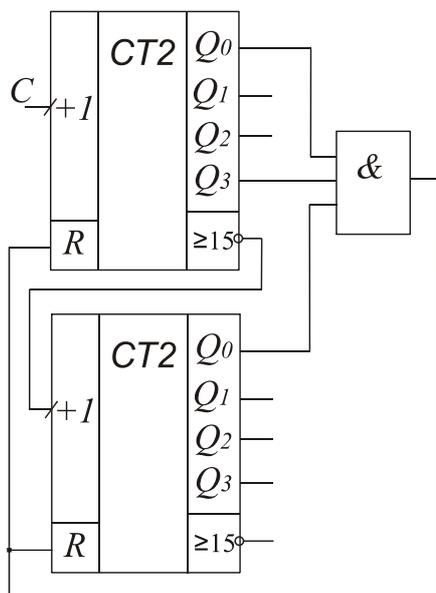
Пример 1. Реализовать коэффициент счета $K_{сч} = 11$ (1011_2) с использованием суммирующего счетчика:



Пример 2. Реализовать $K_{сч} = 11$ (1011_2) с использованием вычитающего счетчика. Так как счетчик начинает считать с 16, то сброс счетчика должен происходить при значении выходного кода $16-11=5$ (0101_2).

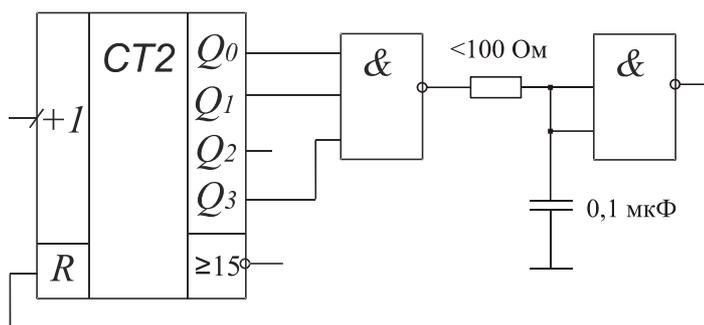


Пример 3. Увеличить разрядность суммирующего счетчика и реализовать $K_{сч} = 25$ (00011001_2).



Д/з: При каком выходном коде *вычитающего* счетчика должен формироваться сигнал сброса R , чтобы коэффициент счета равнялся 27.

Так как длительность сигнала сброса мала (порядка времени распространения сигнала в элементе умножения), чтобы с помощью осциллографа зарегистрировать сигнал сброса, следует применять следующую схему (для примера 1).

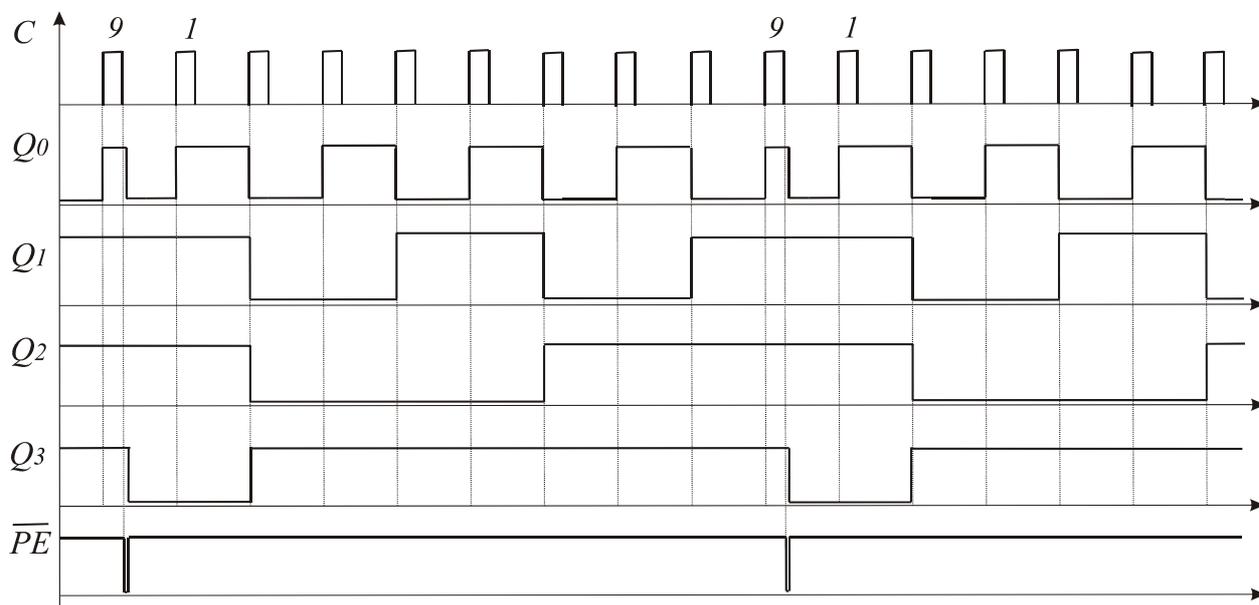
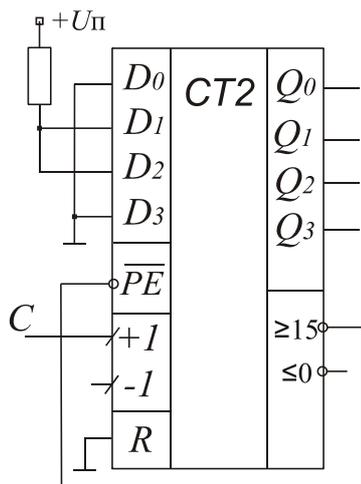


2. Метод предварительной установки

Заключается в том, что сигнал с выхода переполнения (или с выхода заема) подается на вход разрешения предустановки PE , а на входах предустановки D_0-D_3 устанавливается исходный двоичный код, с которого счетчик начнет считать по приходу следующего синхриимпульса.

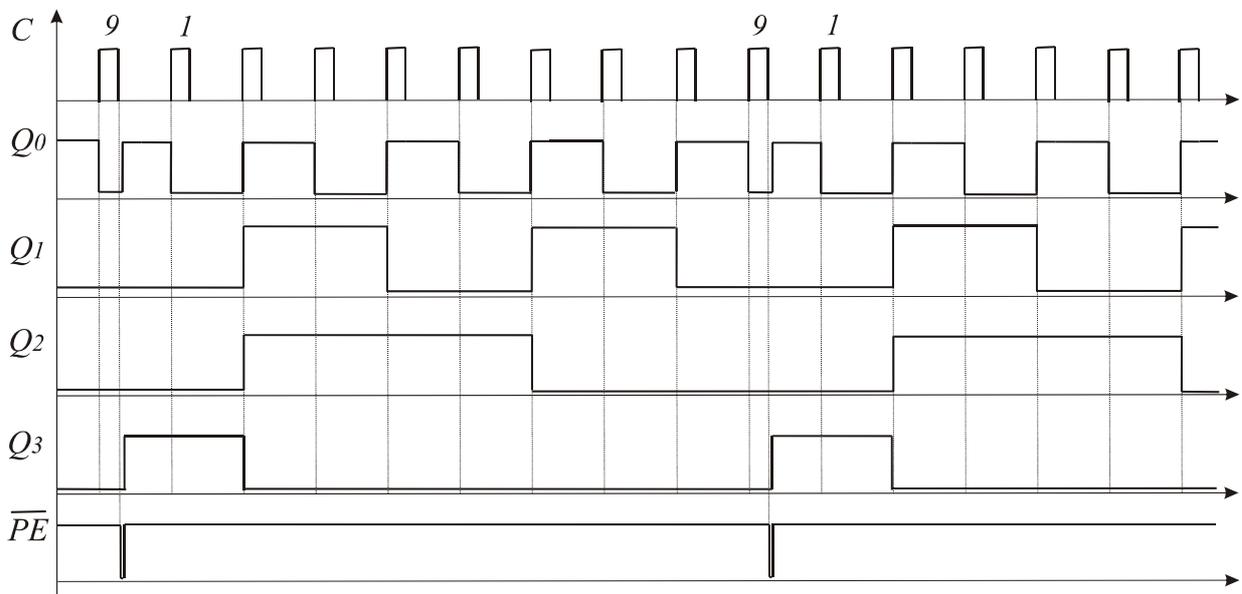
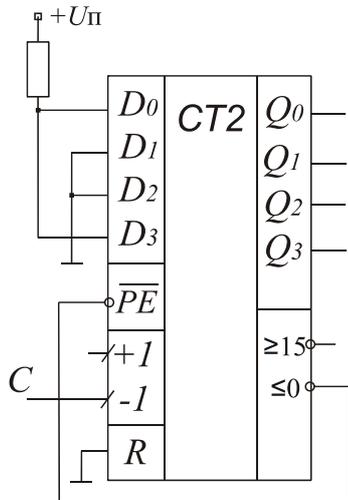
Пример 1. Методом предварительной установки реализовать $K_{сч} = 9$ (1001_2), если счетчик работает на увеличение.

Так как когда $Q_3Q_2Q_1Q_0 = 1111 = 15_{10}$ произойдет предустановка и счетчик начнет считать на увеличение с некоторого числа D_{10} , то $D_{10} = 15 - 9 = 6$. В двоичном коде: $D_3D_2D_1D_0 = 0110_2$.



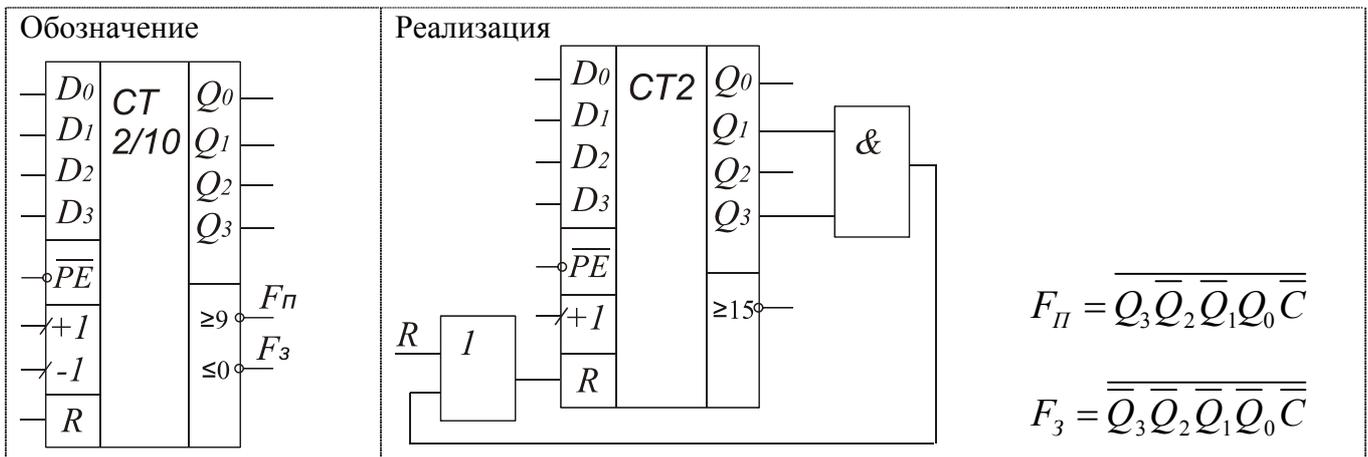
Пример 2. Методом предварительной установки реализовать $K_{сч} = 9$ (1001_2), если счетчик работает на уменьшение.

Когда $Q_3Q_2Q_1Q_0 = 0000$ произойдет предустановка и счетчик начнет считать на уменьшение с некоторого числа D_{10} . Когда выходной код достигнет числа 0000, то снова произойдет предустановка. Следовательно, $D_{10} = K_{сч} = 9$. В двоичном коде: $D_3D_2D_1D_0 = 1001_2$.

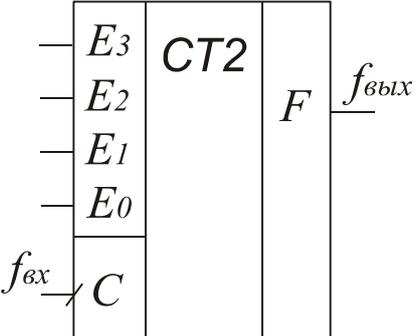


Двоично-десятичный счетчик

Реализуется на основе двоичного счетчика методом управляемого сброса с коэффициентом счета $K_{сч} = 10$.



Счетчики с установкой коэффициента счета

<p>Обозначение</p> 	<p>Коэффициент счета такого счетчика:</p> $K_{сч} = E_0 \cdot 2^0 + E_1 \cdot 2^1 + E_2 \cdot 2^2 + E_3 \cdot 2^3$ $f_{вых} = \frac{f_{вх}}{E_0 \cdot 2^0 + E_1 \cdot 2^1 + E_2 \cdot 2^2 + E_3 \cdot 2^3}$
--	---

Лекция 12.

3) Регистры.

Регистром называется последовательностное устройство, предназначенное для записи, хранения и (или) сдвига информации, представленной в виде многоразрядного двоичного кода.

Регистр может выполнять следующие микрооперации над кодовыми словами:

- установка в исходное состояние (запись нулевого кода);
- запись входной информации в последовательной форме;
- запись входной информации в параллельной форме;
- хранение информации;
- сдвиг хранимой информации вправо или влево;
- выдача хранимой информации в последовательной форме;
- выдача хранимой информации в параллельной форме.

Любой N -разрядный регистр состоит из N однотипных ячеек – разрядных схем, выходной сигнал каждой из которых ассоциируется с ответствующим разрядом двоичного кода. При этом каждая разрядная схема, как любое последовательностное устройство, состоит из триггерной ячейки (элемента памяти) и некоторой комбинационной схемы, преобразующей входные воздействия и состояния триггерной ячейки в выходные сигналы регистра.

По способу приема информации регистры подразделяют на:

параллельные (статические), в которые информация записывается и считывается только в параллельной форме;

последовательные (сдвигающие), в которые информация записывается и считывается только в последовательной форме;

последовательно-параллельные, в которые информация записывается или считывается как в параллельной, так и в последовательной формах.

По числу каналов передачи информации регистры подразделяют на:

парафазные, в которых информация записывается и считывается в прямом (Q) и обратном (\bar{Q}) кодах;

однофазные, в которых информация записывается и считывается либо в прямом (Q), либо в обратном (\bar{Q}) коде.

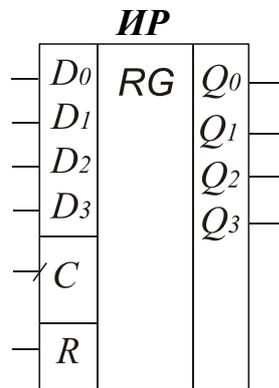
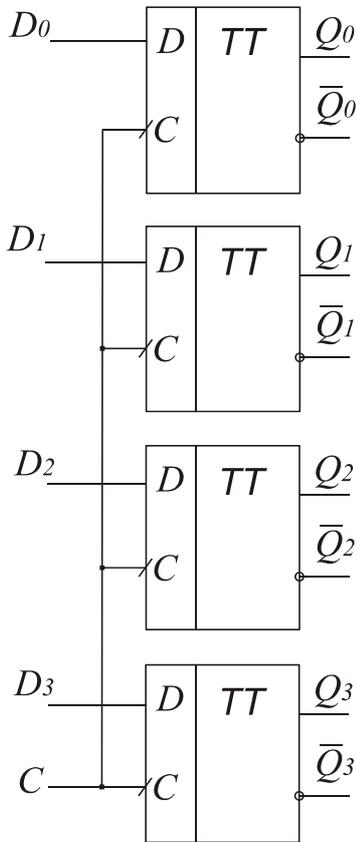
По способу тактирования регистры подразделяют на:

однотактные, управляемые одной управляющей последовательностью импульсов;

многотактные, управляемые несколькими управляющими последовательностями импульсов.

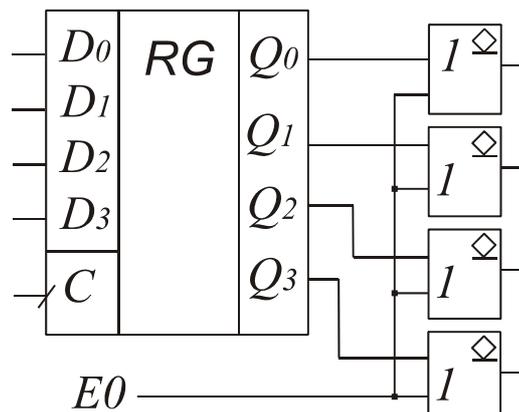
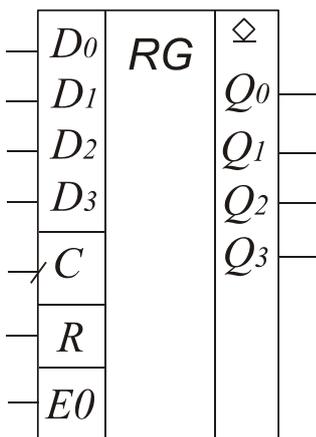
1. Параллельный регистр (регистр памяти).

Параллельный регистр предназначен для выполнения следующих операций: запись нулевого кода, запись входной информации в параллельной форме, хранение информации, выдача хранимой информации в параллельной форме, т. е. обрабатывает информацию только в параллельной форме. Поэтому образующие его разрядные схемы не связаны между собой.



Триггеры регистра могут записывать по уровню, переднему и заднему фронту. Часто регистры снабжаются входами асинхронного сброса.

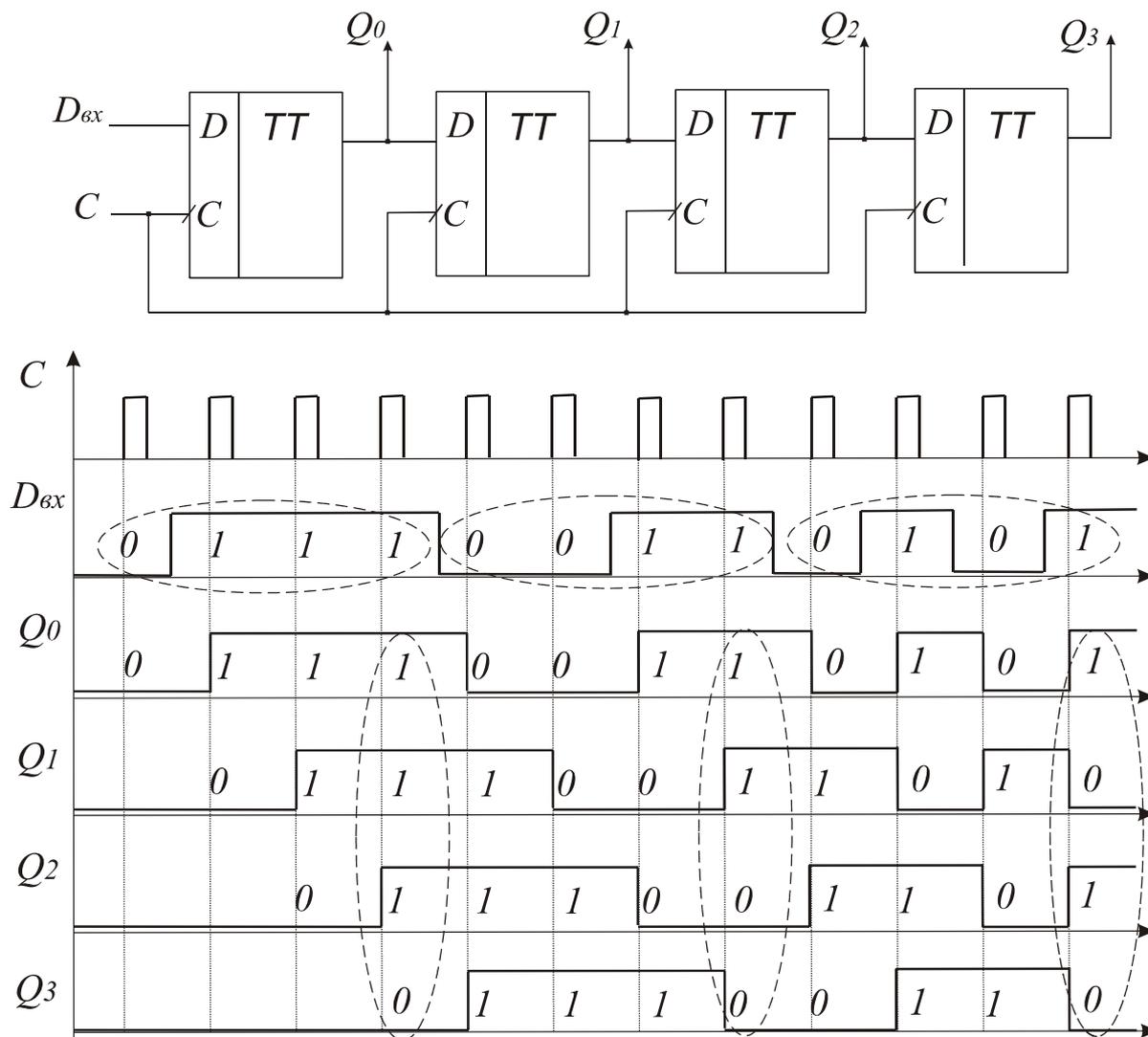
Регистры с тремя состояниями



2. Регистры сдвига

Регистры сдвига предназначены как для хранения информации, так и для преобразования параллельного двоичного кода в последовательный код или последовательного двоичного кода в параллельный.

Преобразование последовательного двоичного кода в параллельный двоичный код



При приходе тактового синхроимпульса C на выходе 1-го триггера появляется информация, присутствующая в этот момент на его входе. На выходе 2-го появляется информация, присутствующая на выходе 1-го триггера до прихода синхроимпульса. На выходе 3-го триггера появляется информация, которая была на выходе 2-го $ТТ$ до прихода C . На выходе 4-го $ТТ$ появляется информация, которая была на выходе 3-го $ТТ$ до прихода C .

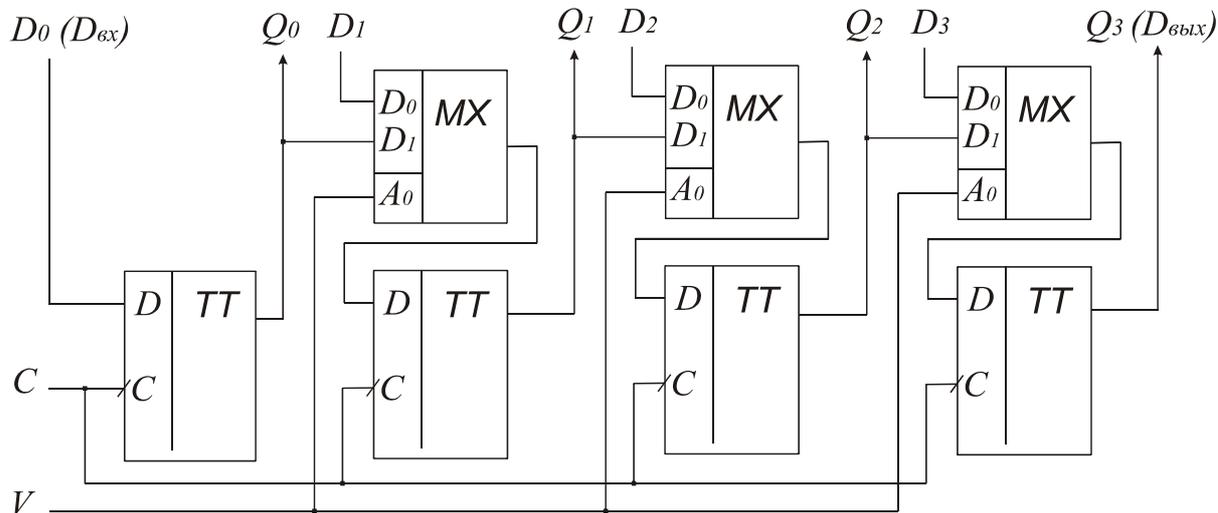
Например, последовательный двоичный код $D_{вх} = 0111$ преобразуется в параллельный двоичный код $Q_3Q_2Q_1Q_0 = 0111$ после прихода четырех синхроимпульсов.

Преобразование параллельного двоичного кода в последовательный двоичный код

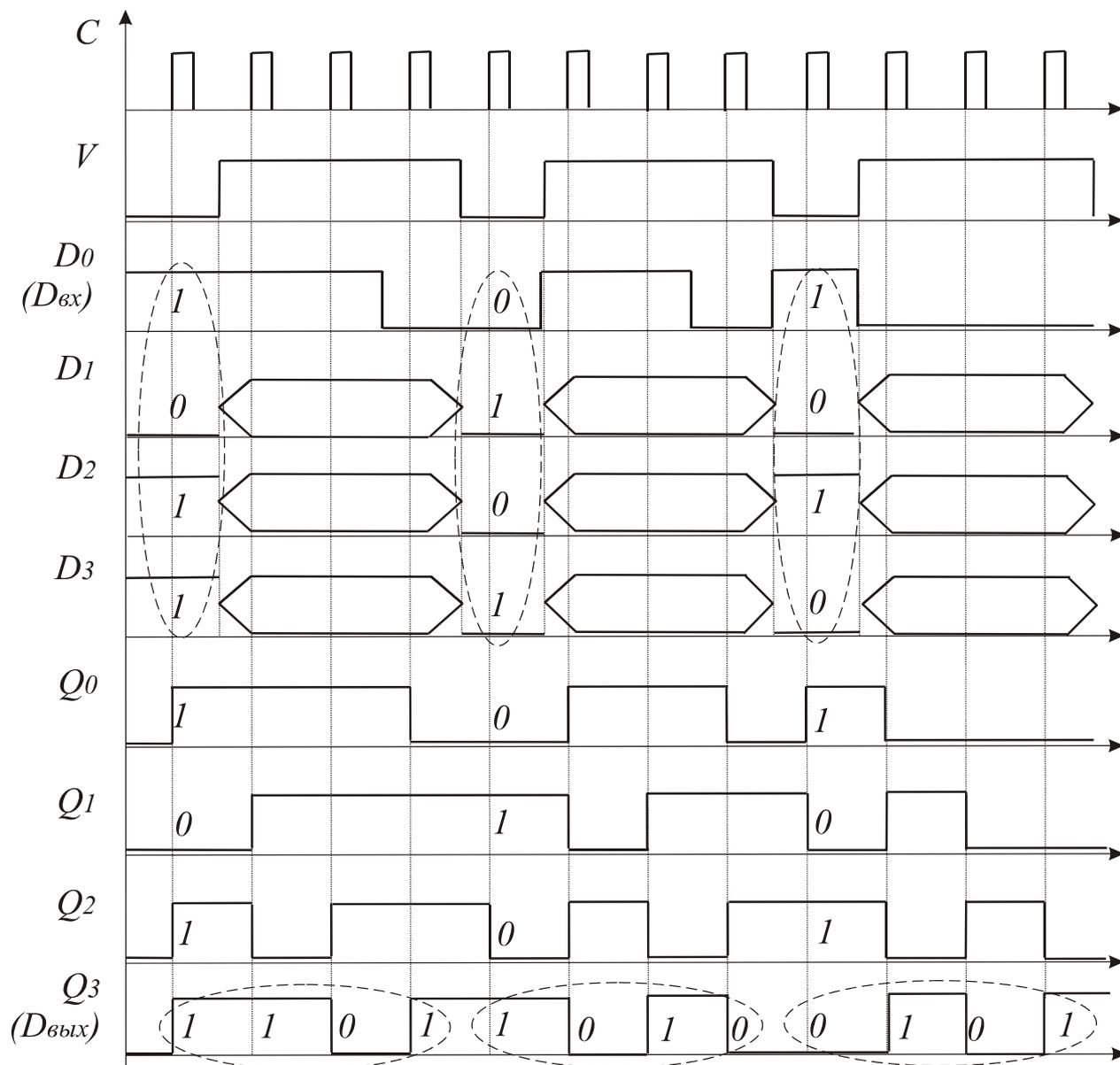
Сигнал V (см. схему ниже) осуществляет выбор режима работы регистра. Если $V = 0$, то по приходу синхроимпульса C триггеры на выходах триггеров Q_3 , Q_2 , Q_1 и Q_0 появляется значение сигналов на входах D_3 , D_2 , D_1 и D_0 . Таким образом, схема работает как регистр памяти.

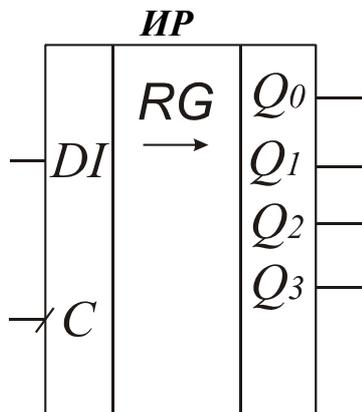
Если $V = 1$, то схема осуществляет последовательный сдвиг данных с входа первого триггера $D_{вх}$. Выходные данные не зависят от D_3 , D_2 и D_1 . Таким образом, схема осуществляет преобразование последовательного кода в параллельный код, как это было рассмотрено выше.

Для того чтобы схема осуществляла преобразование *параллельного двоичного кода в последовательный двоичный код*, сначала нужно записать входные параллельные данные $D_3D_2D_1D_0$ в соответствующие триггеры, а затем осуществлять их последовательный сдвиг. Тогда на выходе $D_{вых}$ по каждому синхроимпульсу будут последовательно появляться информация с Q_3 , Q_2 , Q_1 и Q_0 , т.е. D_3 , D_2 , D_1 и D_0 . Первым появится сигнал D_3 , а последним D_0 .

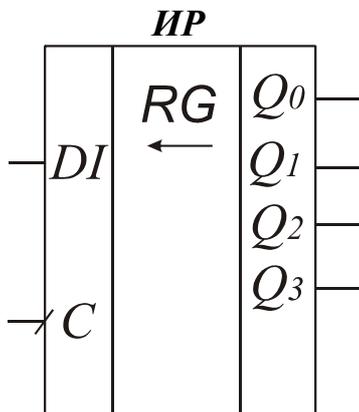


Диаграммы работы схемы

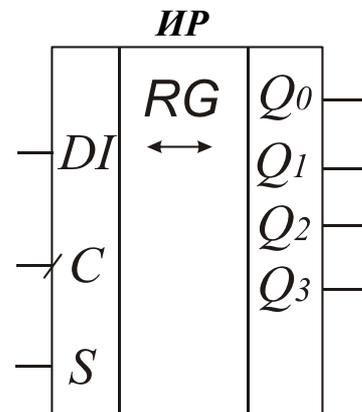




сдвиг вправо – преобразование входных данных в последовательном двоичном коде в параллельный код



сдвиг влево – преобразование входных данных в параллельном двоичном коде в выходные в последовательном коде



сдвигает как вправо, так и влево в зависимости от сигнала на входе выбора операции S

С помощью регистров можно выполнять операции умножения на два и деления на два. Умножения хранящегося числа на 2 осуществляется путем сдвига влево и записи «0» в младший разряд. Целочисленное деление хранящегося числа на 2 осуществляется путем сдвига вправо и записи «0» в старший разряд.

Пример.

00011 = 3_{10} – сдвигаем влево

00110 = 6_{10} – сдвигаем влево

01100 = 12_{10} – таким образом, умножили сначала на 2, потом еще раз на 2.

01011 = 11_{10} – сдвигаем вправо

00101 = 5_{10} – сдвигаем вправо

00010 = 2_{10} – сдвигаем еще раз вправо

00001 = 1_{10} – таким образом, число 11 разделили на 2, получилось 5, затем 5 поделили на 2, получилось 2, и 2 поделили на 2, получилось 1.