

Лекция 1.

Введение. Содержание курса.

1. Базовые логические элементы
 - а) основы булевой алгебры
 - б) базовые логические элементы
2. Комбинационные логические устройства
 - а) мультиплексоры
 - б) демультимплексоры и дешифраторы
 - в) шифраторы
 - г) арифметические устройства
3. Логические устройства последовательного типа
 - а) триггеры
 - б) счетчики
 - в) регистры
4. АЦП и ЦАП
5. Запоминающие устройства

№ п/п	Наименование деятельности	Рейтинг
1	Обязательные виды работ:	60
1.1	выполнение ИДЗ (2 x 12 баллов)	24
1.2	выполнение лаб. работ (6 x 6)	36
2	Дополнительные виды работ:	40
2.1	контрольные работы (4 x 8 баллов)	32
2.2	доп. лаб. работа (1 x 8)	8
	Допуск к экзамену	40

Литература:

1. Якубовский С.В. Цифровые и аналоговые интегральные микросхемы. М.: Радио и связь. 1990.
2. Токхейм Р. Основы цифровой электроники. Пер. с англ. - М.: Мир, 1988. – 390 с.
3. Шило В.Л. Популярные цифровые микросхемы. – М.: Радио и связь, 1990. –350 с.
4. Бирюков С.А. Цифровые устройства на МОП-интегральных микросхемах - М.: Радио и связь. 1992 (1996).
5. Опадчий Ю.Ф., Глудкин О.П., Гуров А.И. Аналоговая и цифровая электроника. Полный курс: учебник для вузов / Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров. - М.: Горячая линия, 1999 (2000, 2005). - 768 с. : ил.
6. Алексенко А.В., Шагуров И.И. Микросхемотехника. – М.: Радио и связь, 1990 (1982).
7. Потемкин И.С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988.
8. Зельдин Е.А. Цифровые интегральные схемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат, 1986.
9. Полупроводниковые БИС ЗУ./ Под ред. А.Ю. Гордонова, Ю.Н. Дьякова, - М.: Радио и связь. 1987
10. Большие интегральные схемы ЗУ./ Под ред. А.Ю. Гордонова, Ю.Н. Дьякова. Справочное пособие. – М: Радио и связь, 1990. – 286 с.
11. Применение интегральных микросхем памяти: Справочник / Под ред. А. Ю. Гордонова и А. А. Дерюгина. - М.: Радио и связь, 1994.
12. Федорков Б.Г., Телец В.А. Микросхемы ЦАП и АЦП: Функционирование, параметры, применение. – М.: Энергоатомиздат, 1990. – 320 с.
13. Гилмор Ч. Введение в микропроцессорную технику. Пер. с англ. – М.: Мир, 1984. – 332 с.
14. Пухальский С.А. Проектирование дискретных устройств на интегральных микросхемах. 1990.
15. <http://www.qrz.ru/reference/kozak/cd4000/cdh00.shtml>
16. <http://www.cqham.ru/kozak/ac/ach00.htm>

17. <http://www.vicgain.ru/spmikro/sdspmikr.htm>
18. <http://www.inp.nsk.su/~kozak/ttl/ttlh01.htm>
19. <http://ru.wikipedia.org>
20. <http://naf-st.ru>

Системы счисления

Существующие системы счисления подразделяются на *позиционные* и *непозиционные*. В непозиционных системах значение конкретной цифры постоянно и не зависит от ее расположения в записи числа. Примером такой системы счисления является Римская система записи числа. Например, в числе XXXVII значение цифры X не зависит от ее местоположения в записи числа. Оно всегда равно 10.

В позиционных системах счисления значимость конкретной цифры определяется ее местоположением в записи числа. Так, произвольное число X в позиционной системе счисления с основанием q в общем случае можно представить в виде полинома

$$X = X_{n-1}q^{n-1} + X_{n-2}q^{n-2} + \dots + x_0q^0 + X_{-1}q^{-1} + \dots + X_{-m}q^{-m}, \quad (1)$$

где X_i – разрядный коэффициент ($X_i = 0 \dots q-1$); q^i – весовой коэффициент.

Число q называется основанием системы счисления. Следует отметить, что число q может быть как целым, так и дробным. Если в выражении (1) отбросить весовые коэффициенты q^i и соответствующие знаки сложения, то получим сокращенную запись числа, носящую название q -ичного кода числа X_q . Номер позиции цифры X_i называют его разрядом. Разряды с положительными степенями q образуют целую часть числа X_q , с отрицательными степенями – дробную. Цифры x_{n-1} и x_{-m} соответственно являются старшим и младшим разрядами числа. Количество различных чисел, которое может быть записано в позиционной системе счисления с основанием q при заданном числе разрядов, $N = q^{n+m}$.

В цифровой технике нашли применение только позиционные системы счисления.

Для представления числа, записанного в позиционной системе счисления с выбранным основанием q , при помощи электрических сигналов необходимо иметь некоторое электронное устройство, формирующее на выходе q различных электрических сигналов, которые достаточно легко можно отличить друг от друга. При этом необходимое число таких устройств должно равняться числу разрядов целой и дробной частей записываемого числа. Очевидно, что в этом случае, чем больше величина q , тем меньше понадобится указанных электронных устройств. С другой стороны, увеличение q потребует создания сложных электронных блоков, способных формировать на выходе большое число различных электрических сигналов. В этом случае, например при использовании в качестве информационного параметра уровня напряжения при фиксированной его максимальной величине, с увеличением q уменьшается различие между дискретными уровнями выходных сигналов, что в конечном счете усложняет их идентификацию. Последнее повышает вероятность появления ошибок при присутствии внешних помех и усложняет само устройство.

Критерием выбора q в данном случае является минимизация аппаратных затрат при обеспечении достаточной помехоустойчивости. Широкое распространение в цифровой технике получила позиционная система счисления с основанием $q=2$ – двоичная система счисления. По определению в такой системе фигурируют только два цифровых знака 0 и 1.

Соответственно, электронное устройство имеет два состояния:

*в цепи протекает ток / в цепи нет тока,
напряжение положительное / напряжение отрицательное,
цепь замкнута / цепь разомкнута.*

Для математического моделирования таких цифровых (два цифровых знака) систем вводятся **логические переменные**, которые принимают значения $x=0$ и $x=1$. **Логические функции** переводят одни логические переменные в другие логические переменные. Раздел математики, описывающий соотношения между различными логическими переменными и функциями, называется *булевой алгеброй* (или *алгеброй логики*). В честь ирландского математика Джорджа Буля.

Пример 1. Преобразовать двоичное число $X_2=1011_2$ в десятичное.

Решение. Согласно выражению (1) для $q=2$ получим $X_{10} = 1*2^3+0*2^2 + 1*2^1+1*2^0=11$.

Переход от системы счисления с большим основанием к системе счисления с меньшим основанием выполняется с соблюдением следующих правил:

- а) целая часть исходного числа делится на основание системы счисления;
- б) дробная часть исходного числа умножается на *основание* новой системы счисления.

Пример 2. Преобразовать в двоичную систему счисления десятичное число 25.12.

Решение. 1. Преобразуем целую часть: $25:2 = 12+1 (X_0=1)$; $12:2 = 6+0 (X_1=0)$; $6:2 = 3+0 (X_2=0)$;
 $3:2 = 1+1 (X_3=1)$; $1:2 = 0+1 (X_4=1)$

Запись целой части двоичного числа X_2 производится с последнего результата деления, т. е. $25_{10} = 11001_2$.

2. Преобразуем дробную часть: $0,12*2 = 0+0,24 (X_1=0)$; $0,24*2 = 0+0,48 (X_2=0)$; $0,48*2 = 0+0,96 (X_3=0)$;
 $0,96*2 = 1+0,92 (X_4=1)$; $0,92*2 = 1+0,84 (X_5=1)$.

Запись дробной части двоичного числа производится с первого результата умножения, т. е. $0,12_{10} = 0,0001_2$.

3. Окончательно получим: $25,12_{10} = 11001,0001_2$.

Операции булевой алгебры

Таблица истинности функции (или элемента, реализующего эту функцию) – это таблица, содержащая все возможные комбинации входных логических переменных и соответствующие им значения логической функции.

Зависимость выходных переменных y_i , выраженная через совокупность входных переменных $x_{n-1}...x_1x_0$ с помощью операций алгебры логики, носит название *функции алгебры логики* или *булевы функции*.

Булевы функции (БФ) могут быть *одной переменной* $y = f(x_0)$, *двух* $y = f(x_0, x_1)$ и более переменных $y = f(x_1, x_2, x_3...x_n)$, где $y, x_1, x_2, x_3...x_n$ могут принимать только значения 0 и 1.

Логическое отрицание (инверсия) – функция НЕ: $y = \bar{x}$

x	y
0	1
1	0

Логическое сложение (дизъюнкция) – функция ИЛИ: $y = x_0 + x_1$ или $y = x_0 \vee x_1$

x_0	x_1	y
0	0	0
1	0	1
0	1	1
1	1	1

Логическое умножение (конъюнкция) – функция И

Применяется несколько записей логического умножения:

- 1. $y = x_0x_1$
- 2. $y = x_0 \cdot x_1$
- 3. $y = x_0 \wedge x_1$
- 4. $y = x_0 \& x_1$

x_0	x_1	y
0	0	0
1	0	0
0	1	0
1	1	1

Функция неравнозначности: $y = (\bar{x}_0 \wedge x_1) \vee (x_0 \wedge \bar{x}_1)$ или $y = x_0 \oplus x_1$

x_0	x_1	y
0	0	0
1	0	1
0	1	1
1	1	0

Функция равнозначности: $y = (x_0 \wedge x_1) \vee (\overline{x_0} \wedge \overline{x_1})$ или $y = \overline{x_0 \oplus x_1}$

x_0	x_1	y
0	0	1
1	0	0
0	1	0
1	1	1

Функция Пирса

$$y = x_0 \vee x_1$$

Правило повторения

$$x \wedge x = x$$

$$x \vee x = x$$

Теорема Де-Моргана

$$\overline{x_0 \wedge x_1} = \overline{x_0} \vee \overline{x_1}$$

$$\overline{x_0 \vee x_1} = \overline{x_0} \wedge \overline{x_1}$$

Переместительный закон

$$x_0 \cdot x_1 = x_1 \cdot x_0 \quad x_0 + x_1 = x_1 + x_0$$

Сочетательный закон

$$(x_0 \cdot x_1) \cdot x_2 = x_0 \cdot (x_1 \cdot x_2) = x_0 \cdot x_1 \cdot x_2$$

$$(x_0 + x_1) + x_2 = x_0 + (x_1 + x_2) = x_0 + x_1 + x_2$$

Функция Шиффера

$$y = x_0 \wedge x_1$$

Правило отрицания

$$x \wedge \overline{x} = 0$$

$$x \vee \overline{x} = 1$$

Тождества

$$x \wedge 1 = x$$

$$x \wedge 0 = 0$$

$$x \vee 1 = 1$$

$$x \vee 0 = x$$

Распределительный закон

$$(x_0 \cdot x_1) + (x_0 \cdot x_2) = x_0 \cdot (x_1 + x_2)$$

$$(x_0 + x_1) \cdot (x_0 + x_2) = x_0 + (x_1 \cdot x_2)$$

Формы представления логических функций

1. Словесное описание БФ

Пример 3. Логическая функция трех переменных равна единице, если хотя бы две входные переменные равны единице.

Данный вид описания наиболее часто применяется для первоначального описания поведения логического устройства.

2. Описание БФ в виде таблицы истинности

Таблица, содержащая все возможные комбинации входных переменных $x_{n-1} \dots x_1 x_0$ и соответствующие им значения выходных переменных y_i , называется таблицей истинности или комбинационной таблицей. В общем случае таблица истинности содержит 2^n строк и $m+n$ столбцов. Проиллюстрируем построение таблицы истинности на примере.

Пример 4. Составить таблицу истинности для БФ из примера 3.

Решение. Данная таблица имеет четыре столбца и восемь строк.

x_2	x_1	x_0	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

3. Описание ФАЛ в виде алгебраического выражения

При описании БФ алгебраическим выражением используются две стандартные формы ее представления.

Дизъюнктивной нормальной формой (ДНФ) называется логическая сумма элементарных логических произведений, в каждое из которых аргумент или его инверсия входит один раз.

Получена ДНФ может быть из таблицы истинности с использованием следующего алгоритма:

- для каждого набора переменных, на котором БФ равна единице, записывают элементарные логические произведения входных переменных, причем переменные, равные нулю, записывают с инверсией. Полученные произведения называют *конституентами единицы*;
- логически суммируют все конституенты единицы.

Совершенной ДНФ называется форма записи, когда в каждом слагаемом присутствуют все переменные.

Пример 5. Запись ДНФ для БФ, заданной в примере 4.

Решение. Согласно приведенному алгоритму из таблицы получим

$$y(x_2, x_1, x_0) = \overline{x_2}x_1x_0 + x_2\overline{x_1}x_0 + x_2x_1\overline{x_0} + x_2x_1x_0$$

Конъюнктивной нормальной формой (КНФ) называется логическое произведение элементарных логических сумм, в каждую из которых аргумент или его инверсия входят 1 раз.

КНФ может быть получена из таблицы истинности с использованием следующего алгоритма:

- для каждого набора переменных, для которого БФ равна нулю, записывают элементарные логические суммы входных переменных, причем переменные, значения которых равны единице, записывают с инверсией. Полученные суммы называют *конституентами нуля*;
- логически перемножают все полученные конституенты нуля.

Совершенной КНФ называется форма записи, когда в каждом множителе присутствуют все переменные.

Пример 6. Запись КНФ для БФ, заданной в примере 5.

Решение. Применяя вышеприведенный алгоритм к таблице, получим

$$y(x_2, x_1, x_0) = (x_2 + x_1 + x_0) \cdot (x_2 + x_1 + \overline{x_0}) \cdot (x_2 + \overline{x_1} + x_0) \cdot (\overline{x_2} + x_1 + x_0)$$

Рассмотренные методики позволяют получить математическую форму записи для самой функции. Иногда удобнее применять не саму БФ, а ее инверсию. В этом случае при использовании вышеприведенных методик для записи ДНФ необходимо выбирать нулевые, а для записи КНФ – единичные значения функции.

4. Описание ФАЛ в виде последовательности десятичных чисел

Иногда для сокращения записи БФ представляют в виде последовательности десятичных чисел. При этом последовательно записывают десятичные эквиваленты двоичных кодов соответствующих конституент единицы или нуля.

Пример 7. Записать в виде последовательности чисел БФ из примеров 5 и 6.

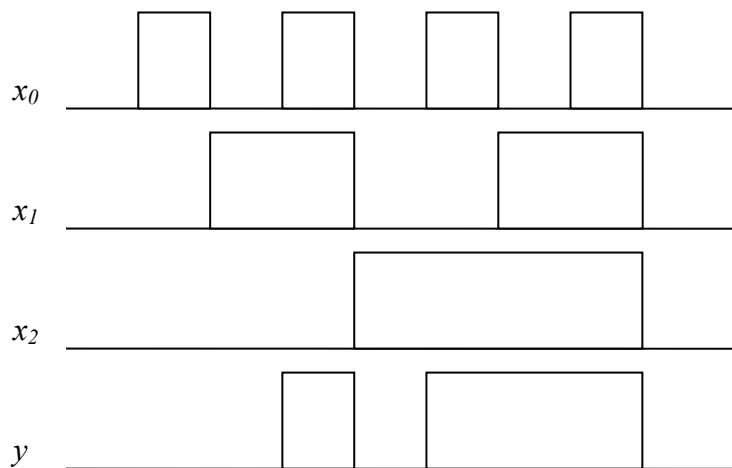
Решение. В ДНФ из примера 5 первая конституента «единица» ($x_2x_1x_0$) соответствует двоичному коду 011. Десятичный эквивалент этого кода равен 3. Аналогично записываются все остальные конституенты:

$$y(x_2, x_1, x_0) = \sum (3, 5, 6, 7) = \vee(3, 5, 6, 7).$$

$$y(x_2, x_1, x_0) = \prod (0, 1, 2, 4) = \wedge(0, 1, 2, 4).$$

5. Графическое представление БФ

- представление в виде последовательности импульсов



б) кубические комплексы (самостоятельно)

Лекция 2. Методы минимизации логических функций

Совершенные нормальные формы (СДНФ и СКНФ) хотя и дают однозначные представления функции, но являются очень громоздкими. Их реализация программно или схемотехнически является избыточной, что ведет к усложнению программы или схемы, поэтому существуют методы упрощения логической записи – минимизации.

Определение: Преобразование логических функций с целью упрощения их аналитического представления называется минимизацией.

Существуют два направления минимизации:

1. Кратчайшая форма записи (цель – минимизировать ранг каждого терма). При этом получаются кратчайшие формы КДНФ, ККНФ.
2. Получение минимальной формы записи (цель – получение минимального числа символов для записи всей функции сразу).

При этом следует учесть, что ни один из способов минимизации не универсален!

Существуют два основных метода минимизации:

1. Метод непосредственных преобразований логических функций.

При применении данного метода:

- а) Записываются СДНФ логической функции
- б) Форма преобразуется и упрощается с использованием операций алгебры логики.

2. Метод минимизирующих карт

Одним из способов графического представления булевых функций от небольшого числа переменных являются карты Карно (Вейча).

Карта Карно – графическое представление таблицы истинности. Каждой клетке карты Карно соответствует строка таблицы истинности. По осям карты расставляются сочетания переменных, а внутри карты – значения функции.

Назначение карты Карно – найти логические суммы прямого и инверсного значения переменных. Для любой переменной, например a , такая сумма равна $a + \bar{a} = 1$ при любом значении a : при $a = 0$ это будет $0+1=1$, при $a=1$ это $1+0=1$. Поэтому при вынесении за скобки в выражении

$$abc + \bar{a}bc = bc(a + \bar{a}) = bc \cdot 1 = bc$$

сумму $a + \bar{a} = 1$ можно отбросить, при этом результат выражения не изменится. В этом и заключается минимизация логических выражений с помощью карт Карно.

Для достижения поставленной цели минимизации нужно соблюдать правила разметки осей карты:

1. Вертикальная ось размечается независимо от горизонтальной.
2. Начинать разметку можно с любого сочетания переменных.
3. Все сочетания переменных должны быть перечислены.
4. Для соседних клеток карты сочетание переменных должно отличаться не более чем одним знаком, причем соседними являются крайние клетки строки (столбца).

Для функции двух переменных карта Карно — это квадрат 2x2 клетки. В этих клетках размещаются 4 значения функции из последнего столбца таблицы истинности.

a	b	f(a,b)
0	0	f(0,0)
0	1	f(0,1)
1	0	f(1,0)
1	1	f(1,1)

		b	
		1	0
a	0	f(0,1)	f(0,0)
	1	f(1,1)	f(1,0)

Таблица истинности и карта Карно для функции двух переменных

Для функции трех переменных карта Карно - это прямоугольник 2x4 или 4x2 клетки. В этих клетках размещаются 8 значений функции из последнего столбца таблицы истинности (рис. 8). При разметке большей из осей нужно четко придерживаться последнего - четвертого - правила разметки и следить за тем, чтобы соседними не оказались сочетания 00 и 11 либо 01 и 10, в которых одновременно меняются обе переменные.

a	b	c	f(a,b,c)
0	0	0	f(0,0,0)
0	0	1	f(0,0,1)
0	1	0	f(0,1,0)
0	1	1	f(0,1,1)
1	0	0	f(1,0,0)
1	0	1	f(1,0,1)
1	1	0	f(1,1,0)
1	1	1	f(1,1,1)

		c	
		1	0
ab	00	f(0,0,1)	f(0,0,0)
	01	f(0,1,1)	f(0,1,0)
	11	f(1,1,1)	f(1,1,0)
	10	f(1,0,1)	f(1,0,0)

		bc			
		01	00	11	10
a	0	f(0,0,1)	f(0,0,0)	f(0,1,1)	f(0,1,0)
	1	f(1,0,1)	f(1,0,0)	f(1,1,1)	f(1,1,0)

		bc			
		10	00	11	01
a	0	f(0,1,0)	f(0,0,0)	f(0,1,1)	f(0,0,1)
	1	f(1,1,0)	f(1,0,0)	f(1,1,1)	f(1,0,1)

неправильное заполнение

Таблица истинности и карта Карно для функции трех переменных

Для функции четырех переменных карта Карно - это квадрат 4x4 клетки. В этих клетках размещаются 16 значений функции из последнего столбца таблицы истинности (рис. 9). При разметке обеих осей нужно также четко придерживаться последнего - четвертого - правила разметки и следить за тем, чтобы **по одной оси** соседними не оказались сочетания 00 и 11 либо 01 и 10, в которых одновременно меняются обе переменные.

Для функции пяти переменных карта Карно представляет собой уже объемную фигуру — куб 4x4x4 клетки, поэтому для минимизации логических выражений она практически не применяется.

a	b	c	d	f(a,b,c,d)
0	0	0	0	f(0,0,0,0)
0	0	0	1	f(0,0,0,1)
0	0	1	0	f(0,0,1,0)
0	0	1	1	f(0,0,1,1)
0	1	0	0	f(0,1,0,0)
0	1	0	1	f(0,1,0,1)
0	1	1	0	f(0,1,1,0)
0	1	1	1	f(0,1,1,1)
1	0	0	0	f(1,0,0,0)
1	0	0	1	f(1,0,0,1)
1	0	1	0	f(1,0,1,0)
1	0	1	1	f(1,0,1,1)
1	1	0	0	f(1,1,0,0)
1	1	0	1	f(1,1,0,1)
1	1	1	0	f(1,1,1,0)
1	1	1	1	f(1,1,1,1)

		cd			
		11	01	00	10
ab	00	f(0,0,1,1)	f(0,0,0,1)	f(0,0,0,0)	f(0,0,1,0)
	01	f(0,1,1,1)	f(0,1,0,1)	f(0,1,0,0)	f(0,1,1,0)
	11	f(1,1,1,1)	f(1,1,0,1)	f(1,1,0,0)	f(1,1,1,0)
	10	f(1,0,1,1)	f(1,0,0,1)	f(1,0,0,0)	f(1,0,1,0)

		cd			
		11	01	00	10
ab	00	f(0,0,1,1)	f(0,0,0,1)	f(0,0,0,0)	f(0,0,1,0)
	10	f(1,0,1,1)	f(1,0,0,1)	f(1,0,0,0)	f(1,0,1,0)
	11	f(1,1,1,1)	f(1,1,0,1)	f(1,1,0,0)	f(1,1,1,0)
	01	f(0,1,1,1)	f(0,1,0,1)	f(0,1,0,0)	f(0,1,1,0)

Таблица истинности и карта Карно для функции четырех переменных

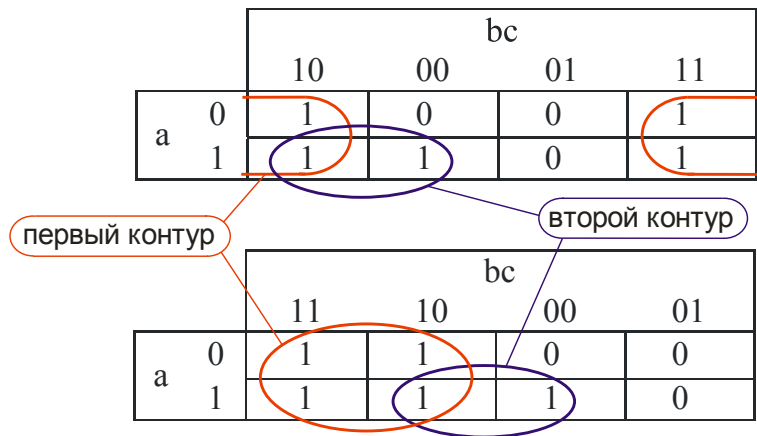
В конкретных случаях вместо значений функций в общем виде в клетки карты проставляются конкретные значения (логические 0 и 1) из соответствующих строк таблицы истинности. Затем рассматриваются только те клетки, которые заполнены **единицами**. Все эти единицы должны быть обведены контурами по следующим **правилам** составления **контуров**.

1. Контуров должны быть прямоугольными и содержать количество единиц, равное 2^n , где n – целое число. Таким образом, в контуре может быть либо **одна**, либо **две**, либо **четыре**, либо **восемь единиц**.
2. **Количество единиц в контуре** должно быть **максимальным**, при этом контуры могут пересекаться между собой. Нужно учитывать, что крайние строки являются соседними и крайние столбцы также являются соседними, поэтому контуры могут быть разорванными.
3. **Количество контуров** должно быть **минимальным**, но **все** единицы должны быть охвачены контурами. Нельзя забывать об отдельно стоящих единицах. Каждая такая единица — это контур, которому соответствует полное логическое произведение переменных.

После обведения контуров нужно записать минимальное выражение как логическую сумму логических произведений. Каждому произведению соответствует один контур карты Карно. В произведение входят только те переменные, которые остаются в данном контуре неизменными. При этом переменная входит в произведение с инверсией, если ее значение в данном контуре равно 0, и без инверсии, если ее значение равно 1.

Пример 8. Написать максимальное и минимальное выражение для таблицы истинности, представленной ниже.

a	b	c	f
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

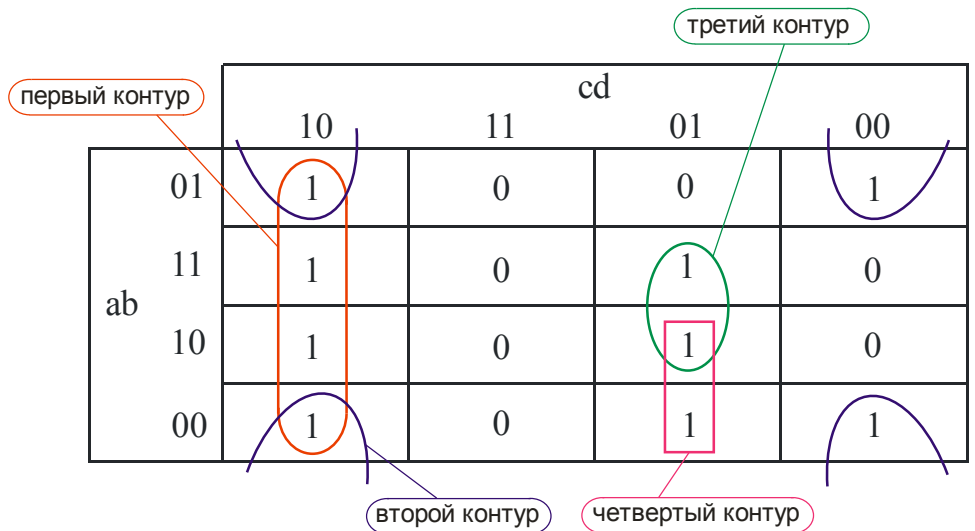


Максимальное выражение: $f = \bar{a}\bar{b}\bar{c} + \bar{a}bc + a\bar{b}\bar{c} + abc + abc$

Минимальное выражение: $f = b + a\bar{c}$

Пример 9. Написать максимальное и минимальное выражение для таблицы истинности, представленной ниже.

a	b	c	d	f
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0



Максимальное выражение:

$$f = \bar{a}\bar{b}\bar{c}\bar{d} + \bar{a}\bar{b}c\bar{d} + \bar{a}b\bar{c}\bar{d} + \bar{a}bc\bar{d} + \bar{a}b\bar{c}d + \bar{a}bcd + a\bar{b}\bar{c}\bar{d} + a\bar{b}c\bar{d} + a\bar{b}cd + ab\bar{c}\bar{d}$$

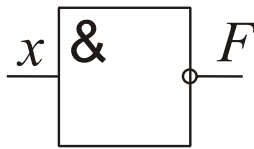
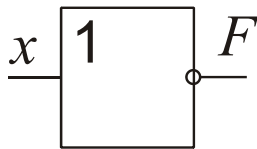
Минимальное выражение: $f = c\bar{d} + \bar{a}\bar{d} + a\bar{c}d + \bar{b}cd$

Индивидуальное задание №1.

1. Минимизировать функции;
2. Синтезировать схемы в трех базисах: И-НЕ, ИЛИ-НЕ, смешанный;
3. Построить диаграммы;
4. Одну из схем собрать на макете (1 –я лабораторная работа)

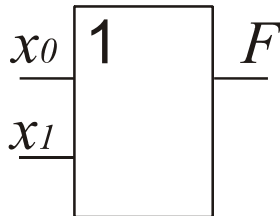
1. Базовые логические элементы

1. Инвертор $F = \bar{x}$



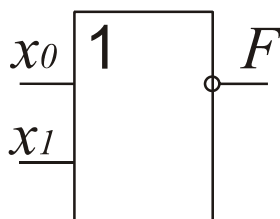
x	F
0	1
1	0

2. Логическое сложение (элемент ИЛИ) $F = x_0 + x_1$ или $F = x_0 \vee x_1$



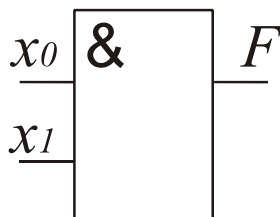
x_0	x_1	F
0	0	0
1	0	1
0	1	1
1	1	1

3. Логическое сложение с отрицанием (элемент ИЛИ-НЕ) $F = \overline{x_0 + x_1}$



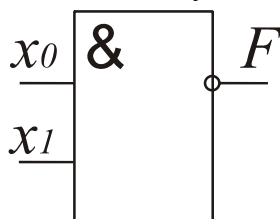
x_0	x_1	F
0	0	1
1	0	0
0	1	0
1	1	0

4. Логическое умножение (элемент И) $F = x_0 \cdot x_1$ или $F = x_0 \wedge x_1$



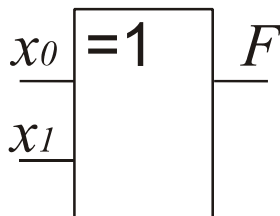
x_0	x_1	F
0	0	0
1	0	0
0	1	0
1	1	1

5. Логическое умножение с отрицанием (элемент И-НЕ) $F = \overline{x_0 \cdot x_1}$



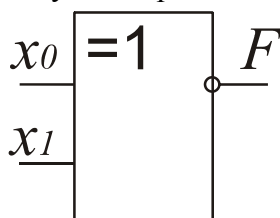
x_0	x_1	F
0	0	1
1	0	1
0	1	1
1	1	0

6. Функция неравнозначности XOR (исключающее ИЛИ) $F = x_0 \oplus x_1$



x_0	x_1	F
0	0	0
1	0	1
0	1	1
1	1	0

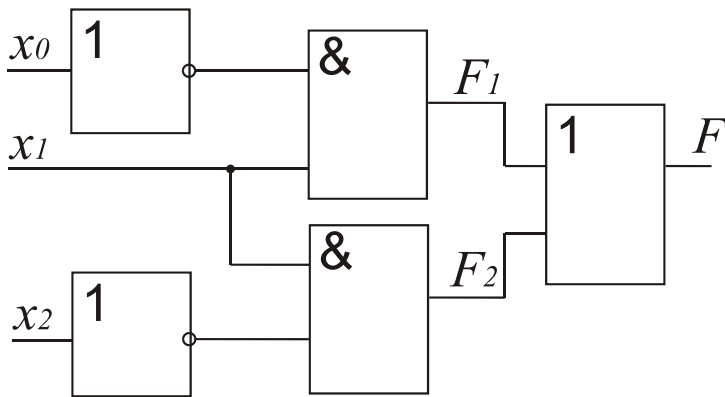
7. Функция равнозначности (исключающее ИЛИ с инверсией) $F = \overline{x_0 \oplus x_1}$



x_0	x_1	F
0	0	1
1	0	0
0	1	0
1	1	1

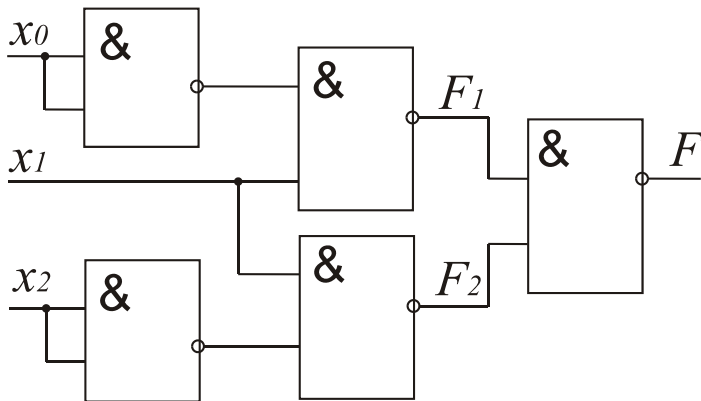
Синтез логических схем

$F = \overline{x_2 x_1 x_0} + \overline{x_2 x_1 x_0} + \overline{x_2 x_1 x_0} = x_1 \overline{x_0} + \overline{x_2} x_1$ - функция представлена в смешанном базисе

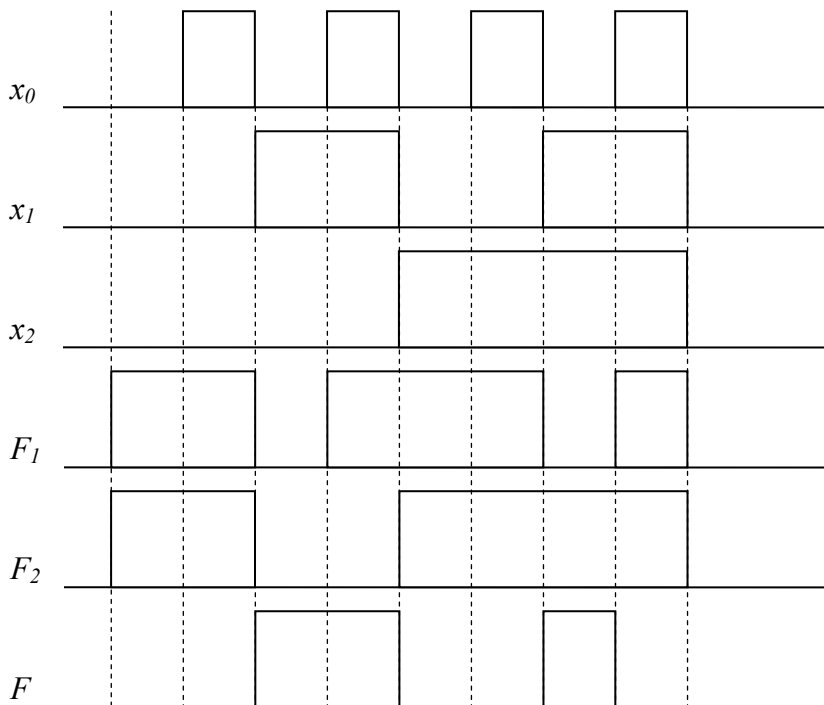


По теореме Де-Моргана F можно привести к следующему виду

1) $F = \overline{(x_1 x_0)} \cdot \overline{(x_2 x_1)}$ - функция представлена в базисе И-НЕ



Диаграммы работы схемы:



$$2) F = \overline{\overline{(x_1 + x_0)} + (x_2 + x_1)}$$

- функция представлена в базисе ИЛИ-НЕ

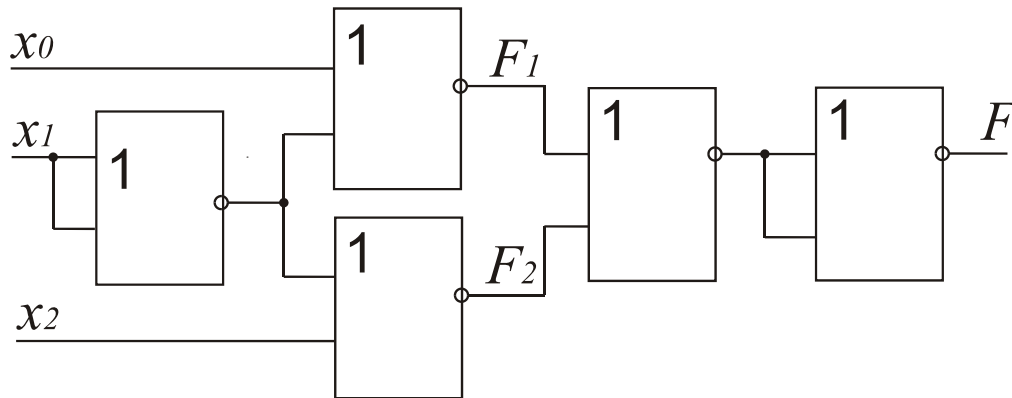
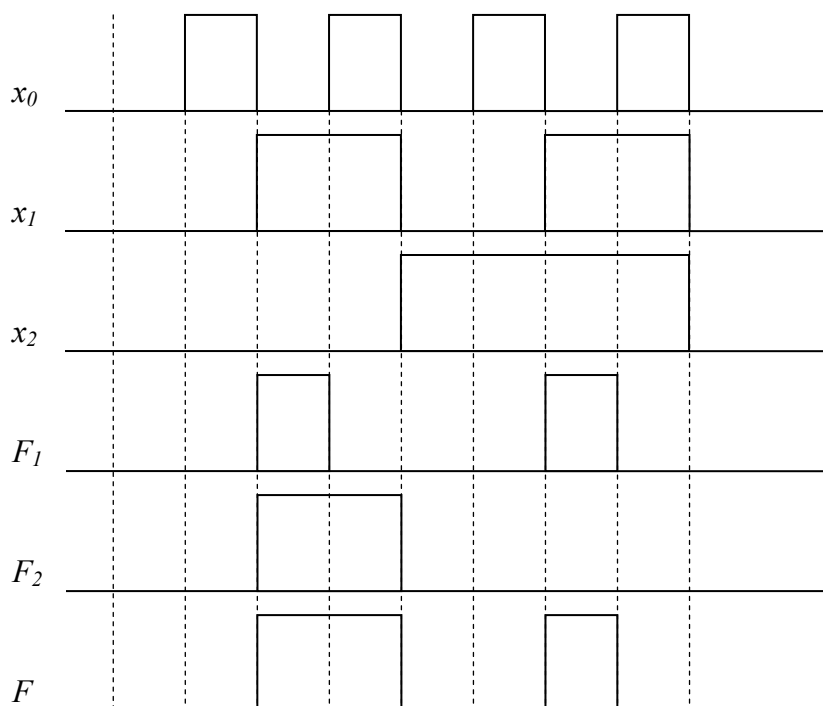


Диаграмма работы схемы



Лекция 3.

Корпуса интегральных микросхем, как правило, имеют 14 или 16 ножек.

Тип микросхемы	14 ножек	16 ножек
питание	14	16
земля	7	8

Различают два основных типа построения логических схем:

1. ТТЛ-схемы и ТТЛШ-схемы,
2. КМОП-схемы.

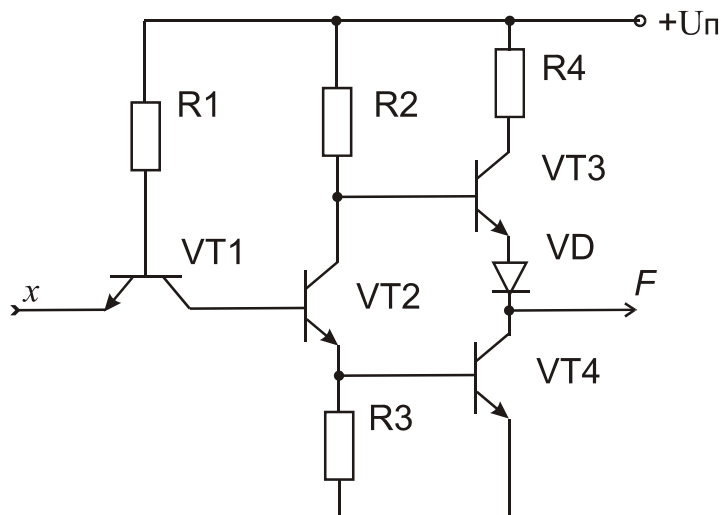
Семейство ТТЛ-схем

ТТЛ-схемы построены на основе транзисторно-транзисторной логики. ТТЛШ-схемы отличаются от ТТЛ применением диодов и транзисторов Шоттки. Это позволяет сократить времена переключения схем. Например, время переходных процессов для стандартной логики составляет 10-30 нс, ТТЛШ – 3-4 нс.

Все ТТЛ-схемы имеют следующие общие характеристики:

- напряжение питания +5 В;
- все они имеют совместимые входные и выходные сигналы, поэтому возможно произвольное соединение элементов друг с другом;
- совместимость по выводам элементов одного названия, но разных серий.

Схема ТТЛ-инвертора



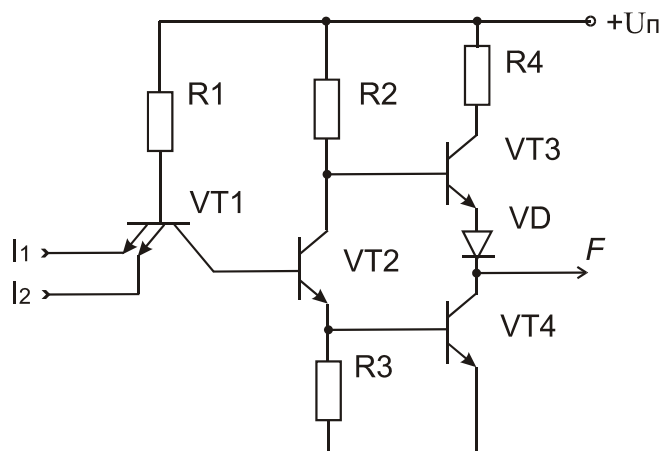
Если $x = 0$, то VT_1 открыт, $U_{КЭ1} \sim 0 = U_{БЭ2}$, то VT_2 закрыт, ток через него не течет, $U_{R3} = 0 \rightarrow VT_4$ закрыт. $U_{КЭ2} \sim U_{п} = U_{БЭ3} \rightarrow VT_3$ открыт. $\rightarrow F \sim U_{п}$ или равно 1.

Если $x = 1$, то VT_1 закрыт, $I_{К01}$ открывает VT_2 , напряжение на его коллекторе уменьшается, VT_3 закрывается. Протекающий через VT_2 ток создает падение на R_3 . $\rightarrow VT_4$ открывается. $\rightarrow F = 0$.

Структура выходного каскада, состоящая из транзисторов VT_3, VT_4 и диода VD , называется двухтактным выходным каскадом. Такие каскады не могут быть включены параллельно, т.е. ТТЛ-элементы с двухтактным выходным каскадом не могут объединяться по выходу.

Однако, ТТЛ-схемы некоторых серий (или производителей) допускают параллельное соединение выходов двух логических элементов. Только при этом на их выходы должен быть подан одинаковых сигнал и они должны входить в состав одной микросхемы (быть в одном корпусе).

Схема ТТЛ-элемента И-НЕ

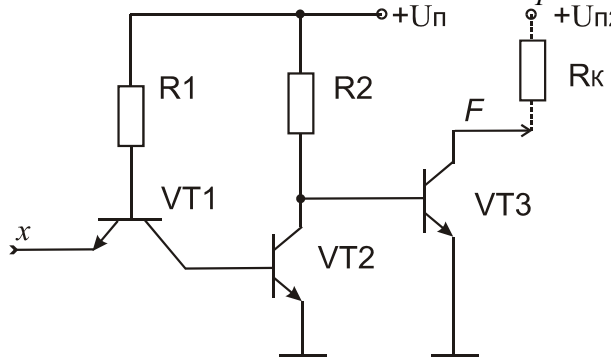


На рис. показана структура 2-х входового элемента И-НЕ. При подключении одного из эмиттеров I_1 или I_2 к «0» транзистор VT_1 открывается, и приводит к закрытию транзисторов VT_2 и VT_4 . База транзистора VT_3 через резистор R_2 соединена с положительным полюсом источника питания. Следовательно, он находится в открытом состоянии, и на выход схемы F через резистор R_4 диод VD подается напряжение высокого уровня. Резистор R_3 (150...500 Ом) служит для ограничения тока.

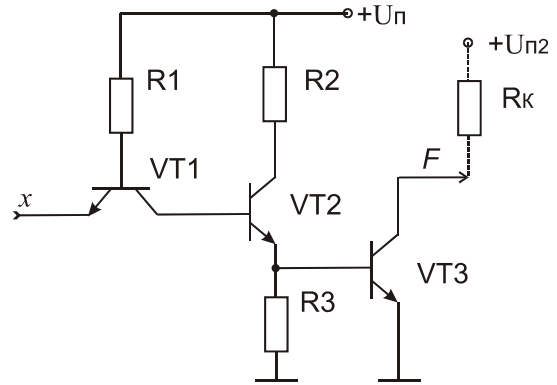
Элементы с открытым коллектором

В отличие от двухтактных выходных каскадов коллекторы выходных транзисторов схем с *открытым коллектором* не подключаются к источнику питания через второй транзистор.

КМОП - аналог таких схем - схемы с открытым стоком.



Буферный элемент (повторитель) с открытым коллектором

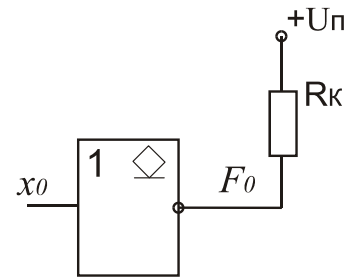


Инвертор с открытым коллектором

Внешний резистор R_K обязателен.

Преимущества:

- Такие схемы можно объединять по выходу
- На нагрузку может подаваться напряжение, превышающее напряжение питания. Ограничением является максимально допустимое напряжение пробоя выходного транзистора.



Монтажное ИЛИ

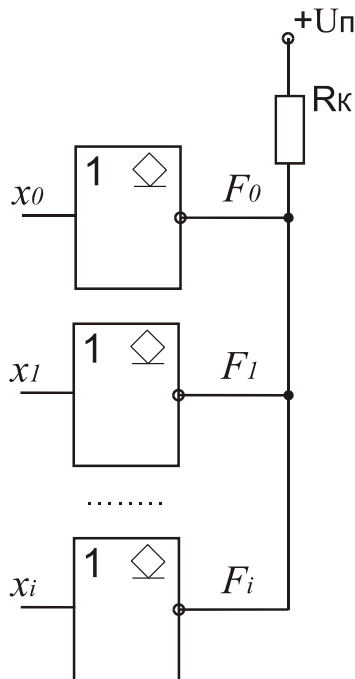


Таблица истинности

x_2	x_1	x_0	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

$$F = \overline{x_2} \cdot \overline{x_1} \cdot \overline{x_0}$$

Схема монтажного ИЛИ получается при соединении нескольких выходов с открытым коллектором. Для получения низкого уровня напряжения на общем выводе достаточно, чтобы один из выходных транзисторов был открыт.

Этот принцип позволяет реализовать общую шину, для чего несколько выходов логических элементов с открытыми коллекторами соединяются вместе. Для обеспечения требуемого уровня напряжения на шине необходимо корректно выбирать величину нагрузочного резистора R_K .

Рекомендации по выбору R_K

При высоком уровне напряжения через резистор R_K текут токи выходных транзисторов I_{FH} и входные токи I_{IH} . Величина этого резистора должна быть достаточно маленькой, чтобы уровень выходного напряжения не упал ниже допустимого высокого уровня входного напряжения последующей схемы.

При низком уровне напряжения в худшем случае работает только один транзистор. Величина резистора R_K должна быть достаточно большой, чтобы ток коллектора не достиг значения I_{OLmax} . Также необходимо помнить, что через резистор протекают входные токи I_{IL} подключенных схем.

$$R_{max} = \frac{U_{II} - 2.7B}{K \cdot I_{FH} + N \cdot I_{IH}}$$

K – количество параллельно соединенных выводов

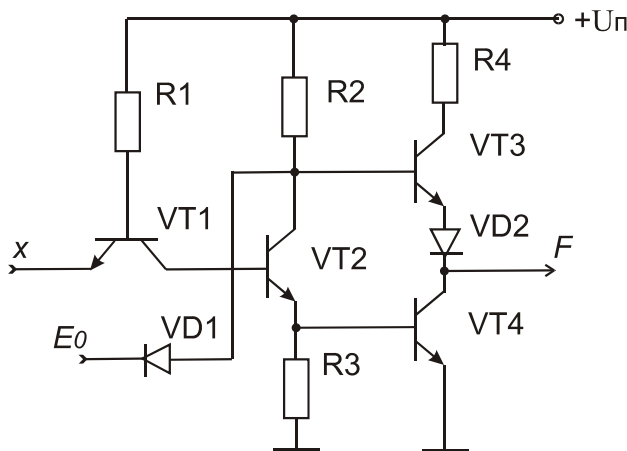
N – количество параллельно соединенных входов последующей схемы.

$$R_{min} = \frac{U_{II} - 0.4B}{I_{OLmax} - N \cdot |I_{IL}|}$$

На практике для получения максимальной скорости переключения выбирается наименьшее значение этого сопротивления.

Схема ТТЛ-инвертора с Z-состоянием (3-м состоянием)

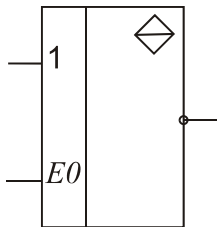
В схемах с тремя состояниями оба транзистора оконечного каскада могут быть переведены в высокоимпедансное состояние.



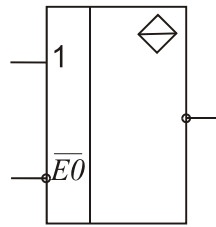
Если на входе $E0 = 1$, VD_1 не проводит и не оказывает влияния на работу инвертора.

Если на входе $E0 = 0$, VD_1 проводит, $U_{КЭ2} = 0$, $U_{БЭ3} = 0$. \rightarrow VT_2 и VT_3 закрыты, через VT_2 ток не течет, то $U_{R3} = 0 \rightarrow VT_4$ тоже закрыт. Это приводит к отключению выхода F и от источника питания, и от земли.

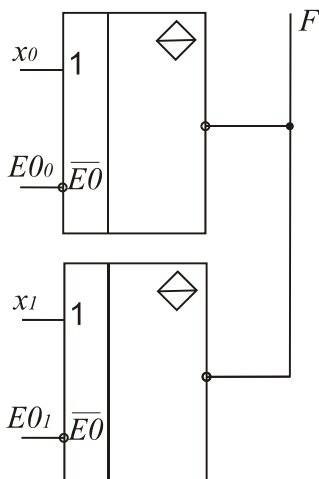
Обозначение



Активный уровень - 1



Активный уровень - 0



Такие элементы можно объединять по выходу.

Одновременная работа 2-х и более элементов запрещена.

Схемы с Z-состоянием используются в системах с общей шиной. Системная шина воспринимает схемы в высокоимпедансном состоянии как неподключенные к ней. Три выходных состояния обычно обозначают как H, L и Z.

$$F = \overline{E0_0} \cdot x_0 + \overline{E0_1} \cdot x_1$$

Лекция 4.

Основные параметры микросхем серии ТТЛ

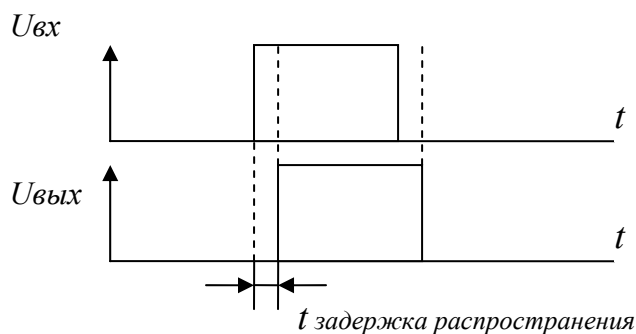
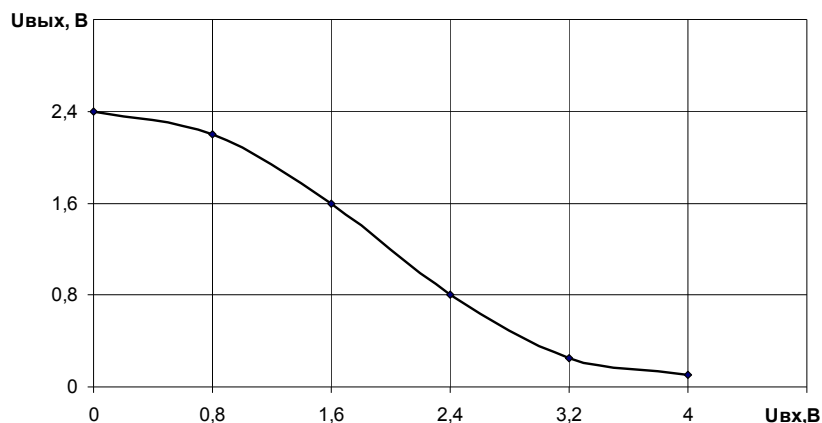
серия	$U_{вх}^0$, В	$U_{вх}^1$, В	$I_{вх}^0$, мА	$I_{вх}^1$, мА	$U_{вых}^0$, В	$U_{вых}^1$, В	$I_{вых}^0$, мА	$I_{вых}^1$, мА	f_{max} , МГц	$I_{потр}$, мА	C_H , пФ	$C_{вых}$, пФ	$C_{вх}$, пФ
155	$\leq 0,4$	$\geq 2,4$	1,6	0,04	$\leq 0,4$	$\geq 2,4$	16	0,4	10	~ 15	100	15	10
1533	$\leq 0,4$	$\geq 2,7$	0,16	0,004	$\leq 0,4$	$\geq 2,7$	1,6	0,04	50	$\sim 1,5$	60	10	8

Серия ТТЛ		Параметр			Нагрузка	
Отечественная	Зарубежная	$P_{пот}$, мВт	$t_{зд}$, нс	$E_{пот}$, пДж	C_H , пФ	R_H , кОм
К134	74L	1	33	33	50	4
К155	74	10	9	90	15	0,4
К131	74Н	22	6	132	25	0,28
К555	74LS	2	9,5	19	15	2
К531	74S	19	3	57	15	0,28
К1533	74ALS	1,2	4	4,8	15	2
К1531	74F	4	3	12	15	0,28

Правила эксплуатации микросхем серий ТТЛ

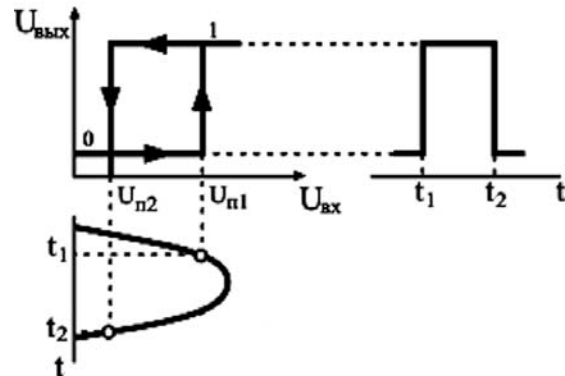
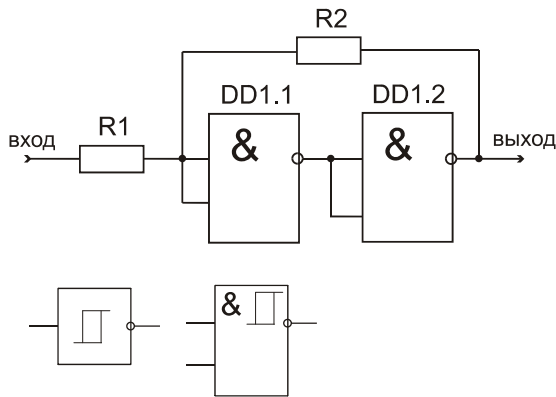
- ❖ Входы микросхем можно оставлять свободными, в этом случае на входе имеем логическую единицу. Но, снижается помехоустойчивость ИМС.
- ❖ Для получения логической единицы на входе, входы соединяются с источником питания через резистор $R=1$ кОм. На один резистор можно подключать до 20 входов. Чтобы получить логический ноль, вход заземляется.
- ❖ Запрещается соединять выходы между собой.
- ❖ Для исключения импульсных помех по цепям питания рекомендуется ставить керамические (безиндуктивные) конденсаторы 0,1 мкФ на каждые 3 корпуса ИМС.

Передаточная характеристика инвертора серии ТТЛ



Использование триггера Шмитта во входных цепях логических элементов

Триггер Шмитта - это специфический вид триггера, имеющего один вход и один выход. В устройствах с триггером Шмитта переход из одного устойчивого состояния в другое осуществляется при определенных уровнях входного напряжения, называемых **пороговыми уровнями**.



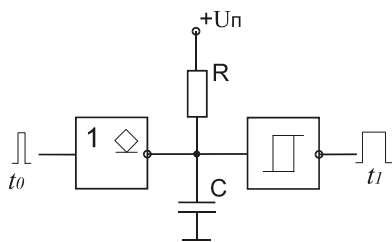
Первый порог действует, когда напряжение на входе повышается. При достижении порога триггер срабатывает, и на выходе появляется логическая единица. При понижении напряжения на входе действует второй порог. Когда напряжение на входе снизится ниже этого порога, триггер переключается снова и на выходе устанавливается логический ноль. Второй порог всегда немного ниже первого. Наличие двух порогов называется гистерезисом. Гистерезис увеличивает стабильность работы триггера при напряжениях близких к пороговому. В отсутствии гистерезиса при входных напряжениях, близких к порогу срабатывания любая помеха на входе вызовет ложное переключение, что обычно крайне нежелательно.

Если на вход триггера Шмитта подавать нарастающее напряжение (нижний график), то при некотором уровне $U_{п1}$ в момент t_1 напряжение на выходе скачком переходит из состояния 0 в состояние 1. Если уменьшать напряжение на входе до некоторого напряжения $U_{п2}$ в момент t_2 напряжение на выходе скачком переходит из состояния 1 в состояние 0.

Для ТТЛ – схем гистерезис, как правило, составляет 0.8 В, для КМОП – элементов он зависит от приложенного напряжения питания и определяется как $U_{г} = 0.27 \cdot U_{п} - 0.55В$.

Применение:

- Использование триггера Шмитта во входных цепях позволяет сократить время переключения элемента.
- Для преобразования аналоговых колебаний в прямоугольные импульсы, которые затем уже используются в цифровой технике.
- При объединении RC-цепочки и элемента с триггером Шмитта можно получить либо схему расширения импульса, либо генератор.



$$t_1 \approx t_0 + 0,5 \cdot RC \text{ для ТТЛ-схем}$$

- Триггеры Шмитта целесообразно также использовать в цепях установки начального состояния цифровых устройств в тех случаях, когда постоянная времени установления выходного напряжения источника питания велика и необходимо обеспечить большую длительность импульса сброса и его крутой спад.

Серия КМОП

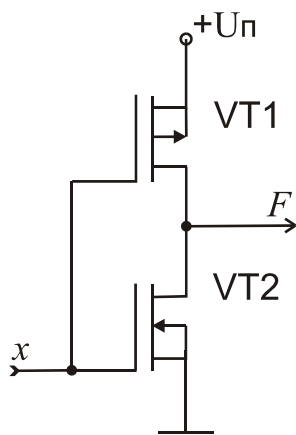
(комплементарная пара транзисторов на основе п/п структуры металл-оксид-полупроводник)

Существует несколько серий КМОП – схем. Основные особенности элементов КМОП.

- Напряжение питания $+5 \dots 15\text{В}$ ($3 \dots 18\text{В}$);
- Очень низкие входные токи;
- В стационарном режиме и на низких частотах очень низкая мощность рассеяния;
- И при низком, и при высоком уровне напряжений выходные токи достаточно большие.

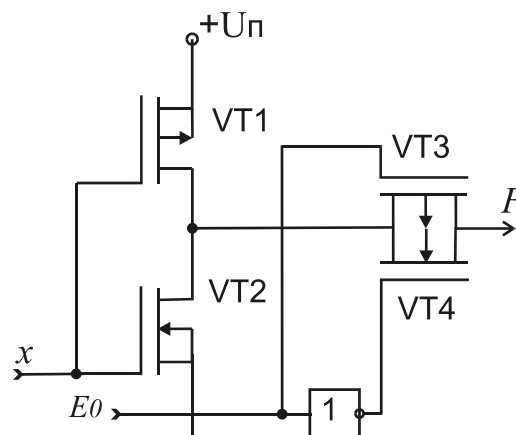
1. Инвертор

Простой инвертор



Если $x=0$, VT1 – открыт, VT2 – закрыт. И наоборот.

Инвертор с Z-состоянием

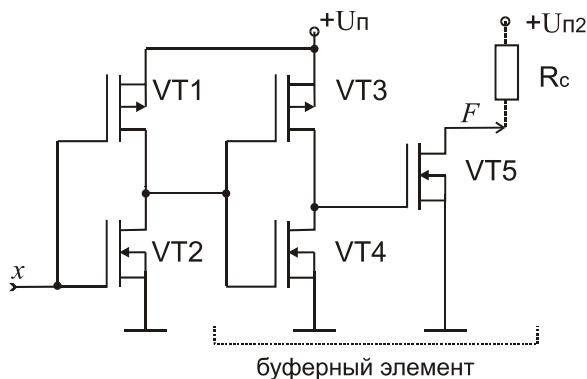


Если на входе разрешения “1”, то “1” на VT3 и “0” на затворе VT4 → они оба закрыты, выход отключен и от питания, и от земли. Выход в Z-состоянии.

Если на входе E0 “0”, то VT3 и VT4 открыты, оба открытых транзистора не оказывают влияния на работу инвертора.

Использование 2-х транзисторов (VT3, VT4) с разными каналами необходимо для одинакового сопротивления и в “1”, и в “0”.

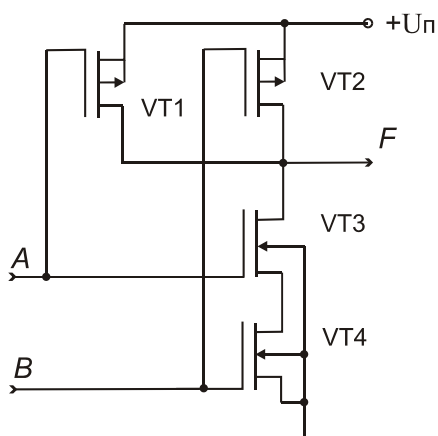
Инвертор с открытым стоком



Обозначение элементов с Z-состоянием и с открытым стоком, как и для ТТЛ-серий.

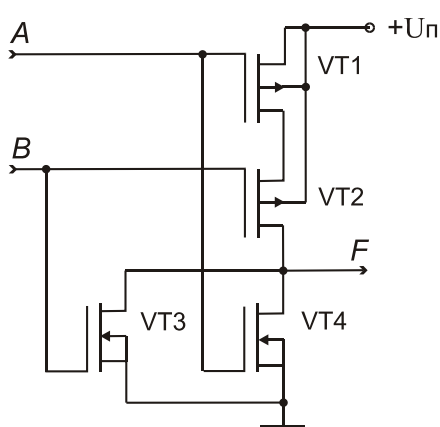
КМОП логические элементы И-НЕ и ИЛИ-НЕ

Рассмотрим схему логического элемента И-НЕ. Чтобы открыть оба нижних транзистора надо, чтобы на входе A и входе B была логическая единица, при этом оба верхних транзистора закроются и на выходе F будет логический ноль. Если хотя бы на одном или на обоих входах будет логический ноль, то хотя бы один из нижних транзисторов закроется, один из верхних откроется, при этом на выходе будет логическая единица.



A	B	$F = \overline{AB}$
0	0	1
1	0	1
0	1	1
1	1	0

Схема КМОП логического элемента И–НЕ и его таблица истинности



A	B	$F = \overline{A+B}$
0	0	1
1	0	0
0	1	0
1	1	0

Схема КМОП логического элемента ИЛИ–НЕ и его таблица истинности

Рассмотрим схему логического элемента ИЛИ–НЕ. Если на входах A или B (или на обоих) логическая единица, то откроется один или оба из нижних транзисторов, при этом закроется один или оба верхних транзистора, тогда на выходе логический ноль. Если на обоих входах логический ноль, то закроются оба нижних и откроются оба верхних транзистора, при этом на выходе логическая единица.

Параметры логических элементов серий КМОП

серия	$U_{п, В}$	$U_{вх}^0, В$	$U_{вх}^1, В$	$U_{вых}^0, В$	$U_{вых}^1, В$	$I_{вых}, мкА$	$I_{потр}, мА$	$C_{пФ}$	$f_{max}, МГц$	$t_{зд}, нс$
561	3-15	$\leq 0,3U_{п}$	$\geq 0,8U_{п}$	$\leq 0,1U_{п}$	$\geq 0,9U_{п}$	10	10	40-50	1-5	50
176	9	3	8	≤ 1	≥ 8	10	10	40-50	1	200
1554	5	$\leq 0,4$	$\geq 2,7$	$\leq 0,1$	$\geq 3,5$	40 мА	3 мА	30	120	10

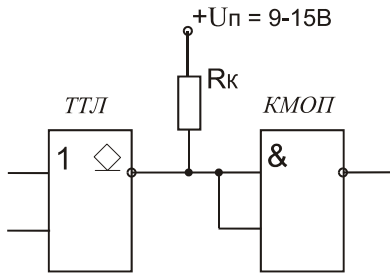
Передаточная характеристика такая же, как у ТТЛ. Различие в большем диапазоне напряжения питания.

Особенности эксплуатации логических элементов КМОП:

1. Запрещается оставлять входы свободными, поэтому они подключаются к земле или к источнику питания (нагрузочное сопротивление не нужно);
2. Максимально допустимая C нагрузки на выход составляет ~ 100 пФ и не должна его превышать;

3. При монтаже логических элементов необходимо соединять шину питания и землю между собой. Если есть стабилитрон, то не нужно.

Согласование уровней ТТЛ и КМОП

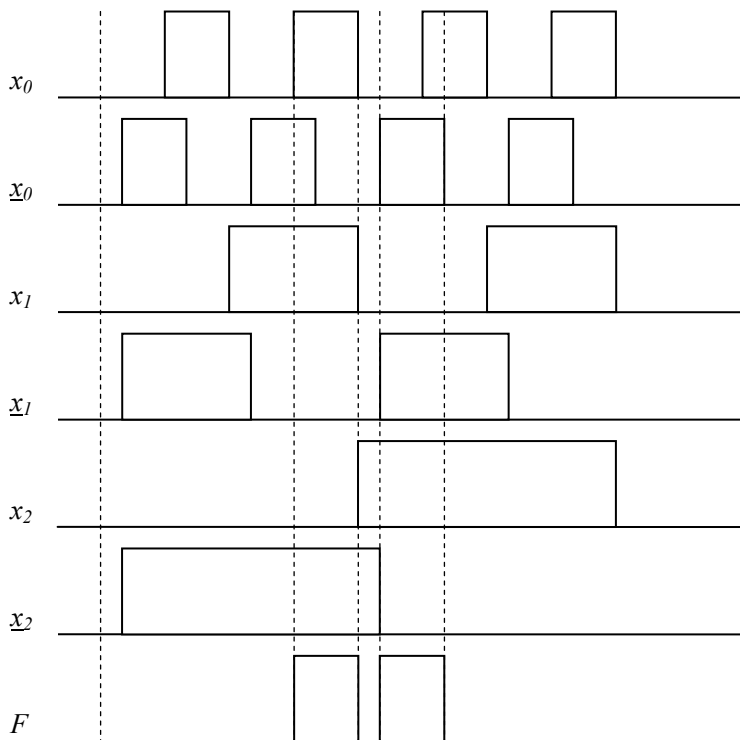


Появление ложных значений функций в реальных схемах

Выходной импульс появляется с задержкой, если мы имеем две или более ветви, которые содержат разное количество элементов. На выходе могут появиться ложные “0” или “1”. Такое явление называют «гонками» или «согласованиями».

Пример 10. Построить диаграммы для функции с учетом состязаний.

$$F = x_2 \cdot x_1 \cdot x_0 + x_2 \cdot x_1 \cdot x_0.$$



Способ борьбы – поставить в цепь, где меньше элементов (в данном случае в цепь x_0 и x_1 во второй сумме), элементы задержки (повторитель, два инвертора)

Обозначение логических элементов серия_функциональное назначение_№

Функц. назначение	И	ИЛИ	И-НЕ	ИЛИ-НЕ	НЕ
Обозначение	ЛИ	ЛЛ	ЛА	ЛЕ	ЛН