

ИССЛЕДОВАНИЕ ТРИГГЕРОВ НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

Цель работы – экспериментальное исследование работы триггеров, выполненных на интегральных микросхемах, и закрепление знаний по последовательностной цифровой логике.

5.1. Общие положения

подавляющее большинство цифровых устройств содержит в качестве основных элементов различные типы триггеров.

Триггерами или точнее триггерными системами называют большой класс электронных устройств, обладающих способностью длительно находиться в одном из двух устойчивых состояний и чередовать их под воздействием внешних сигналов. Каждое состояние триггера легко распознается по значению выходного напряжения.

Триггеры можно классифицировать по ряду признаков:

1. По способу записи информации – на асинхронные и синхронные;
2. По способу синхронизации – на синхронные со статическим управлением записью, синхронные двухступенчатые, синхронные с динамическим управлением;
3. По способу организации логических связей:
 - 3.1. Триггеры с раздельной установкой 0 и 1 (*RS*-триггеры);
 - 3.2. Триггеры со счетным входом (*T*-триггеры);
 - 3.3. Универсальные триггеры с раздельной установкой 0 и 1 (*JK*-триггеры);
 - 3.4. Триггеры задержки (*D*-триггеры);
 - 3.5. Триггеры задержки с управлением приемом информации по одному входу (*DU*-триггеры);
 - 3.6. Комбинированные триггеры (*RST*-, *JKRS*-, *DRS*-триггеры и др.);
 - 3.7. Триггеры со сложной входной логикой.

Входы триггеров и сигналы, подаваемые на них, делятся на информационные – управляющие состоянием триггера и вспомогательные – служащие для предварительной установки триггера в заданное состояние и его синхронизацию.

В табл.5.1 приведены условные обозначения и назначения входов триггеров.

Поскольку функциональные свойства триггеров определяются их входной логикой, то по названиям основных входов называют и триггер.

Например:

RS -триггер, D -триггер, RST -триггер (комбинированный, способный выполнять функции T - и RS -триггеров).

Таблица 5.1

Условное обозначение	Назначение
	<i>Информационные входы</i>
S	Вход для раздельной установки триггера в состояние 1
R	Вход для раздельной установки триггера в состояние 0
J	Вход для установки триггера в состояние 1
K	Вход для установки триггера в состояние 0
T	Вход двоичного счетчика (счетный вход)
D	Вход для установки триггера в состояние 1 или 0
	<i>Вспомогательные входы</i>
U	Подготовительный вход для разрешения приема информации
C	Исполнительный вход для осуществления приема информации (вход синхронизации или тактирующий вход)

5.2. RS -триггеры (асинхронные, нетактируемые)

RS -триггер можно получить, охватив, как показано на рис. 5.1, два логических элемента ИЛИ-НЕ обратными связями. RS -триггер выпускается также в интегральном исполнении, в этом случае он может быть изображен в виде отдельного устройства, как показано на рис. 5.2.

Он имеет два выходных сигнала: Q и \bar{Q} инверсные друг другу и два входных: S (Set) – установка и R (Reset) – сброс. Имеется в виду сброс выхода Q триггера в нулевое состояние.

Если входные сигналы взаимно инверсные, причем $S = 1$ и $R = 0$, то

$$\begin{aligned}\bar{Q} &= \overline{S + Q} = \overline{1 + Q} = 0, \\ Q &= \overline{R + \bar{Q}} = \overline{0 + 0} = 1.\end{aligned}$$

Следовательно, оба выходных сигнала действительно находятся в инверсных друг другу состояниях.

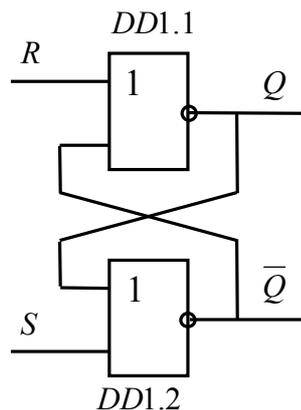


Рис. 5.1. RS -триггер на элементах ИЛИ-НЕ

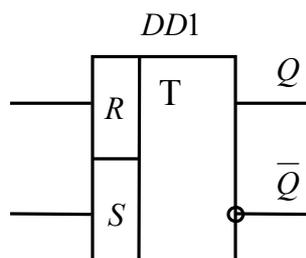


Рис. 5.2. Условное изображение RS -триггера

При $R = 1$ и $S = 0$ можно получить обратные значения выходных сигналов триггера. Если $R = S = 0$, то состояние выходных сигналов сохраняется. Поэтому RS -триггер можно использовать для запоминания информации. При $R = S = 1$ оба выходных сигнала равны нулю. Однако, если в какой-либо момент оба входных сигнала одновременно станут равными нулю, состояние выходных сигналов триггера не будет определено. Поэтому комбинация входных сигналов $R = S = 1$, как правило, является запрещенной. Все возможные состояния триггера на элементах ИЛИ-НЕ отображены в таблице состояний 5.2.

Таблица 5.2

Состояния для RS -триггера на элементах ИЛИ-НЕ

Режим работы	Входы		Выходы		
	S	R	Q	\bar{Q}	Влияние на выход Q
Запрещенное состояние	1	1	0	0	Запрещено – как правило не используется
Установка 1	1	0	1	0	Для установки Q в 1
Установка 0	0	1	0	1	Для установки Q в 0
Хранение	0	0	Q	\bar{Q}	Зависит от предыдущего состояния

Как следует из табл. 5.2, при выполнении RS -триггера на элементах ИЛИ-НЕ активным уровнем R и S сигналов является высокий уровень – 1. При необходимости, если требуется установить активным низкий уровень входных сигналов, то возможна принципиальная схема RS -триггера, приведенная на рис. 5.3.

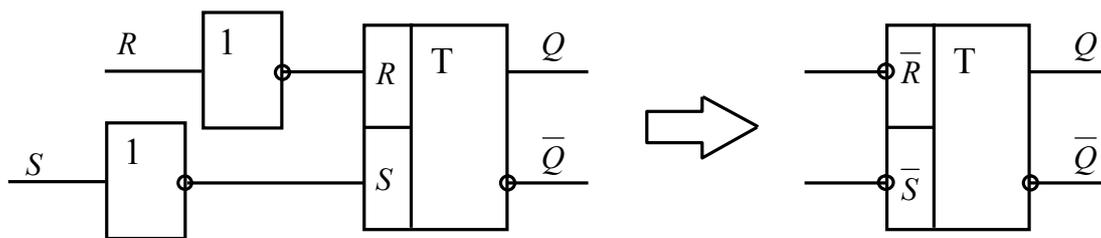


Рис. 5.3. RS-триггер с низким активным уровнем входных сигналов

В лабораторной работе №2 было отмечено, что логическое тождество не изменится, если все переменные инвертировать, а операции сложения и умножения поменять местами (Теорема де Моргана). Используя это правило, можно получить RS-триггер, построенный на элементах И-НЕ (рис.5.4) с таблицей состояний 5.3. Следует обратить внимание на то, что в RS-триггере на элементах И-НЕ входными сигналами активного уровня является 0 и используются переменные \bar{R} и \bar{S} .

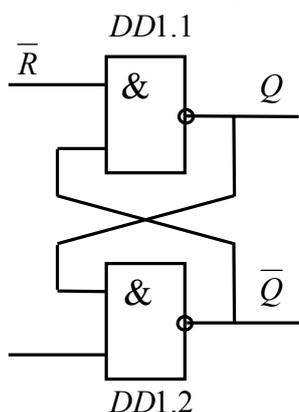


Рис. 5.4. RS-триггер на элементах И-НЕ

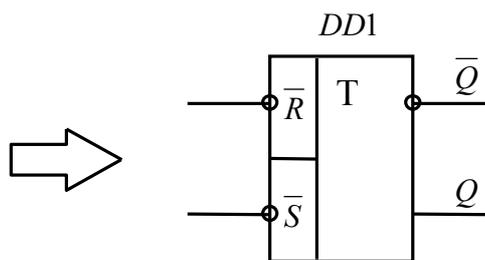


Рис. 5.5. Условное изображение RS-триггера на элементах И-НЕ

В данной лабораторной работе RS-триггер на элементах И-НЕ является основным, базовым.

Таблица 5.3

Состояния для RS-триггера на элементах И-НЕ

Режим работы	Входы		Выходы		
	\bar{S}	\bar{R}	Q	\bar{Q}	Влияние на выход Q
Запрещенное состояние	0	0	1	1	Запрещено – как правило не используется
Установка 1	0	1	1	0	Для установки Q в 1
Установка 0	1	0	0	1	Для установки Q в 0
Хранение	1	1	Q	\bar{Q}	Зависит от предыдущего состояния

Поскольку изменение состояния RS -триггера обусловлено появлением уровня логического 0 на одном из его входов, то, вероятно, более точным обозначением для этой схемы было бы условное графическое обозначение, приведенное на рис.5.5. Обратите внимание на инвертирующие окружности по входам R и S . Они показывают, что активным уровнем сигнала для изменения состояния триггера является уровень логического 0 на одном из входов.

При описании работы последовательных логических схем очень часто используют временные диаграммы сигналов. Временные диаграммы рис. 5.6. фактически содержат ту же информацию, что и таблица истинности.

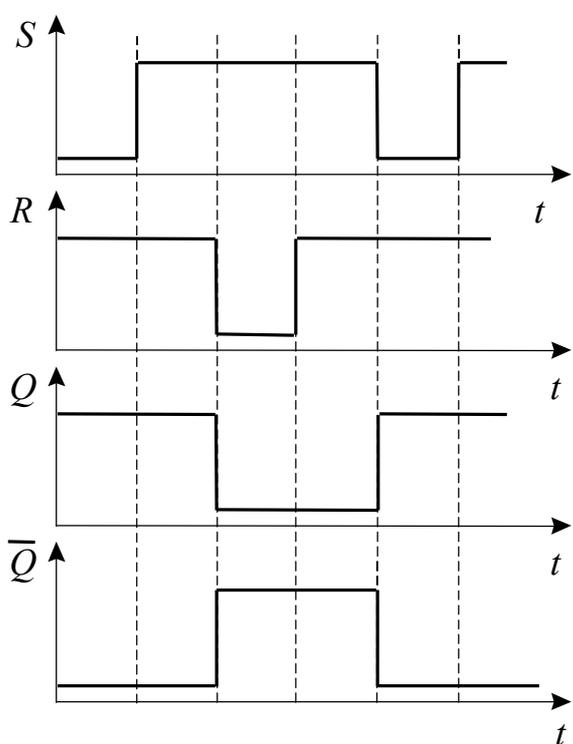


Рис. 5.6. Временные диаграммы для RS -триггера на элементах И-НЕ

При подаче входной комбинации $S = 0, R = 1$ на выходе Q независимо от предыдущего состояния появится 1, что приведет к появлению нуля на выходе \bar{Q} . При возвращении к комбинации $S = 1, R = 1$ состояние на выходах сохранится $Q = 1, \bar{Q} = 0$. Аналогично входная комбинация $S = 1, R = 0$ однозначно дает: $Q = 0$ и $\bar{Q} = 1$. Две последние комбинации входных сигналов могут быть использованы для приведения триггера в одно из двух устойчивых состояний.

В трех используемых комбинациях входных сигналов состояние на выходе Q всегда противоположно состоянию на выходе \bar{Q} . Принято

два устойчивых состояния триггера сопоставлять с двумя значениями логической переменной, например, состояние $Q = 1$, $\bar{Q} = 0$ считать соответствующим логической единице, а состояние $Q = 0$, $\bar{Q} = 1$ – соответствующим логическому нулю. Выход, на котором состояние совпадает со значением логической переменной, называют прямым, в нашем случае это выход Q , а другой – инверсным \bar{Q} .

5.3. Синхронизированные RS-триггеры

Синхронизированные триггеры получают из асинхронного RS-триггера путем подключения к его входам схемы управления. На рис.5.7 показана логическая структура синхронизированного RS-триггера со статическим управлением, выполненного на элементах И-НЕ. Он состоит из собственно RS-триггера (DD1.3, DD1.4) и элементов DD1.1 – DD1.2, образующих схему управления.

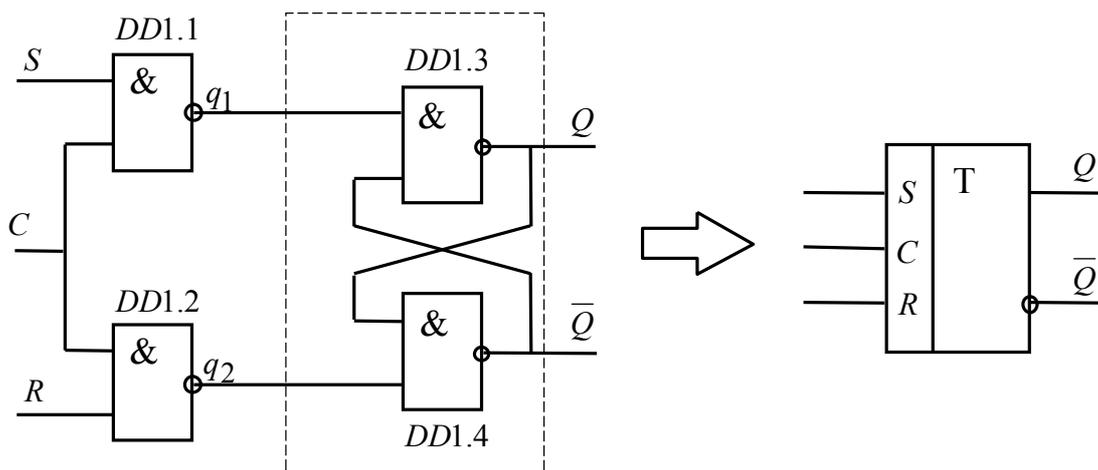


Рис. 5.7. Схема синхронизированного RS-триггера

Входы R и S – информационные, вход C – синхронизирующий (тактовый). Каждый из информационных входов связан с синхронизирующей операцией И-НЕ, поэтому информация с входов S и R может быть передана на собственно триггер (DD1.3, DD1.4) только при $C = 1$.

Временные диаграммы, иллюстрирующие работу синхронизированного RS-триггера, показаны на рис.5.8.

Внутренние сигналы (q_1 и q_2) управляют собственно RS-триггером, который, как и его асинхронный аналог на элементах И-НЕ (см. рис. 5.5) переключается сигналами нулевого уровня. Поскольку на элементах DD1.1 и DD1.2 происходит инверсия, то для записи

информации в триггер потребуются входные сигналы S и R , равные логической 1. Подключать тактовый вход C прямо к элементам $DD1.3$ и $DD1.4$ нельзя, поскольку триггер будет принимать неопределенное состояние при $C = 0$.

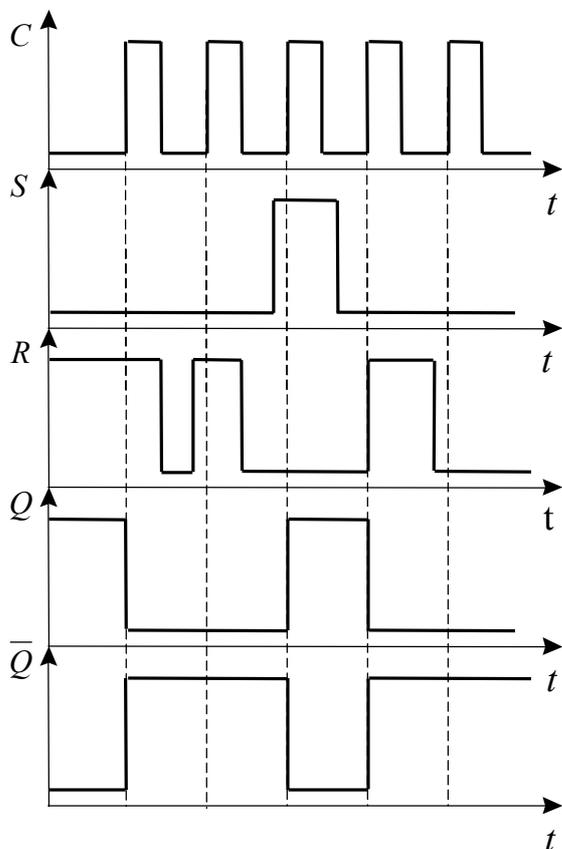


Рис. 5.8. Диаграммы напряжений формируются сигналы $\bar{Q} = 1$ и $Q = 0$.

С окончанием тактового импульса для RS-триггера снова возникает нейтральная комбинация, благодаря которой на выходах сохранится записанная информация.

Обратный переброс в состояние $Q = 1$ входным сигналом $S = 1$ произойдет аналогично.

Входная комбинация $S = R = 1$ недопустима, так как при $C = 1$ на промежуточных шинах возникает сочетание $q_1 = q_2 = 0$, которое создаст состояние на выходе RS-триггера $Q = \bar{Q} = 1$.

Если сигнал на входе $C = 0$, то входные элементы $DD1.1$ и $DD1.2$ заблокированы и их состояние не зависит от сигналов на информационных входах S и R , выходные сигналы q_1 и q_2 равны 1. Это является нейтральной комбинацией для RS-триггера, который хранит свое предыдущее состояние. Работу триггера рассмотрим на примере, допустим, что $Q = 1$, $R = 1$, а $S = 0$.

С приходом тактового импульса ($C = 1$) входные логические элементы $DD1.1$ и $DD1.2$ устанавливают на выходах q_1 и q_2 следующие сигналы $q_1 = 1$, $q_2 = 0$, отчего на выходах RS-триггера

5.4. JK-триггеры

JK-триггер является весьма распространенным, универсальным типом триггера. Условное графическое изображение простейшего JK-

триггера приведено на рис. 5.9. Он обычно имеет два информационных входа J и K , вход тактовых импульсов C , входы установки S и сброса R , а также комплиментарные выходы Q и \bar{Q} .

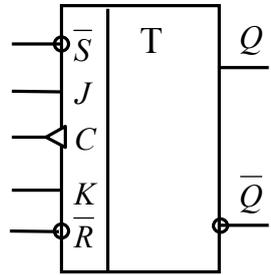


Рис. 5.9. Графическое изображение JK -триггера

Работу JK -триггера поясняют временные диаграммы (рис. 5.10).

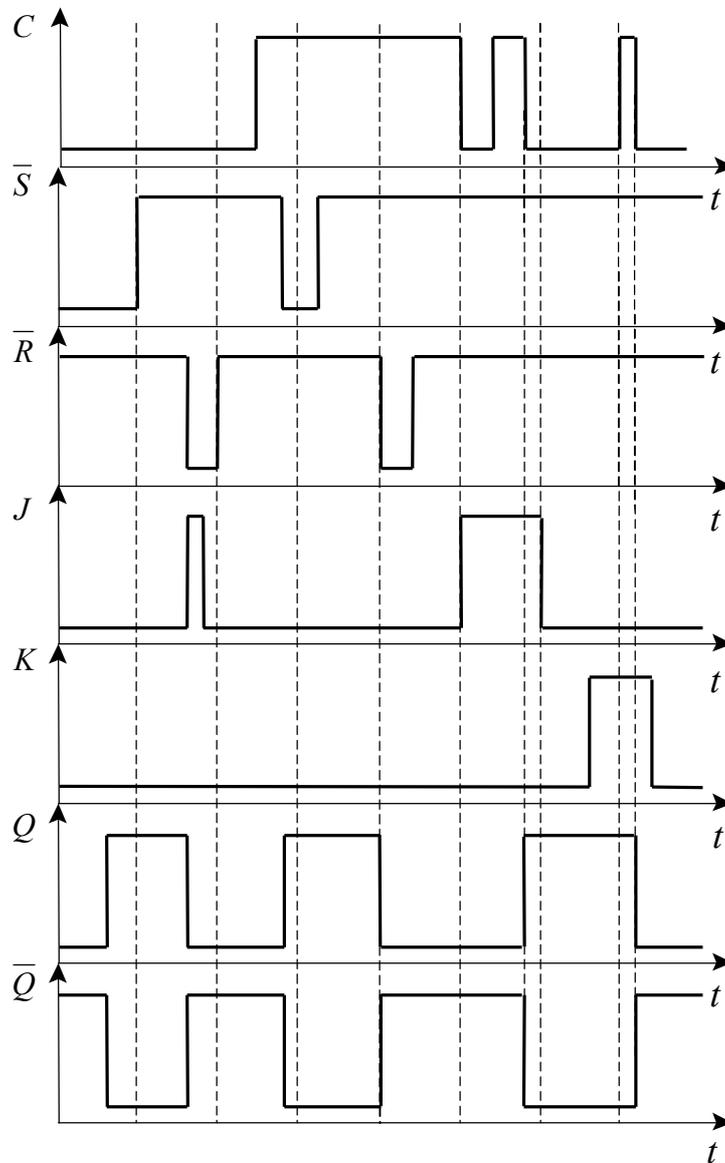


Рис. 5.10. Временные диаграммы

Как правило, JK -триггер реализуется на основе синхронного двухступенчатого RS -триггера структуры «мастер-помощник». Как следует из графического изображения триггера и временных диаграмм его работы, входы S и R с активным низким уровнем. Когда на один из этих входов подан сигнал низкого уровня, информация с входов C , J и K восприниматься не будет, то есть входы S и R имеют приоритет над остальными входами. Информация со входов J и K записывается в триггер в два приема фронтом и срезом положительного тактового импульса по входу C . Причем, фронтом импульса по входу C сигнал высокого уровня с J входа записывается сначала в синхронизированный RS -триггер «мастер», а срезом в синхронизированный RS -триггер «помощник», и сигнал высокого уровня появляется на выходе Q .

В ТТЛ логике характерным примером JK -триггера со структурой «мастер – помощник» (рис. 5.11) является микросхема К555ТВ1.

На рис.5.12 приведено условное графическое обозначение, а на рис. 5.13 – цоколевка микросхемы К555ТВ1. Входы установки S и сброса R имеют низкие логические уровни. У микросхемы есть три входа J ($J1 - J3$) и три входа K ($K1 - K3$), тактовый вход C и выходы Q и \bar{Q} .

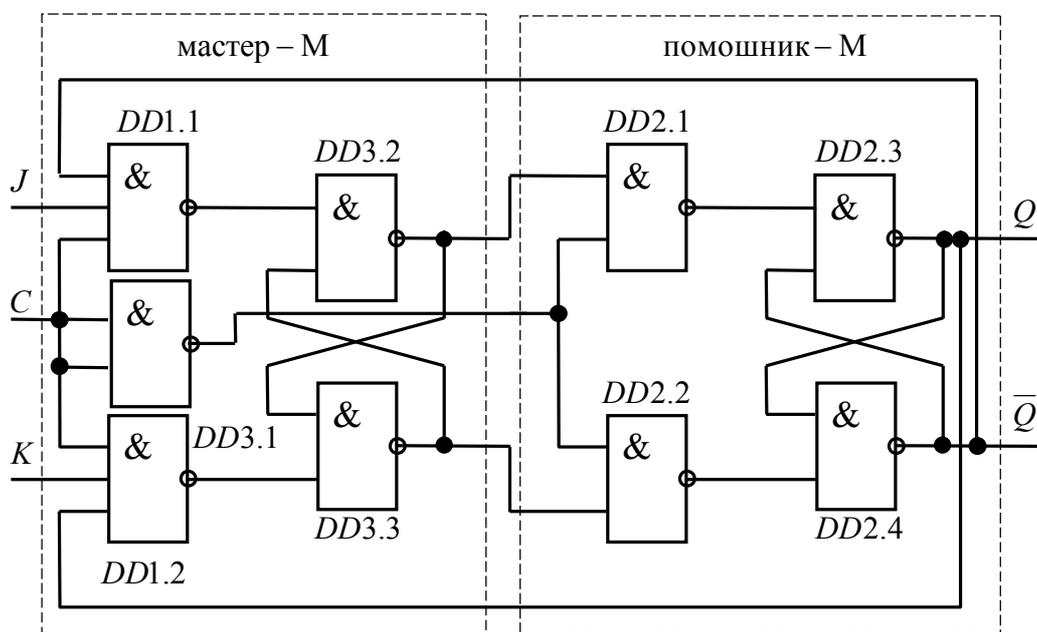


Рис. 5.11. Структурная схема микросхемы К555ТВ1

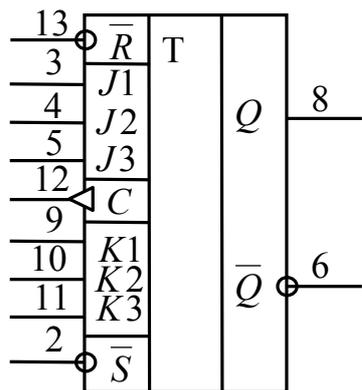


Рис.5.12. Графическое изображение микросхемы

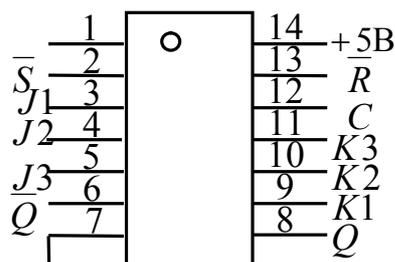


Рис. 5.13. Цоколевка микросхемы K555TB1

Входы S и R являются приоритетными. Нулевой сигнал на входе S устанавливает выход Q в единичное состояние вне зависимости от уровней сигналов на J , K и C входах. При $S = R = 1$ разрешается синхронное управление по J и K – входам. Вход J устанавливает на выходе Q сигнал, равный 1, а вход K сигнал, равный 0.

Управление состоянием JK -триггера происходит согласно табл.5.4.

Таблица 5.4

J	K	C	Q	\bar{Q}	Примечание
1	0		1	0	Запись единицы в JK -триггер
0	1		0	1	Запись нуля в JK -триггер
0	0		Q	Q	Триггер не меняет состояние
1	1		Q	Q	Триггер меняет состояние на инверсное

Состояние двухступенчатого триггера переключается фронтом и срезом положительного тактового импульса. JK -информация загружается в триггер «мастер» ($DD3.2 - DD3.3$), когда напряжение на входе C переходит на высокий уровень ($0 \rightarrow 1$) и переносится в триггер – «помощник» ($DD2.3 - DD2.4$) по отрицательному ($1 \rightarrow 0$) перепаду импульса на входе C .

Отличие JK -триггера от синхронизированного RS -триггера состоит в том, что отсутствуют запрещенные входные комбинации. При подаче на оба входа J и K сигнала, равного 1, триггер изменяет свое

состояние на противоположное (инверсное) по срезу сигнала на входе C .

Из схемы следует, что состояние JK -триггера зависит не только от сигналов на входах J и K , но и от логически связанных с ними сигналов с выходов Q и \bar{Q} . Наличие цепей обратной связи наряду с информационными входами J и K присуще всем JK -триггерам.

5.5. D -триггеры

Наиболее часто в цифровых интегральных микросхемах, а также в импульсных устройствах применяют триггеры с единственным входом данных D (DATA), так называемые D -триггеры.

D -триггеры, в отличие от рассмотренных ранее типов, имеют для установки выхода в состояние 1 или 0 один информационный вход D и вход C для синхронной записи.

Функциональная особенность этого типа триггеров состоит в том, что сигнал на входе Q после такта записи повторяет информацию на входе и запоминает это состояние до следующего такта записи.

Один из вариантов схемы D -триггера на элементах И-НЕ представлен на рис. 5.14, условное графическое изображение D -триггера приведено на рис. 5.15. Элементы $DD1.3$ и $DD1.4$ образуют ячейку памяти, а $DD1.1$ и $DD1.2$ схему управления.

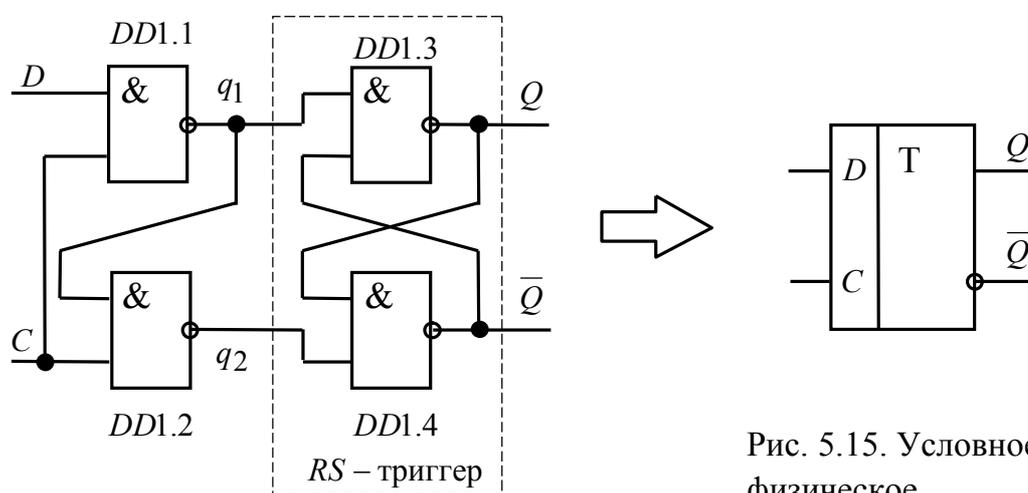


Рис.5.14. D -триггер на элементах И-НЕ

Рис. 5.15. Условное физическое D -триггера

При нулевом сигнале на входе C состояние триггера от изменения входного сигнала на входе D не зависит, т.к. логические элементы $DD1.1$ и $DD1.2$ закрыты и на их выходах установились сигналы высокого уровня независимо от сигнала на D -входе, что

служит нейтральной комбинацией для RS-триггера, выполненного на элементах $DD1.3$ и $DD1.4$. Изменение состояния D -триггера происходит только при высоком уровне сигнала на входе C , т.е. D -триггер записывает информацию со входа D на выход Q при положительном импульсе на входе C .

Так, например, в момент времени t_1 (рис.5.16) на входе C появляется сигнал, равный 1, а на входе D действует сигнал равный 0. Тогда на выходе элемента $DD1.1$ устанавливается сигнал равный 1. Так как на входы элемента $DD1.2$ поданы сигналы, равные 1, то на его выходе устанавливается сигнал равный нулю. Сигналы с выходов элементов $DD1.1$ и $DD1.2$ устанавливает RS-триггер, выполненный на элементах $DD1.3$ и $DD1.4$ в состояние, когда на выходе Q сигнал равен 0, а на выходе \bar{Q} равен 1.

Дальнейшая работа D -триггера становится понятной при рассмотрении диаграмм на рис. 5.16.

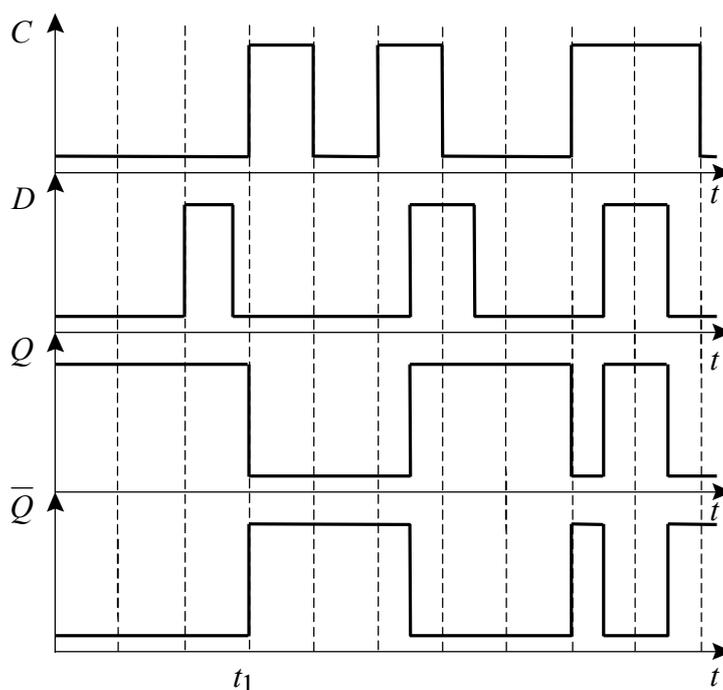


Рис. 5.16. Диаграммы напряжений, поясняющие работу D-триггера

Широко применяют D -триггеры с динамическим управлением (микросхема типа К555ТМ2). Выходной сигнал таких триггеров переключается только по положительному перепаду импульса на тактовом входе C . Условное графическое обозначение такого триггера приведено на рис. 5.17, цоколевка микросхемы К555ТМ2 – на рис. 5.18, а временные диаграммы, поясняющие его работу – на рис. 5.19.

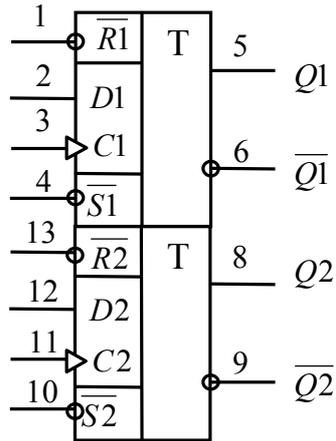


Рис.5.17. Условное графическое изображение динамического D -триггера (K555TM2)

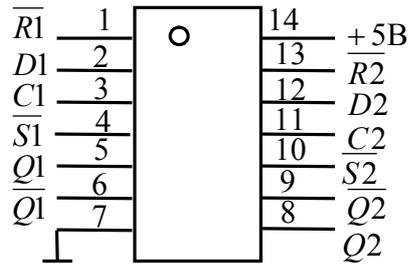


Рис.5.18. Цоколевка микросхемы K555TM2

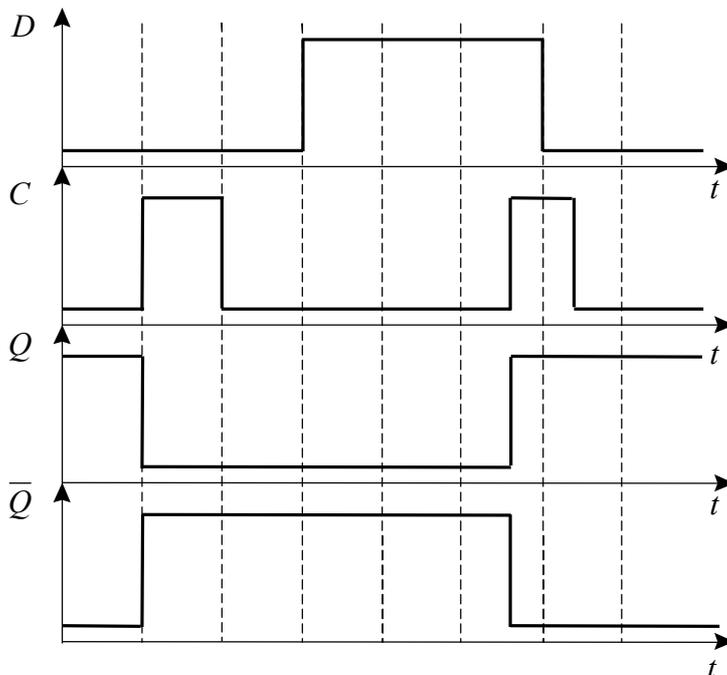


Рис.5.19. Диаграммы напряжений, поясняющие работу динамического D -триггера

Возможные состояния D -триггера на микросхеме K555TM2 сведены в табл. 5.5.

В тех случаях, когда запись информации в динамический D -триггер необходимо производить по заднему фронту (срезу импульса), D -триггер можно выполнить на базе JK -триггера, рис. 5.20. Для этого

потребуется дополнительный элемент – инвертор, который в схеме рис. 5.20 выполнен на элементе 2И-НЕ – микросхема *DD1*.

Таблица 5.5

Режим работы	Вход				Выход	
	\bar{S}	\bar{R}	C	D	Q	\bar{Q}
Асинхронная установка	0	1	x	x	1	0
Асинхронный сброс	1	0	x	x	0	1
Неопределенность	0	0	x	x	1	1
Установка 1	1	1	↑	1	1	0
Установка 0	1	1	↑	0	0	1

x – безразличное состояние.

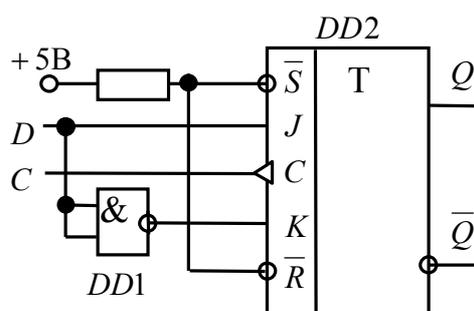


Рис. 5.20. Схема выполнения *D*-триггера на основе *JK*-триггера

5.6. *T*-триггеры

T-триггер или двоичный счетчик имеет один управляющий вход *T* и отличается простотой принципа действия. Смена состояний выходного сигнала на инверсное здесь происходит всякий раз, когда управляющий сигнал меняет свое значение в одном направлении. В зависимости от того, какой из фронтов входного сигнала используется для управления (от 0 до 1 или от 1 к 0), считается, что *T*-триггер имеет прямой или инверсный динамический вход.

По способу ввода информации *T*-триггеры могут быть асинхронными и синхронными.

T-триггер – вид триггера, текущее состояние которого определяется его же состоянием в предыдущем такте. На рис. 5.21 представлены временные диаграммы работы *T*-триггера.

Поскольку управление происходит по одному входу, T -триггеры неопределенных состояний не имеют.

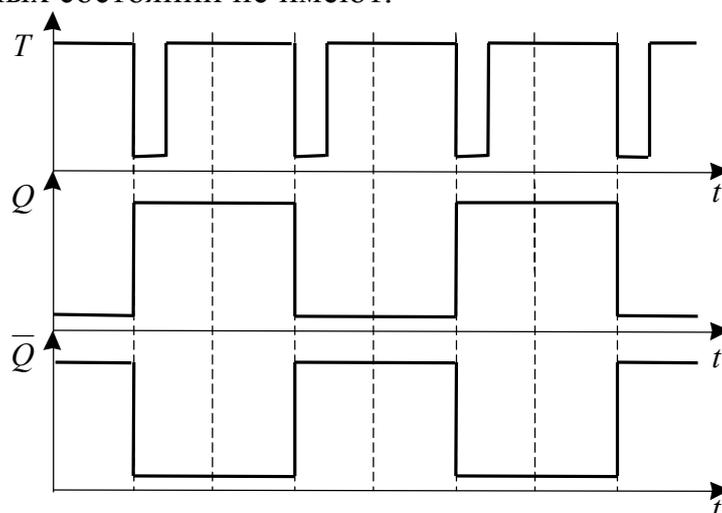


Рис. 5.21. Диаграммы напряжений, поясняющие работу T -триггера

В интегральном исполнении T -триггеры не производятся, т.к. легко выполняются на базе JK или D -триггеров путем определенных соединений внешних выводов. Общий принцип построения счетных триггеров состоит во введении обратной связи с выходов на входы так, чтобы обеспечить смену сигналов на информационных входах после каждого такта.

На рис.5.22 показана схема получения T -триггера из универсального JK -триггера (например, К555ТВ1). В асинхронном режиме тактовый вход исполняет роль счетного, в синхронном режиме используется по прямому назначению. В обоих случаях триггер переключается при переходе сигнала на входе C с 1 на 0.

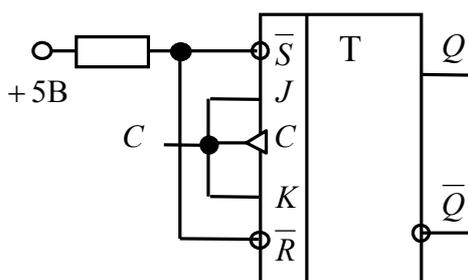


Рис. 5.22. Схема T -триггера на базе JK -триггера

На рис.5.23 показана схема получения T -триггера из D -триггера. Отличительной особенностью такого триггера является переключение по переднему фронту, то есть при переходе сигнала на входе C с 0 на 1.

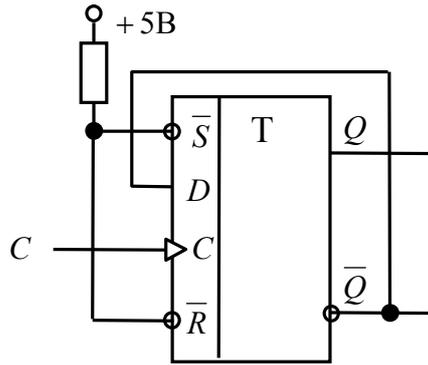


Рис.5.23. Схема преобразования T -триггера из D -триггера

5.7. Порядок выполнения работы на лабораторном стенде

5.7.1. Ознакомьтесь с описанием лабораторного стенда.

5.7.2. Убедитесь, что устройства, используемые в эксперименте, отключены от сети электропитания.

5.7.3. Соедините аппаратуру в соответствии со схемой электропитания.

5.7.4. Соберите схему тестирования RS -триггера на элементах И-НЕ (ИЛИ-НЕ) и убедитесь, что они функционируют в соответствии с их назначением. Вариант схемы тестирования RS -триггеров на наборном поле блока испытания цифровых устройств А1 приведен на рис. 5.24.

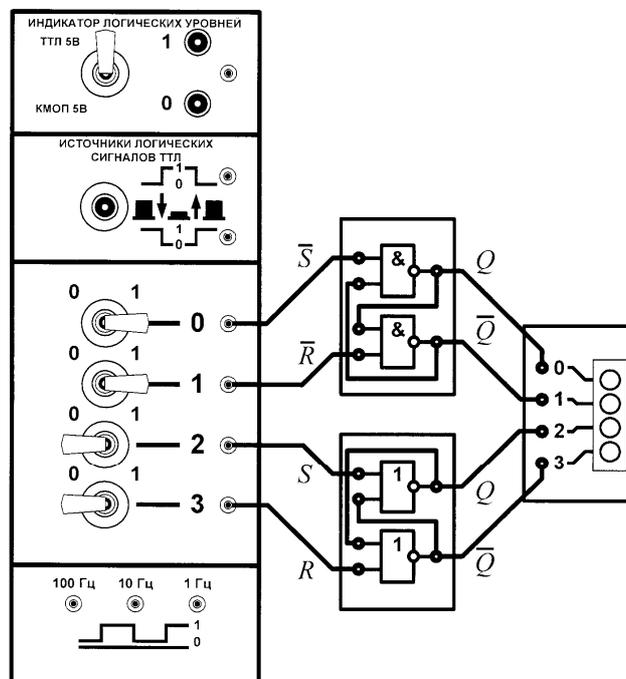


Рис.5.24. Схема тестирования RS -триггеров

Результаты исследований занесите в табл. 5.6.

Таблица 5.6

Режим работы	Теория				Эксперимент			
	S	R	Q	\bar{Q}	S	R	Q	\bar{Q}
Запрещенное состояние								
Установка 1								
Установка 0								
Хранение								

5.7.5. Соберите схему тестирования JK -триггера и убедитесь, что он функционирует в соответствии с его назначением. Вариант схемы тестирования JK -триггера на наборном поле блока испытания цифровых устройств А1 приведен на рис. 5.25.

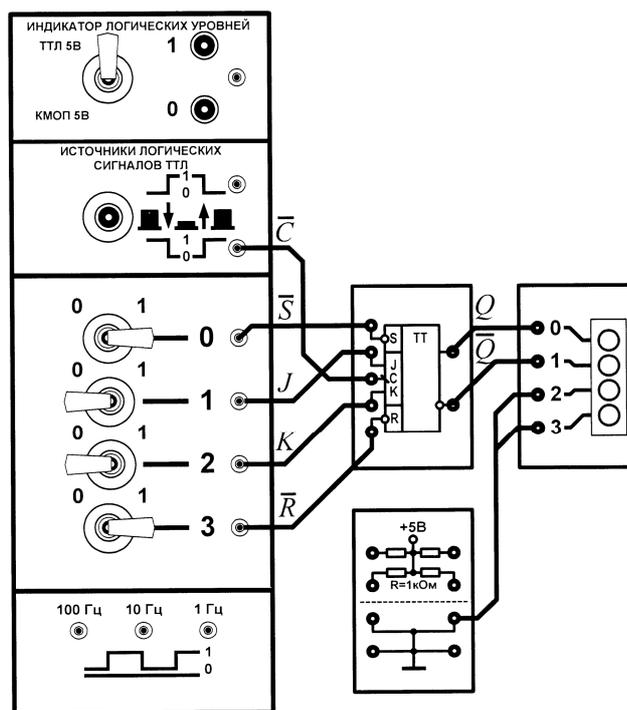


Рис. 5.25. Схема тестирования JK -триггера

Обнулите триггер. Последовательно подавая на входы J и K триггера различные комбинации сигналов в соответствии с табл. 5.4, убедитесь в соответствии состояния схемы назначению сигналов на ее входах и выходах. Результаты исследований занесите в таблицу.

5.7.6. Соберите схему тестирования D -триггера и убедитесь, что он функционирует в соответствии с его назначением. Вариант схемы тестирования D -триггера на наборном поле блока испытания цифровых устройств А1 приведен на рис. 5.26.

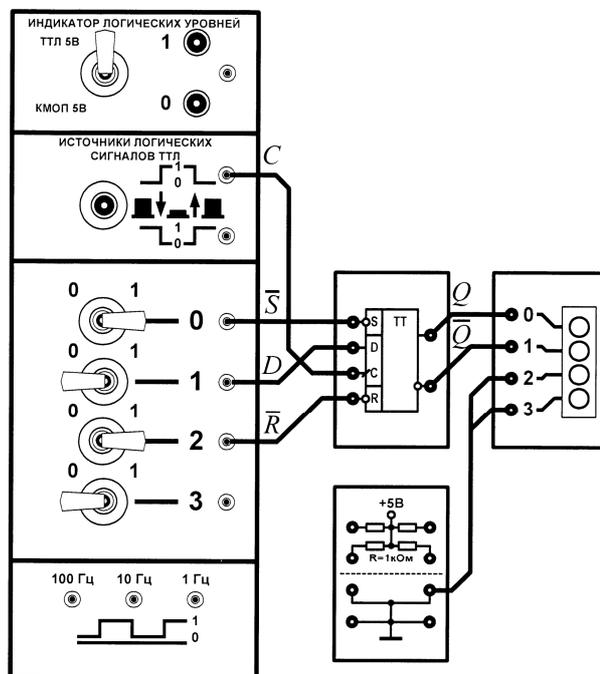


Рис. 5.26. Схема тестирования D -триггера

Обнулите триггер. Последовательно подавая на входы R , S , D и C триггера различные комбинации сигналов в соответствии с табл. 5.5, убедитесь в соответствии состояния схемы назначению сигналов на ее входах и выходах. Результаты исследований занесите в таблицу.

5.7.7. Соберите схему тестирования T -триггера, выполненного на JK - или D -триггерах и убедитесь, что они функционируют в соответствии с их назначениями. Вариант схемы тестирования T -триггера, выполненного на D -триггере на наборном поле блока испытания цифровых устройств А1 приведен на рис. 5.27.

Нажимая кнопку источника логических сигналов, убедитесь, что T -триггер меняет свое состояние с приходом очередного импульса, на счетный вход. Определите экспериментально фронт (или срез) импульса, по которому происходят переключения в схеме. Приведите диаграммы напряжений, поясняющие работу различных по исполнению T -триггеров.

Проведите так же исследования T -триггеров, используя цифровой осциллограф и генератор логических сигналов лабораторного стенда.

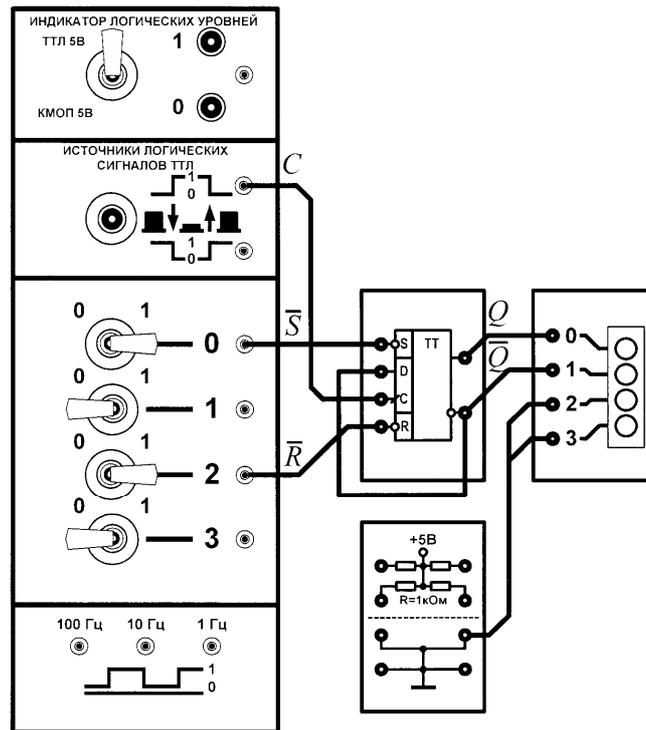


Рис. 5.27. Схема тестирования T -триггера, выполненного на D -триггере

Результаты исследования должны быть представлены в виде собранных схем, временных диаграмм, синхронизированных во времени и т.д.

При необходимости изменения исследуемой схемы отключите выключатель «СЕТЬ» блока испытания цифровых устройств А1, измените схему, включите выключатель «СЕТЬ».

5.7.8. По завершении работы отключите выключатель «СЕТЬ» блока испытания цифровых устройств А1 и автоматический выключатель в однофазном источнике питания С1.

5.8. Порядок выполнения работы в программной среде Electronics Workbench

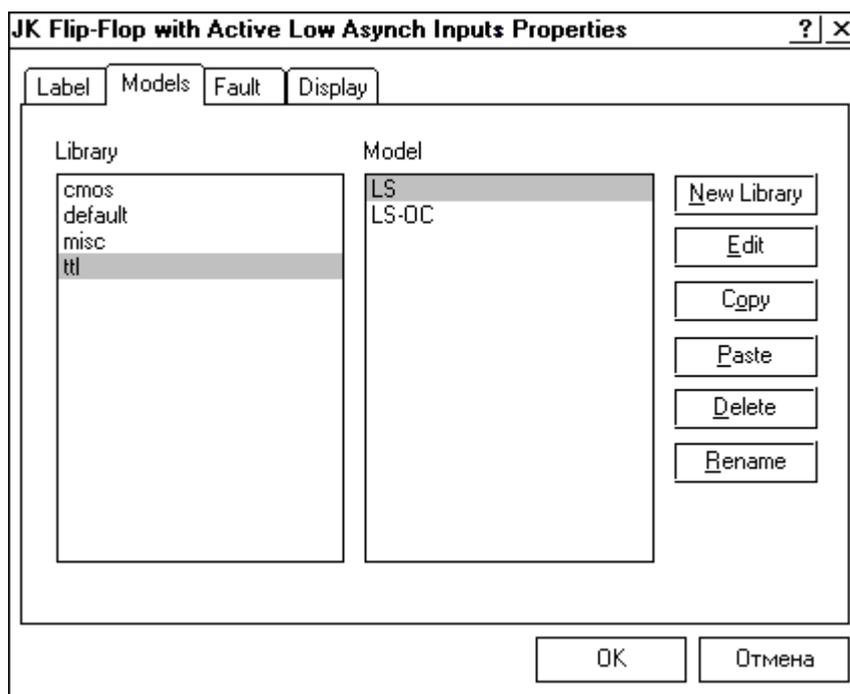
5.8.1. Ознакомьтесь с элементной базой и инструментальными средствами программы Electronics Workbench.

5.8.2. Изучите методические указания к лабораторной работе.

5.8.3. Произведите исследование триггера из библиотеки последовательностных элементов (по указанию преподавателя). Для этого вызовите библиотеку **Digital**. Установите курсор мыши на необходимый триггер и, нажав левую кнопку, перемещая мышью,

поставьте триггер на требуемое место наборного поля. Отпустите кнопку. Дважды щелкните по выделенному элементу. В появившемся диалоговом окне выберите элементы **t1l**, а затем – модель **LS**, щелкнув по ним левой клавишей. Нажмите кнопку **OK**.

5.8.4. Соберите схему для проведения испытаний, подключив к входам исследуемого триггера генератор двоичных слов. Подключите входы логического анализатора к входам и выходам триггера.

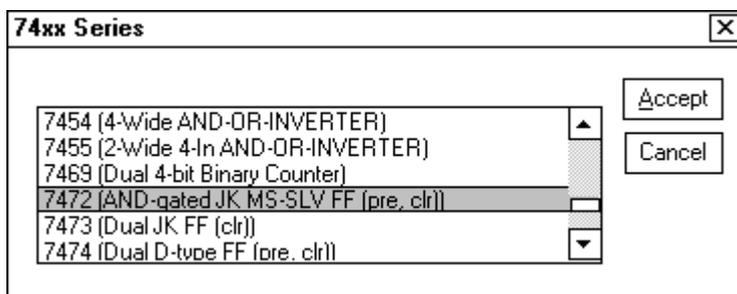


Раскройте лицевую панель логического анализатора (*двойной щелчок левой кнопкой мыши, курсор на темной верхней строке прибора*). Раскройте лицевую панель генератора слов. Сместите лицевые панели приборов на рабочем поле так, чтобы они были полностью видны.

Заполните генератор слов так, чтобы получились необходимые комбинации сигналов логического уровня. Установив режим работы STEP или CYCLE, проверьте работу схемы нажатием кнопок STEP или тумблера питания, соответственно.

Данные экспериментов выведите на лист бумаги с помощью принтера. При вызове команды **Print** в открывшемся окне появляется список атрибутов схемы и приборов, которые могут быть распечатаны. Выберите нужные Вам, так чтобы рядом появился символ ✓, а затем выполните команду **Print**.

5.8.5. Для работы с реальными микросхемами триггеров серии ТТЛ выберите из библиотеки Digital ICs серии 74xx необходимый триггер.



Соответствие наименований зарубежных и отечественных микросхем триггеров на элементах ТТЛ приведено в табл.5.7. Исследуйте триггер в соответствии с заданиями раздела 7.

Таблица 5.7

74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533	74, 74LS, 74S, 74F, 74ALS	K155, K555, K531, K1531, K1533
74SL72	K555TB1	74113	TB10
7474	TM2	74114	TB11
7475	TM7	74174	TM9
7477	TM5	74175	TM8
74107	TB6	74373	IP22
74109	TB15	74374	IP23
74112	TB9	74377	IP27

5.9. Содержание отчета

- 9.1. Цель работы.
- 9.2. Исследуемые схемы в соответствии со стандартами.
- 9.3. Таблицы, диаграммы напряжений, комментарии и пояснения к ним.
- 9.4. Выводы о проделанной работе.

5.10. Список литературы

- 5.10.1. Бойко В.И. и др. Схемотехника электронных систем. Цифровые устройства. – СПб.: БХВ – Петербург, 2004. – 496 с.
- 5.10.2. Калабеков Б.А. Цифровые устройства и микропроцессорные системы. – М.: Горячая линия – Телеком, 2002. – 336 с.
- 5.10.3. Титце У., Шенк К. Полупроводниковая схемотехника. – М.: Мир, 1982. – 512 с.