

Лабораторная работа №2

ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ СХЕМ

Цель работы: получить практические навыки при работе с логическими элементами микросхем транзисторно-транзисторной логики, а также навыки проектирования комбинационных логических схем.

2.1. Общие положения

В схемах управления устройствами и приборами на основе цифровых интегральных микросхем выполняются логические и функциональные схемы, формирующие программу работы устройств, их защиту, индикацию, тестирование и другие важные узлы, повышающие работоспособность системы.

Поэтому знание основ схемотехники и получение практических навыков работы с цифровыми интегральными микросхемами разной степени интеграции являются необходимым условием для специалистов в области автоматизации и приборостроения.

2.2. Основные логические функции и схемы

Сложные цифровые схемы строятся путем многократного повторения базовых логических схем. Инструментом такого построения служит булева алгебра, которая применительно к цифровой технике называется алгеброй логики. В отличие от переменной в обычной алгебре логическая переменная имеет только два значения, которые называются логическим нулем и логической единицей. Логический ноль и логическая единица обозначаются соответственно 0 и 1. В алгебре логики 0 и 1 не числа, а логические переменные.

В алгебре логики существуют три основных операции между логическими переменными: логическое умножение (конъюнкция), логическое сложение (дизъюнкция) и логическое отрицание (инверсия). По аналогии с алгеброй чисел в алгебре логики используют следующие обозначения операций:

логическое умножение $Y = X_1 \cdot X_2 = X_1 \wedge X_2;$

логическое сложение $Y = X_1 + X_2 = X_1 \vee X_2;$

логическое отрицание $Y = \bar{X}.$

В табл. 2.1 приведены основные законы и правила преобразования логических уравнений

Таблица 2.1

Закон или правило	Логическое умножение	Логическое сложение
1. Коммутативный закон	$X_1 \cdot X_2 = X_2 \cdot X_1$	$X_1 + X_2 = X_2 + X_1$
2. Ассоциативный закон	$X_1 \cdot (X_2 \cdot X_3) = (X_1 \cdot X_2) \cdot X_3$	$X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3$
3. Дистрибутивный закон	$X_1 \cdot (X_2 + X_3) = X_1 \cdot X_2 + X_1 \cdot X_3$	$X_1 + X_2 \cdot X_3 = (X_1 + X_2) \cdot (X_1 + X_3)$
4. Правило склеивания	$X_1 \cdot (X_1 + X_2) = X_1$	$X_1 + X_1 \cdot X_2 = X_1$
5. Правило повторения	$X \cdot X = X$	$X + X = X$
6. Правило отрицания	$X \times \bar{X} = 0$	$X + \bar{X} = 1$
7. Правило двойной инверсии	$\overline{\overline{X}} = X$	
8. Теорема де Моргана	$\overline{X_1 \times X_2} = \bar{X}_1 + \bar{X}_2$	$\overline{X_1 + X_2} = \bar{X}_1 \times \bar{X}_2$
9. Операции с 0 и 1	$X \cdot 1 = X$ $X \cdot 0 = 0$ $\bar{0} = 1$	$X + 0 = X$ $X + 1 = 1$ $\bar{1} = 0$

Многие из этих правил используются и в алгебре чисел. Однако правила склеивания и повторения для чисел несправедливы, а понятие «инверсия» для чисел не вводится. Сравнивая правила преобразования логических уравнений для логического умножения и сложения, следует обратить внимание на содержащуюся в них двойственность: если в любом из тождеств поменять местами логическое умножение со сложением и 0 с 1, то тождество сохранится.

Так как логические переменные принимают только два значения (0 и 1), число возможных вариантов их логического умножения или сложения также конечно. Найдем возможные результаты логического умножения и сложения функции двух переменных X_1 и X_2 , используя правила табл.2.1. Результаты сведем в табл. 2.2 и 2.3.

Из табл.2.2 следует, что Y только тогда равен 1, когда и X_1 , и X_2 равны 1. На этом основании операция логического умножения называется функцией И (&).

Таблица 2.2

Таблица истинности для логического умножения $Y = X_1 \cdot X_2$

X_1	X_2	Y
0	0	0
0	1	0
1	0	0
1	1	1

При логическом сложении двух переменных Y равен 1 только тогда, когда или X_1 , или X_2 , или оба вместе равны 1. Поэтому операцию логического сложения называют функцией ИЛИ (1). Возможные варианты для логического сложения приведены в табл. 2.3.

Таблица 2.3

Таблица истинности для логического сложения $Y = X_1 + X_2$

X_1	X_2	Y
0	0	0
0	1	1
1	0	1
1	1	1

Несколько реже на практике применяются схемы, реализующие логическую функцию ИСКЛЮЧАЮЩЕЕ ИЛИ. Булево выражение для логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ: $Y = X_1 \oplus X_2$. Символ \oplus (псевдоплюс) означает, что входы X_1 и X_2 связаны логической функцией ИСКЛЮЧАЮЩЕЕ ИЛИ. Значение функции ИСКЛЮЧАЮЩЕЕ ИЛИ для двух переменных сведены в табл. 2.4.

Таблица 2.4

Таблица истинности для логической функции ИСКЛЮЧАЮЩЕЕ ИЛИ $Y = X_1 \oplus X_2$

X_1	X_2	Y
0	0	0
0	1	1
1	0	1
1	1	0

Из табл. 2.4 следует, что Y только тогда равен 1, когда X_1 и X_2 не равны между собой. Поэтому функцию ИСКЛЮЧАЮЩЕЕ ИЛИ называют также функцией НЕРАВНОЗНАЧНОСТЬ.

Так как логические переменные принимают только два фиксированных значения, то математический аппарат алгебры логики используется для анализа и синтеза электрических схем, которые

находятся в двух легко различаемых рабочих состояниях. Таким элементом электрической схемы является ключ, изображенный на рис.2.1.

Примем, что состояние разомкнутого ключа соответствует логическому нулю, а замкнутого – логической единице. Таким образом, ключ реализует переменную $U_{\text{ИП}}$, если он замкнут, и переменную $\bar{U}_{\text{ИП}}$, если он разомкнут.

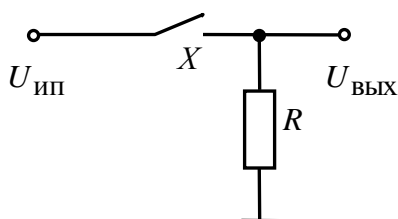


Рис. 2.1. Представление логической переменной в виде ключа

Два ключа, соединенных последовательно, как показано на рис. 2.2, реализуют функцию И.

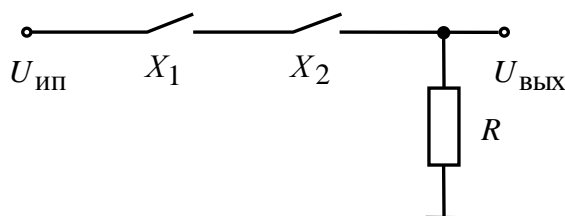


Рис. 2.2. Представление логической схемы И в виде двух ключей

Очевидно, что рассматриваемая цепь будет замкнута только тогда, когда ключи X_1 и X_2 замкнуты, т.е. если и $X_1 = 1$, и $X_2 = 1$. А выходная переменная будет определяться по выражению

$$U_{\text{ВЫХ}} = (X_1 \cdot X_2) \cdot U_{\text{ИП}}.$$

Функция ИЛИ может быть получена, если ключи включить параллельно.

При реализации сложных релейно-контакторных схем управления установками и функциональных узлов различного назначения алгебра логики применяется для минимизации схем.

Другой возможностью представления логических переменных является электрическое напряжение, имеющее два различных уровня: **высокий** (H – уровень) и **низкий** (L – уровень). Этим уровням можно поставить в соответствие состояния 1 и 0. Система обозначений (высокий уровень – 1, низкий – 0) называется позитивной логикой. Возможна

также и обратная система обозначений: высокий уровень – 0, низкий – 1, которая называется негативной логикой.

Сложные электронные схемы могут быть реализованы с помощью простых электронных схем. Эти схемы имеют один или несколько входов и один выход. Такие схемы называют логическими элементами.

Наряду с основными логическими элементами, реализующими функции И, ИЛИ, НЕ на практике большое распространение получили комбинационные элементы ИЛИ-НЕ и И-НЕ, которые образуются путем инверсии результатов, получаемых при выполнении функций ИЛИ и И соответственно.

Электронные схемы, реализующие функции ИЛИ-НЕ и И-НЕ являются базовыми для построения как основных, так и более сложных логических структур.

Для реализации одной и той же логической функции существует большое число электронных схем. Если они выполняют одну и ту же функцию, то обозначаются одинаково. Эти обозначения в соответствии с ГОСТ 2.702-75* представлены на рис. 2.3 – рис. 2.8.

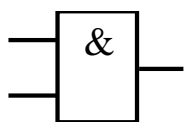


Рис.2.3. Схема И

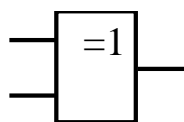


Рис.2.4. Схема ИСКЛЮЧАЮЩЕЕ ИЛИ

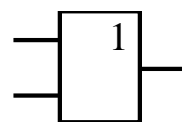


Рис.2.5. Схема ИЛИ

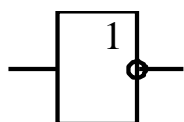


Рис.2.6. Схема НЕ

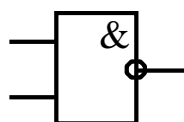


Рис.2.7. Схема И-НЕ

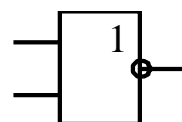


Рис.2.8. Схема ИЛИ-НЕ

Элементы, приведенные выше, могут также обозначаться символически, как показано на рис. 2.9 – 2.14.

Электронные схемы, выполняющие одну и ту же логическую функцию, но собранные на различных элементах, отличаются по потребляемой мощности, напряжению питания, значениям высокого и низкого уровней выходного напряжения, времени задержки распространения сигнала и нагрузочной способности.

Чтобы правильно выбрать тип схемы, необходимо знать их внутреннюю структуру.

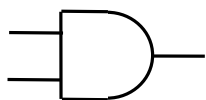


Рис. 2.9. Символ логического элемента И

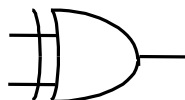


Рис. 2.10. Символ логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ

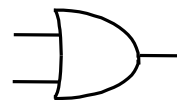


Рис. 2.11. Символ логического элемента ИЛИ

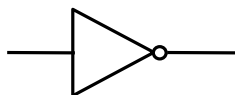


Рис. 2.12. Символ логического элемента НЕ

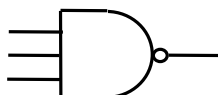


Рис. 2.13. Символ логического элемента И-НЕ

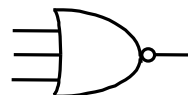


Рис. 2.14. Символ логического элемента ИЛИ-НЕ

Количество входных выводов будет определять название элемента – 3И, 3ИЛИ-НЕ, 8ИЛИ-НЕ и т.д.

2.3. Комплементарные МОП-структуры

Комплементарные МОП-структуры представляют собой в настоящее время наиболее распространенное семейство логических элементов.

Работу логического элемента на МОП-структуре рассмотрим на примере инвертора, схема которого приведена на рис.2.15.

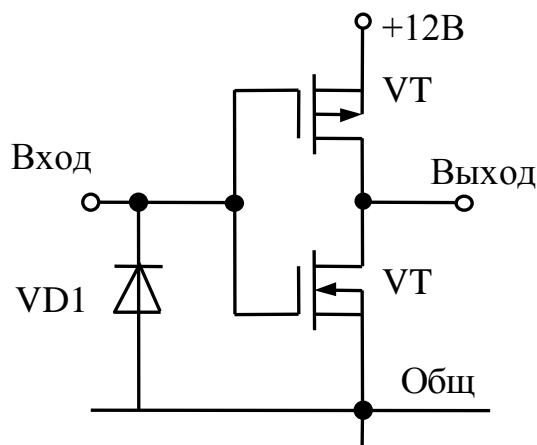


Рис. 2.15. Принципиальная схема КМОП-инвертора

Инвертор содержит два комплементарных (дополняющих) транзистора $VT1$, $VT2$ и диода $VD1$, защищающего схему от отрицательных входных сигналов. Схема работает следующим образом. Если на входе инвертора действует напряжение логического нуля, то

транзистор $VT1$, имеющий p -канал, полностью открыт, поскольку его затвор при этом соединен с общим проводом и поэтому на него подается напряжение отпирающей полярности относительно истока, соединенного с плюсом источника питания. Транзистор $VT2$, имеющий n -канал, закрыт, вследствие чего напряжение на выходе инвертора максимально и соответствует напряжению логической единицы.

Когда на вход схемы подается положительное напряжение логической единицы, то транзистор $VT1$ закрывается, а транзистор $VT2$ полностью открывается, вследствие чего напряжение на выходе становится нулевым, то есть его логический уровень низкий.

Возможные состояния работы микросхемы сведены в табл. 2.5.

Таблица 2.5

$U_{\text{ВХ}}$	$U_{\text{ВЫХ}}$
0	1
1	0

Особенностью КМОП микросхем является то, что если вход схемы не подключен к источнику сигнала, то это соответствует высокому входному логическому уровню.

2.4. Транзисторно-транзисторная логика

Интегральные микросхемы транзисторно-транзисторной логики (ТТЛ) получили широкое распространение благодаря сравнительно высокому быстродействию и надежности, технологичности изготовления, функциональной полноте серии ТТЛ элементов.

Основной элемент ТТЛ представлен на рис.2.16. Вход интегральной схемы (ИС) представляет собой многоэмиттерный транзистор $VT1$. Отдельно такие транзисторы не выпускаются, а используются только в интегральных схемах.

Если на входы 1 и 2 ИС подан высокий уровень напряжения $U_{\text{ВХ}}^1$ (рис.2.17), то ток, проходящий через резистор $R1$ по открытому в прямом направлении переходу база-коллектор транзистора $VT1$, течет и через базу транзистора $VT2$, открывая его. Ток эмиттера транзистора $VT2$ открывает по базовым цепям транзисторы $VT3$ и $VT5$.

При этом базовый ток транзистора $VT5$ поддерживается на таком уровне, что транзистор остается в открытом состоянии даже при больших значениях выходного тока (10mA–15mA). Выходное напряжение ИС в этом режиме работы составляет 0,1–0,4 В.

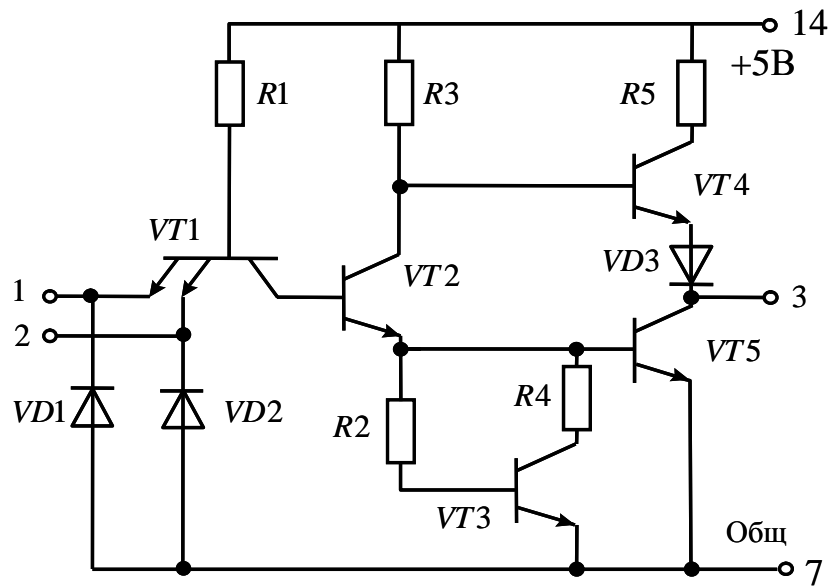


Рис. 2.16. Принципиальная схема основного элемента интегральной схемы транзисторно-транзисторной логики

Если хотя бы на один вход многоэмиттерного транзистора $VT1$ подан низкий уровень напряжения $U_{ВХ}^0$ (рис. 2.18), то соответствующий переход база – эмиттер открывается и отбирает базовый ток транзистора $VT2$, который при этом закрывается. Это приводит к выключению транзисторов $VT3$ и $VT5$. Тогда открывается транзистор $VT4$, ток базы которого протекает через резистор $R3$. Открытый транзистор $VT4$ подключает к выходу схемы источник питания. Выходной потенциал микросхемы в этом случае высокий и для серии 155, например, не менее 2,4В. Транзистор $VT4$ с нагрузкой R_H образует эмиттерный повторитель, благодаря чему выход ИС является низкоомным и обладает высокой нагрузочной способностью.

Сведем возможные состояния ИС рис.2.16. в табл. 2.6.

Таблица 2.6

$U_{ВХ1}$	$U_{ВХ2}$	$U_{ВЫХ}$
0	0	1
0	1	1
1	0	1
1	1	0

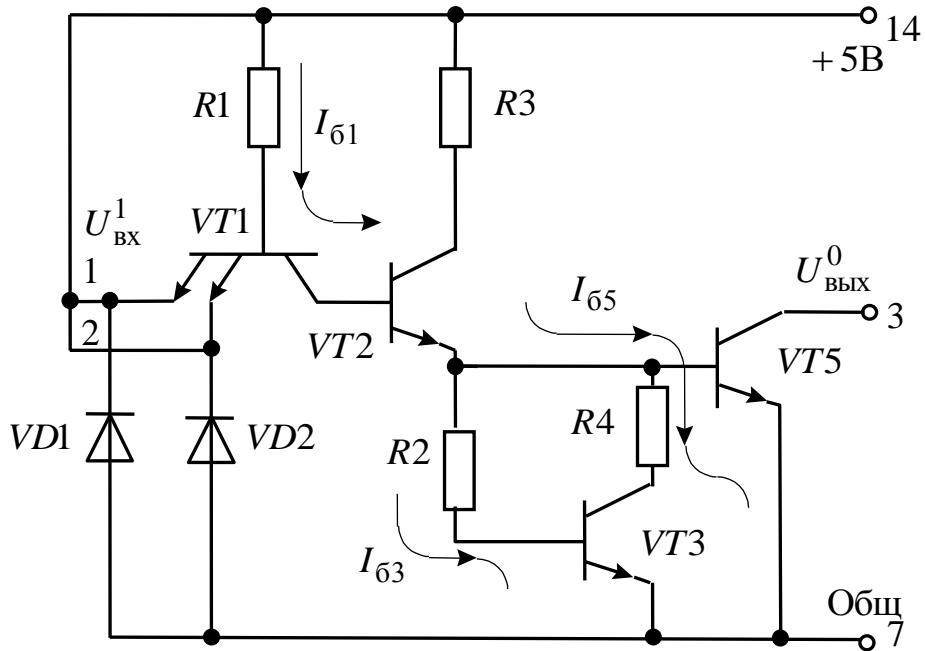


Рис. 2.17. Распределение токов и напряжений при высоком входном логическом уровне

Анализ состояний базового элемента ИС ТТЛ показывает, что он выполняет логическую функцию И-НЕ положительной логики.

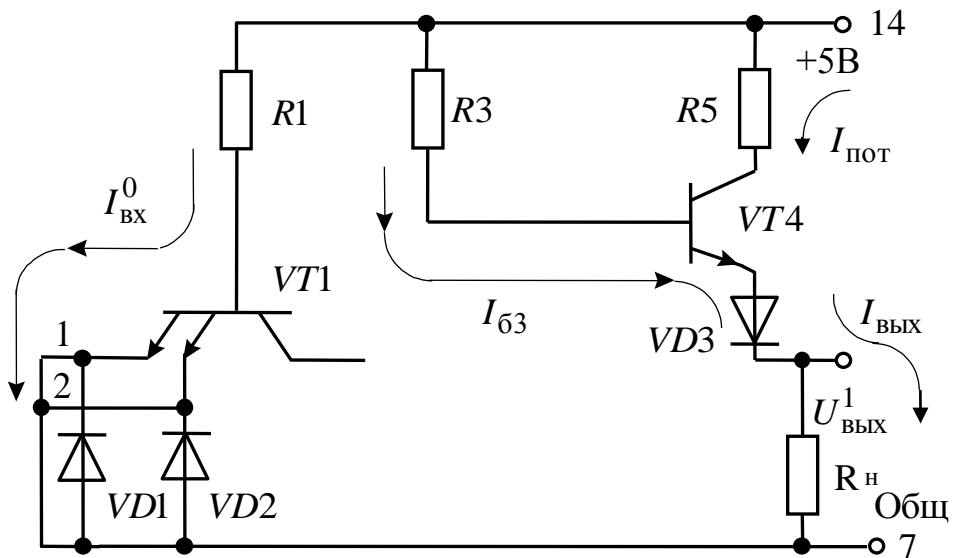


Рис. 2.18. Распределение токов и напряжений при низком входном логическом уровне

Большим недостатком схемы ТТЛ является то, что в момент ее переключения на короткое время открываются оба транзистора и VT_4 , и VT_5 (рис. 2.16.). В этом случае потребление тока микросхемой ограничивается только защитным резистором R_5 . Импульс тока момента переключения вызывает высокочастотные помехи на шине питания.

Поэтому правила эксплуатации рекомендуют микросхему шунтировать по цепи питания высокочастотным керамическим конденсатором развязки с емкостью 0,1 мкФ и более.

Передаточная характеристика ИС ТТЛ приведена на рис.2.19. Как следует из рисунка, низкий уровень выходного напряжения ИС не равен нулю, а высокий – меньше напряжения питания микросхемы (5В). ИС обладает усилительными свойствами с коэффициентом передачи около 10.

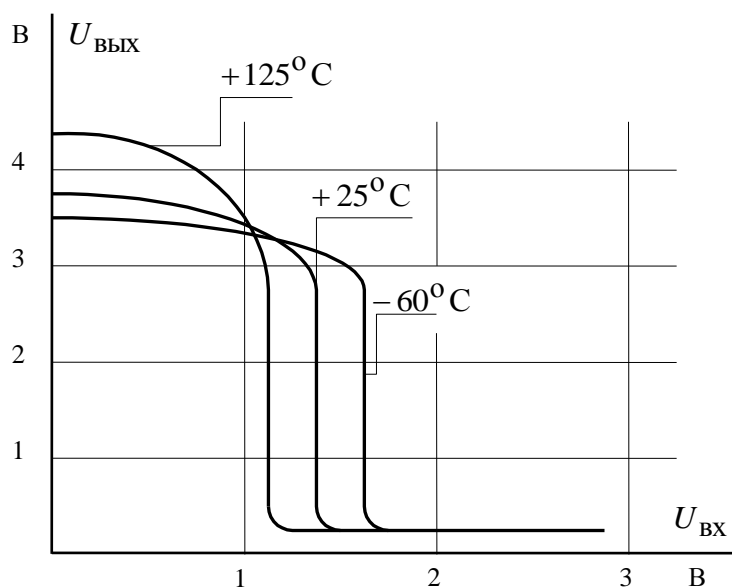


Рис.2.19. Передаточные характеристики схемы ТТЛ для различных температур

Входной и выходной импульсы простейшего логического элемента И-НЕ (НЕ) интегральной схемы ТТЛ показаны во времени на рис.2.20. Как следует из рисунка, выходной импульс $U_{\text{ВЫХ}}$ несколько задержан относительно входного $U_{\text{ВХ}}$. Для элементов ТТЛ времена задержки распространения при включении $t_{\text{зд.р}}^{1.0}$ и при выключении $t_{\text{зд.р}}^{0.1}$ определяются глубиной насыщения, в которое попадают при переключении импульсные транзисторы и емкостью входной и выходной цепей соединительных проводников микросхемы. Так влияние входной емкости определяется следующим образом: входной сигнал уже окончился, но выходной еще не нарастает (рис.2.20), поскольку необходимо время для стекания избыточного заряда во входной цепи. Собственные времена задержек логических элементов ИС серии 155

составляют: $t_{зд.р}^{1.0} < 15\text{нс}$, $t_{зд.р}^{0.1} < 22\text{нс}$ и приводятся в паспортах данных микросхем.

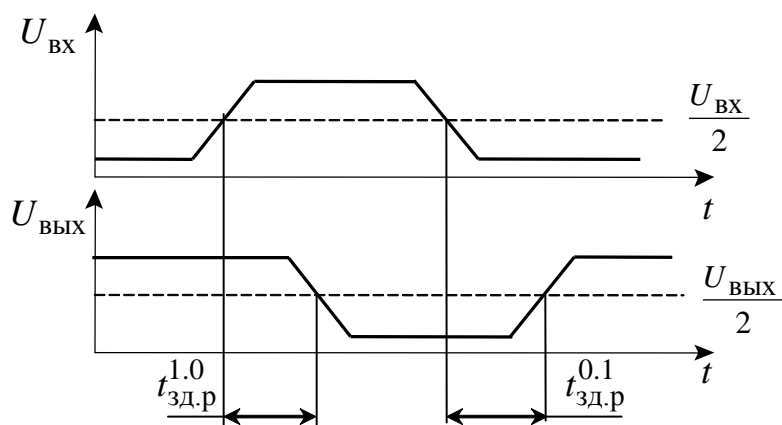


Рис. 2.20. Входной и выходной импульс схемы ТТЛ

Промышленность выпускает интегральные схемы в пластмассовых, керамических или металлокерамических корпусах. Один из вариантов корпуса ИС приведен на рис. 2.21. С одной из сторон корпуса микросхемы нанесен ключ, от которого против хода часовой стрелки отсчитываются номера выводов.

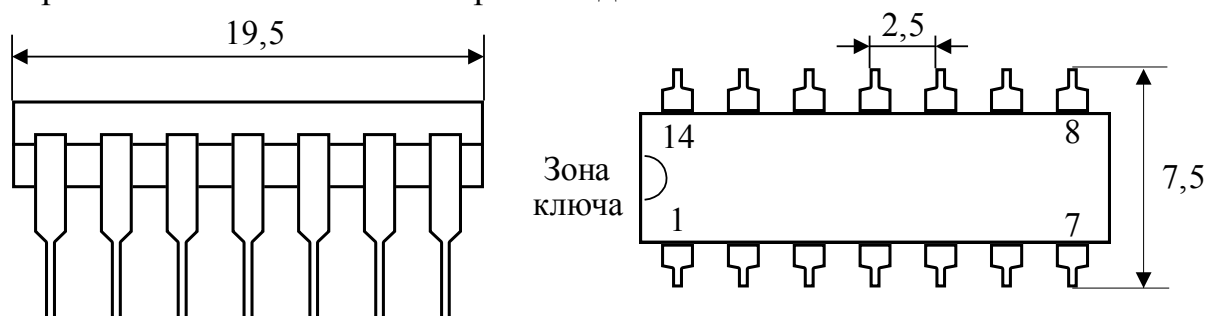


Рис. 2.21. Вариант исполнения корпуса интегральной схемы

1.5. Синтез цифрового автомата

Произвести синтез цифрового автомата. Составить принципиальную схему цифрового автомата, соответствующую таблице истинности. Упростить схему цифрового автомата в соответствии с правилами преобразования логических схем. Составить цифровой автомат на элементах ТТЛ или КМОП логики. Привести диаграммы выходных и входных сигналов логической схемы. Исследовать упрощенную схему цифрового автомата в программной среде Electronics Workbench. Варианты заданий приведены в Приложении 1.

Составим таблицу истинности работы цифрового автомата (табл. 2.7).

Таблица 2.7

Строка	Входы			Выходы	
	X_1	X_2	X_3	$Y_{\text{ВЫХ}}$	$\bar{Y}_{\text{ВЫХ}}$
1	0	0	0	0	1
2	0	0	1	0	1
3	0	1	0	0	1
4	0	1	1	1	0
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	0	1
8	1	1	1	1	0

Для нахождения аналитического выражения логической функции, которая соответствовала бы этой таблице, рекомендуется следующий порядок действий:

1. В таблице выделяют строки, в которых выходная переменная $Y_{\text{ВЫХ}}$ имеет значение 1.

2. Для каждой строки таблицы составляют конъюнкцию – логическое умножение всех выходных переменных, причем записывают сомножитель X_i , если рассматриваемая переменная равна 1, в противном случае записывают \bar{X}_i . Таким образом, составляется столько уравнений, сколько имеется строк с $Y_{\text{ВЫХ}} = 1$.

3. Записывая логическую сумму всех найденных произведений, получают искомую функцию в дизъюнктивной форме.

В соответствии с табл. 2.7 в строках 1, 4, 8 функция $Y_{\text{ВЫХ}} = 1$. Логическое умножение для каждой из строк дает следующие зависимости:

$$\text{строка 4} \quad Y_4 = \bar{X}_1 \cdot X_2 \cdot X_3.$$

$$\text{строка 6} \quad Y_6 = X_1 \cdot \bar{X}_2 \cdot X_3;$$

$$\text{строка 8} \quad Y_8 = X_1 \cdot X_2 \cdot X_3;$$

Искомая функция записывается в виде логической суммы:

$$Y = Y_4 + Y_6 + Y_8$$

или

$$Y = \bar{X}_1 \cdot X_2 \cdot X_3 + X_1 \cdot \bar{X}_2 \cdot X_3 + X_1 \cdot X_2 \cdot X_3.$$

Логическая схема, которая соответствует этой функции, приведена на рис. 2.22.

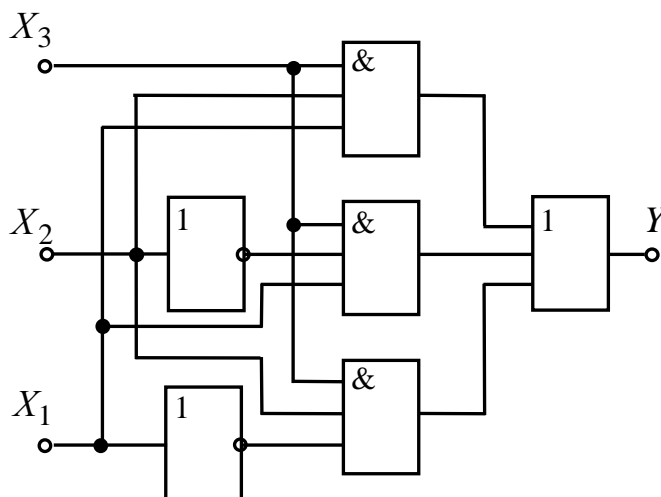


Рис. 2.22. Логическая схема

Схема содержит 6 логических элементов. Упростить схему можно, предварительно преобразовав выражение для Y в соответствии с правилами алгебры логики. Основные правила алгебры логики приведены в табл. 2.1.

В соответствии с дистрибутивным законом для логического умножения:

$$Y = X_3 \cdot \{X_1 \cdot (X_2 + \bar{X}_2) + \bar{X}_1 \cdot X_2\}$$

Дальнейшее упрощение возможно с учетом правила отрицания:

$$Y = X_3 \cdot \{X_1 + \bar{X}_1 \cdot X_2\}$$

Применив дистрибутивный закон для логического сложения, получим:

$$Y = X_3 \cdot \{X_1 + \bar{X}_1\} \cdot \{X_1 + X_2\}$$

Еще раз, применив правило отрицания, будем иметь:

$$Y = X_3 \cdot \{X_1 + X_2\}$$

Логическая схема, построенная по последнему выражению, приведена на рис. 2.23. Схема содержит всего 2 элемента и реализует функцию ИЛИ-И.

Если в таблице истинности в столбце выходной переменной стоит больше единиц, чем нулей, то с целью упрощения преобразований вместо Y рассматривают инвертированную переменную \bar{Y} . Для этой переменной единиц меньше, чем нулей. Для переменной \bar{Y} вычисляют логическую функцию, в которую входит уже меньшее число произведений, после чего ее упрощают. Найденную таким образом функцию инвертируют, получая при этом искомое логическое выражение для Y . В связи с этим

заменяют операцию (+) на (\times) и наоборот, а все переменные (каждые в отдельности) инвертируют.

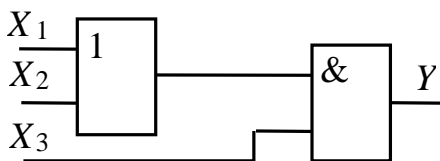
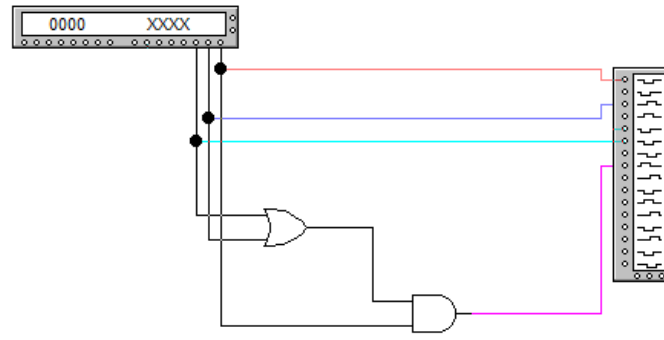


Рис. 2. 23. Упрощенная логическая схема

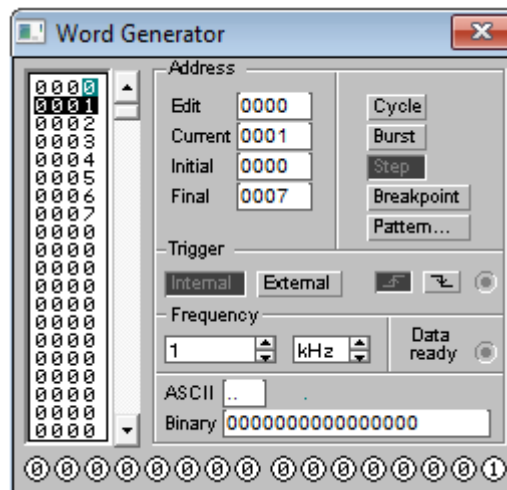
По принципиальной схеме рис.2.23 с помощью программы Electronics Workbench была построена модель цифрового автомата (рис.2.24, а) и проведена проверка его работы. Анализ диаграмм (рис.2.24, в) показал, что выходной сигнал принимает значение высокого уровня 1 при входных значениях: $X_1 = 1, X_2 = 1, X_3 = 1$; $X_1 = 1, X_2 = 0, X_3 = 1$; $X_1 = 0, X_2 = 1, X_3 = 1$. Таким образом можно сделать вывод, что схема рис. 2.23 является упрощенным вариантом схемы рис. 2.22 и работает в соответствии с табл. 2.7. В третьем такте выходного сигнала появился кратковременный сигнал высокого логического уровня. Это является существенным недостатком схемы, не позволяющим использовать ее на практике.

1.6. Построение логических схем на микросхемах ТТЛ

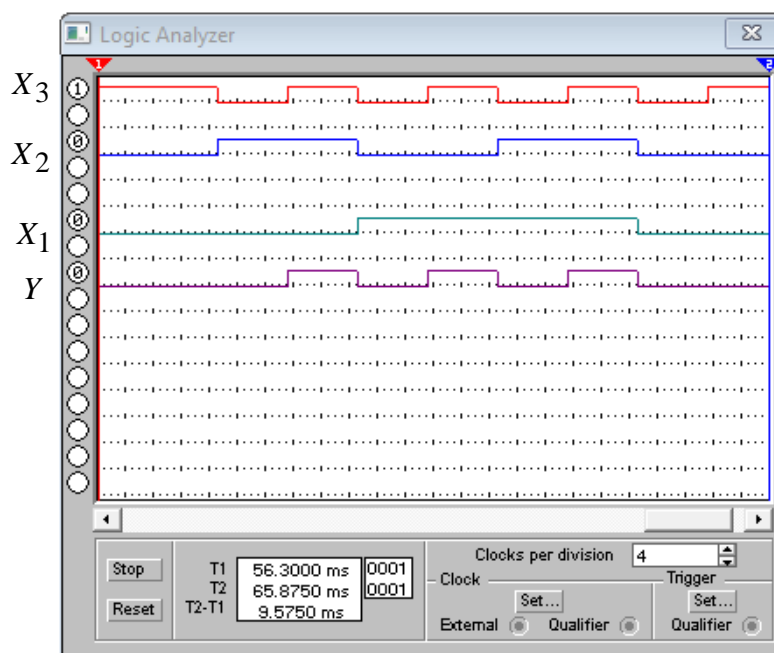
Выпускаемые промышленностью микросхемы, выполняющие логические функции, различаются по числу элементов в корпусе и по числу входов каждого из них. Промышленность выпускает одноходовые (шесть элементов в корпусе), двухходовые (четыре элемента в корпусе), трехходовые (три элемента в корпусе), четырехходовые (два элемента в корпусе) и восьмивходовые (один элемент в корпусе) интегральные схемы ТТЛ. Не всегда все входы элемента микросхемы удается использовать при построении логических схем.



а)



б)



в)

Рис. 2.24. Электронное моделирование логической схемы 2И-ИЛИ:
а – модель электрической схемы;
б – генератор слов;
в – логический анализатор входных и выходных сигналов.

В этом случае неиспользуемые входы можно включать следующим способом:

- оставлять свободными, если это не влияет на выполнение основной логической функции. Однако при этом снижается помехоустойчивость функционирования, но это самый простой метод с точки зрения монтажа;

- подсоединять к шинам питания (+5В) или (Общ.), обеспечив выполнение основной логической функции. Если на шине питания (+5В) действует импульсные помехи, то для увеличения помехоустойчивости неиспользованные входы подсоединяются через резисторы (1 кОм–5 кОм);

- замыкать с используемыми. В этом случае динамические параметры элемента ИС не ухудшаются, но предыдущая ИС нагружается сильнее и возрастает потребляемый ток.

Логическую функцию $Y = X_3 \cdot \{X_1 + X_2\}$ практически можно реализовать только на тех функциональных элементах, которые входят в состав используемой серии. Отметим, что среди простых комбинационных микросхем ТТЛ преобладают приборы с логикой НЕ, И-НЕ, кИ-мИЛИ-НЕ, где k и m – число входов схемы И и ИЛИ одного функционального элемента. Количество микросхем, выполняющих логические операции И, ИЛИ без инверсии, существенно меньше.

При построении логических схем на серийных микросхемах следует стремиться к тому, чтобы наиболее полно использовать элементы, входящие в микросхему. Так, необоснованное увеличение числа корпусов микросхемы приводит к возрастанию потребляемой мощности (тока) и стоимости устройства.

Состав микросхем, используемых при выполнении лабораторной работы и их цоколевка, приведены в Приложении 1.

Если логическую схему (рис. 2.23), выполняющую логическую функцию $Y = X_3 \cdot \{X_1 + X_2\}$, использовать как принципиальную, то для ее реализации потребуется две микросхемы типов К555ЛЛ1 и К555ЛИ1. Причем в обеих микросхемах по 3 элемента не используются.

Следовательно, для наиболее оптимальной практической реализации полученная логическая функция требует дальнейших преобразований:

$$Y = X_3 \cdot (X_1 + X_2) = \overline{\overline{X_3 \cdot X_1 + X_3 \cdot X_2}}$$

Полученную функцию можно выполнить на микросхеме типа К555ЛР11 либо на зарубежном аналоге 74LS51 (рис. 2.25).

Элемент DD1.1 реализует логическую функцию 2И-2ИЛИ-НЕ и позволяет на выходе получить инверсное значение искомой функции $Y = \overline{X_3 \cdot X_1 + X_3 \cdot X_2}$.

Элемент DD1.2 – инвертор, собранный на втором элементе 3И-2ИЛИ-НЕ микросхемы К555ЛР11. На первом входе схемы ИЛИ, представляющем схему И на три входа (выводы 12, 13, 1), искусственно формируется логический 0 путем подключения выводов 12, 13, 1 к шине питания с нулевым (низким) уровнем напряжения. На второй вход схемы ИЛИ, представляющий также схему И на три входа (выводы 9, 10, 11) подается сигнал искомой логической функции в инверсном виде \bar{Y} . Выводы 9, 10, 11 микросхемы соединяются между собой. Элемент DD1.2 при такой коммутации входов выполняет инвертирование в соответствии с логическими преобразованиями:

$$Y = \overline{\bar{Y} \cdot \bar{Y} \cdot \bar{Y} + 0 \cdot 0 \cdot 0} = \overline{\bar{Y} + 0} = Y.$$

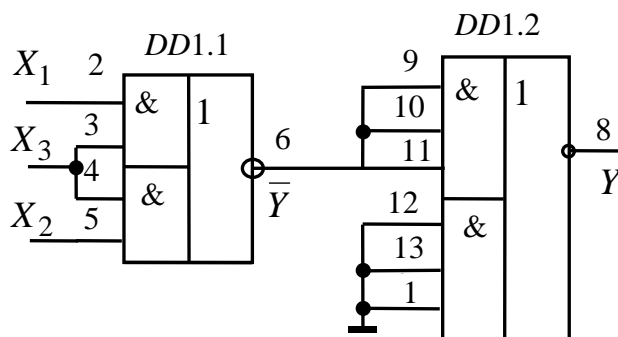


Рис. 2.25. Принципиальная схема цифрового автомата

2.7. Порядок выполнения работы

2.7.1. В соответствии с вариантом по табл.2.10 составить, а затем собрать схему последовательного соединения двух логических элементов в EWB. Получить таблицу истинности и осциллограммы. записать логическое выражение.

Таблица 2.10

№ варианта	Соединение схем	№ варианта	Соединение схем
1	НЕ, И	11	Исключающее ИЛИ, И
2	НЕ, ИЛИ	12	Исключающее ИЛИ-НЕ, ИЛИ
3	И, ИЛИ	13	Исключающее ИЛИ, ИЛИ
4	ИЛИ, И	14	Исключающее ИЛИ-НЕ, И-НЕ
5	И, ИЛИ-НЕ	15	И-НЕ, И
6	И-НЕ, ИЛИ	16	И, Исключающее ИЛИ-НЕ
7	ИЛИ-НЕ, И	17	ИЛИ-НЕ, ИЛИ-НЕ
8	И, И	18	ИЛИ, И
9	НЕ, Исключающее ИЛИ	19	НЕ, ИЛИ
10	НЕ, ИЛИ-НЕ	20	ИЛИ, ИЛИ

2.7.2. В соответствии с вариантом по табл.2.11 исследовать логические элементы в программе EWB (п.2.8).

Таблица 2.11

№ варианта	Логические элементы	№ варианта	Логические элементы
1	Исключающее ИЛИ, И, ИЛИ	11	НЕ, ИЛИ, ИЛИ-НЕ
2	НЕ, ИЛИ-НЕ, И-НЕ	12	Исключающее ИЛИ, И-НЕ, ИЛИ
3	Исключающее ИЛИ, ИЛИ-НЕ, И-НЕ	13	Исключающее ИЛИ, И-НЕ, ИЛИ
4	НЕ, ИЛИ, Исключающее ИЛИ-НЕ	14	НЕ, ИЛИ-НЕ, Исключающее ИЛИ-НЕ
5	Исключающее ИЛИ, И, НЕ	15	НЕ, ИЛИ, И
6	НЕ, ИЛИ, И-НЕ	16	И-НЕ, И, ИЛИ
7	И-НЕ, ИЛИ, ИЛИ-НЕ	17	Исключающее ИЛИ-НЕ, И, НЕ
8	Исключающее ИЛИ-НЕ, И-НЕ, НЕ	18	ИЛИ-НЕ, И, И-НЕ
9	ИЛИ, И, ИЛИ-НЕ	19	И, ИЛИ-НЕ, Исключающее ИЛИ-НЕ
10	И-НЕ, ИЛИ, ИЛИ-НЕ	20	Исключающее ИЛИ, ИЛИ, ИЛИ-НЕ

Номер варианта определяется по последним двум цифрам номера зачетной книжки. Если образуемое ими число больше 20, то из него следует вычесть число 20. Например, если номер зачетной книжки Д-11Г10/12, то номер варианта задания равен 12. Если номер зачетной книжки Д-3Б10/26, то номер варианта задания равен 6.

2.8. Порядок выполнения работы в программной среде Electronics Workbench

2.8.1. Ознакомиться с элементной базой и инструментальными средствами программы Electronics Workbench.

2.8.2. Исследовать работу логического элемента резистивно-транзисторной логики. Установить соответствие логической функции логического элемента состоянию сигналов на ее входах и выходе.

Для этого соберите схему, используя необходимые элементы из библиотеки *Logic Gates* (на панели управления). Установите курсор мыши на необходимый элемент схемы и, нажав левую кнопку, перемещая мышью, установите элемент на требуемое место экрана. Отпустите кнопку.

Соединения между элементами выполнить в следующей последовательности:

- нажать левую кнопку мыши;
- установить курсор на вывод одного из элементов (соединение с выводом элемента курсора покажет появившаяся ладонь вместо стрелки и черная точка в месте соединения);
- не отпуская левую кнопку, протянуть провод мышью до клеммы другого элемента, после чего отпустить кнопку. Проводник соединит элементы, изгибаясь под прямым углом.

Подключите к входам схемы генератор слов *Word Generator* (библиотека *Instruments*). Раскройте панель генератора слов (дважды щелкнув левой клавишей мыши) и задайте комбинации входных логических сигналов (рис. 2.24, б), организуйте цикл, указав начальный (**Initial**) и конечный (**Final**) адреса.

Подайте входные и выходной сигналы на логический анализатор *Logic Analyzer* (библиотека *Instruments*).

После сборки схемы и задания всех параметров элементов схемы и испытательных приборов исследуйте соответствие работы схемы ее назначению.

Включение схемы в работу осуществляется нажатием кнопки **ПУСК** (правый верхний угол).

Выбрав режим работы **STEP** или **CYCLE**, проверьте работу схемы нажатием кнопок **STEP** или кнопки **ПУСК**, соответственно.

2.9. Содержание отчета

- 9.1. Цель работы.
- 9.2. Краткие теоретические сведения.
- 9.3. Исследуемые схемы в соответствии со стандартами, их уравнения и таблицы состояний.
- 9.4. Экспериментальные исследования (модель, генератор слов, логический анализатор).
- 9.5. Выводы о проделанной работе и полученных результатах.

2.10. Задания для самопроверки

Выполняя задания, проверьте, хорошо ли Вы усвоили изложенный материал, ответив на вопросы:

- 10.1. Запишите логическое выражение для элемента И с тремя входами; для элемента ИЛИ с четырьмя входами.
- 10.2. Если на все входы схемы (рис. 2.3) поданы логические сигналы высокого уровня, то какого уровня сигнал появится на выходе?
А для схемы рис. 2.6, рис. 2.7?
- 10.3. Что означает окружность на выводе в условном графическом изображении логического элемента?
- 10.4. Запишите логическое выражение, описывающее действие инвертора.
- 10.5. Если на входе схемы (рис. 2.5) подан сигнал низкого уровня, то сигнал какого уровня установится на выходе?
- 10.6. Какую логическую операцию необходимо совершить над 0, чтобы получить 1?
- 10.7. Нарисуйте схему многоэмиттерного транзистора.
- 10.8. Для питания ИС ТТЛ используется источник постоянного или переменного напряжения?
- 10.9. На какой вывод простых комбинационных ИС серии 555 подключается положительный вывод источника питания?
- 10.10. Как найти 4 вывод микросхемы 555 серии?
- 10.11. Что обозначают символы $\&$, 1, \bigoplus , \rightarrow , $=1$ на условных графических обозначениях микросхемы?
- 10.12. Как понимаются обозначения на корпусах микросхем: К555ЛА2, К155ЛИ1, К1533ЛН2, К531ЛР3.
- 10.11. Если на выводы 4 и 5 микросхемы рис. П3 подан высокий уровень напряжения, то сигнал, какого уровня снимается с выхода?
- 10.12. Чем объясняется запаздывание в передаче импульса элементом ИС ТТЛ – серии?
- 10.13. Чему равно напряжение низкого логического уровня для схем ТТЛ?
- 10.14. Как понимается L – уровень сигнала?
- 10.15. Чему равно напряжение высокого логического уровня для схем ТТЛ?

10.16. Если на все входы схемы рис. 2.4 поданы логические сигналы высокого уровня, то какого уровня сигнал появится на выходе?

2.11. Список литературы

11.1. Бойко В.И. и др. Схемотехника электронных систем. Цифровые устройства. – СПб.: БХВ – Петербург, 2004. – 496 с

11.2. Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство. Пер. с нем. – М.: Мир, 1982. – 512 с., ил.

11.3. Хоровиц П., Хилл У. Искусство схемотехники. – В 3-х томах: Т.1. Пер. с англ. – 4е изд. Перераб и доп. – М.: Мир. 1993. – 413 с., ил.

11.4. Шило В. Л. Популярные цифровые микросхемы: Справочник. – М.: Металлургия, 1988. – 352 с.: ил.

11.5. Цифровая и вычислительная техника: Учебник для вузов / Э.В. Евреинов, Ю.Т. Бутыльский, И.А. Мамзев и др./ под ред. Э.В. Евреинова.– М.: Радио и связь, 1991.– 464 с.: ил.

Приложение 1

Строка	Параметры			Выходное напряжение $Y_{\text{ВЫХ}}$ (№ варианта)									
	X_1	X_2	X_3	1	2	3	4	5	6	7	8	9	10
1	0	0	0	0	0	1	0	0	0	0	0	0	0
2	1	0	0	1	1	0	0	0	0	1	0	0	0
3	0	1	0	0	0	1	1	0	0	1	1	1	0
4	1	1	0	0	0	0	0	1	0	1	0	1	1
5	0	0	1	0	1	1	1	0	1	0	0	0	0
6	1	0	1	1	1	0	0	1	0	0	0	0	0
7	0	1	1	0	0	0	1	0	1	0	1	0	1
8	1	1	1	1	0	0	0	1	1	0	1	1	1
Строка	Параметры			Выходное напряжение $Y_{\text{ВЫХ}}$ (№ варианта)									
	X_1	X_2	X_3	11	12	13	14	15	16	17	18	19	20
1	0	0	0	1	0	0	0	1	0	0	1	1	0
2	1	0	0	1	1	0	0	0	0	0	1	0	1
3	0	1	0	0	0	0	1	1	0	0	1	0	0
4	1	1	0	0	1	0	1	1	0	0	0	0	1
5	0	0	1	0	0	1	0	0	1	0	0	1	0
6	1	0	1	1	1	1	0	0	1	1	0	1	0
7	0	1	1	0	0	0	1	0	1	1	0	0	0
8	1	1	1	0	0	1	0	0	0	1	0	0	1

Примеры микросхем логических элементов ТТЛ

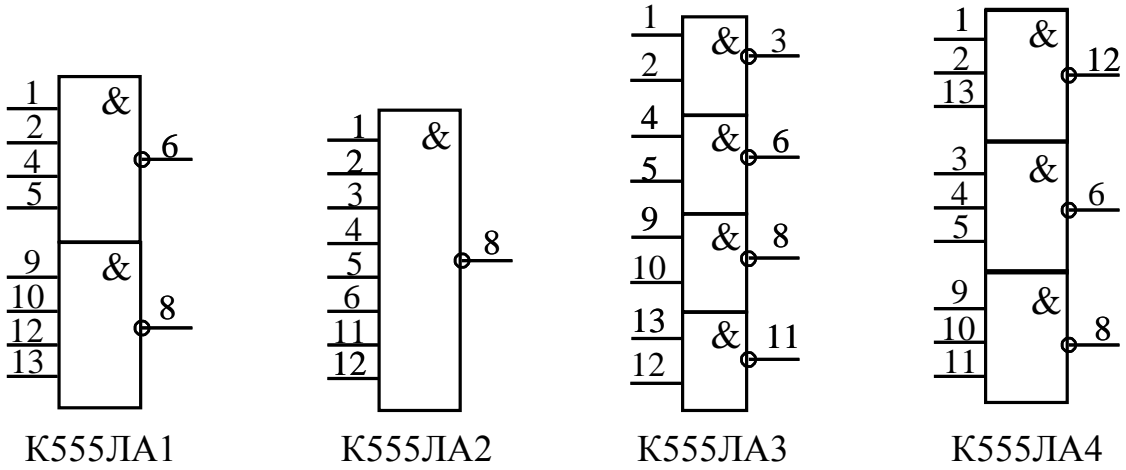


Рис.1. Микросхемы И-НЕ

K555ЛН1

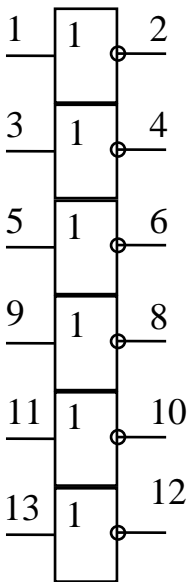


Рис. 2.
Микросхемы НЕ

K555ЛИ1

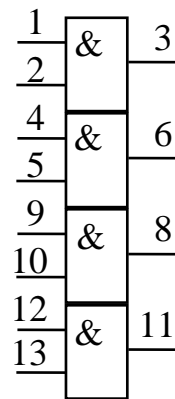


Рис. 3.
Микросхемы И

K555ЛП5

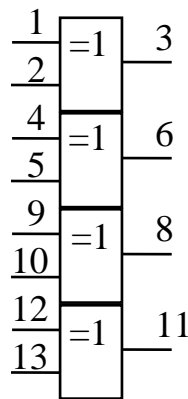


Рис. 4.
Микросхемы
ИСКЛЮЧАЮЩЕЕ
- ИЛИ

K555ЛЕ1

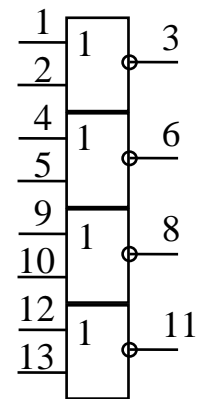


Рис. 5.
Микросхемы
ИЛИ - НЕ

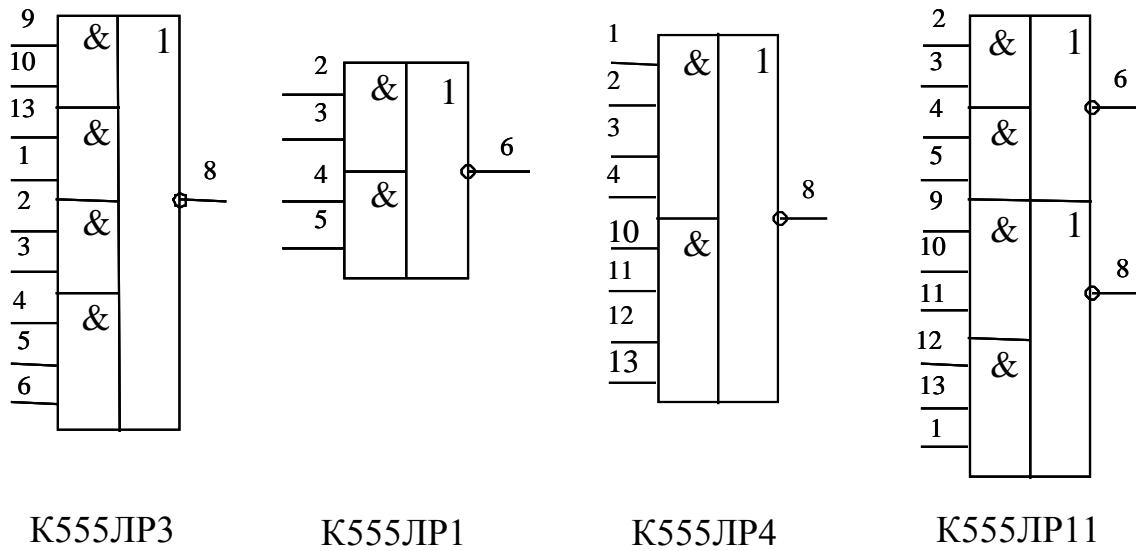


Рис. 6. Микросхемы И–ИЛИ–НЕ

Приложение 3

Динамические параметры микросхем ТТЛ логики

Серия ТТЛ		Параметр						
Отечественная	Зарубежная	$P_{\text{ср}}$, мВ	$t_{\text{зд.р}}^{0,1}$, нс	$t_{\text{зд.р}}^{1,0}$, нс	$I_{\text{вх}}^0$, мА	$I_{\text{вх}}^1$, мА	$I_{\text{вых}}^0$, мА	$I_{\text{вых}}^1$, мА
К155	74	10	20	14	1,6	0,04	16	0,4
К555	74LS	2	18	12	0,4	0,02	8	0,4
К1533	74ALS	1,2	14	10	0,2	0,01	8	0,4

Соответствие наименований зарубежных и отечественных
логических элементов микросхем ТТЛ

74 , 74LS, 74S, 74F, 74ALS	К155, К555, К531 К1531, К1533	74 , 74LS, 74S, 74F, 74ALS	К155, К555, К531 К1531, К1533
NAND	И-НЕ	NOT	НЕ
74LS00	К555ЛА3	74ALS04	К1533ЛН1
7401	ЛА8	7405	ЛН2
7403	ЛА9	7406	ЛН3
7410	ЛА4	7407	ЛН4
7412	ЛА10	7416	ЛН5
7420	ЛА1	OR	И-ИЛИ-НЕ
7422	ЛА7	7450	К155ЛР1
7426	ЛА11	7451	ЛР11
7430	ЛА2	7453	ЛР3
7437	ЛА12	7454	ЛР13
7440	ЛА6	7455	ЛР4
NOR	ИЛИ-НЕ	AND	И
7402	ЛЕ1	7408	ЛИ1
7423	ЛЕ2	7415	ЛИ4
7425	ЛЕ3	7421	ЛИ6
7427	ЛЕ4	OR	ИЛИ
7428	ЛЕ5	7432	ЛЛ1
		74136	ЛЛ3