

ФЕДЕРАЛЬНОЕ БЮДЖЕТНОЕ ГОСУДАРСТВЕННОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ВЫСШЕГО ПРОФЕССИОНАЛЬНОГО ОБРАЗОВАНИЯ

«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»



МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ ЛЕКЦИЯ №4 «Архитектура микропроцессора» (продолжение)

Лектор:
доцент каф. ЭАФУ ФТИ
Горюнов А.Г.

Томск 2012 г.

План лекции

- 4.1 Типовые логические элементы и узлы МП и их функции;
- 4.2 Стек, указатель стека, принцип работы стека;
- 4.3 Система шин.

4.1 Типовые логические элементы и узлы МП и их функции

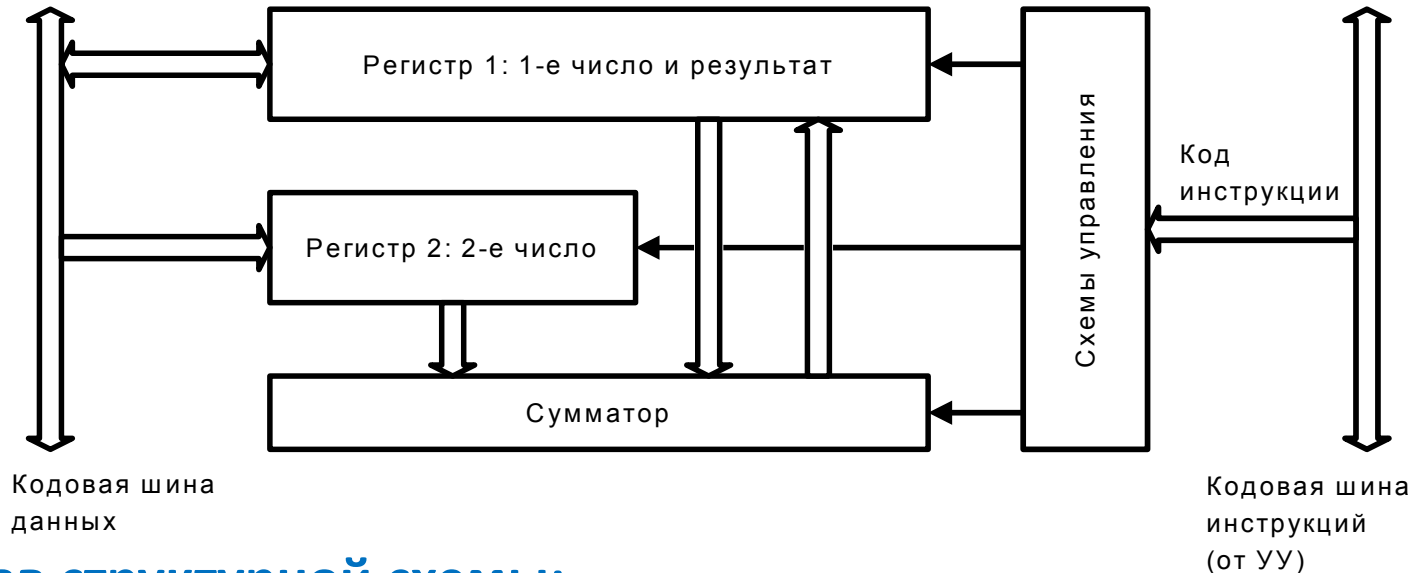
Арифметико-логическое устройство (АЛУ).

Основные функции АЛУ:

- Прием операндов из ОЗУ и регистров (микропроцессорной памяти).
- Выполнение арифметических и логических операций.
- Передача результатов в регистры и в ОЗУ.
- Формирование признаков результатов выполнения операций и их запись в регистр слова состояния процессора.

В состав АЛУ входят сумматоры, которые непосредственно выполняют элементарные операции, регистры для хранения операндов и результатов, сдвиговые регистры, логические схемы И, ИЛИ, НЕ, схемы для преобразования прямого кода числа в дополнительную форму и дополнительные схемы аппаратного умножения и деления для целочисленных операндов.

Упрощенная структурная схема АЛУ показана на рисунке



Состав структурной схемы:

Сумматор – вычислительная схема, выполняющая процедуру сложения поступающих на ее вход двоичных кодов; сумматор имеет разрядность двойного машинного слова.

Регистры – быстродействующие ячейки памяти различной длины: регистр 1 (Рг1) имеет разрядность двойного слова, а регистр 2 (Рг2) – разрядность слова.

Схемы управления принимают по кодовым шинам инструкций управляющие сигналы от устройства управления и преобразуют их в сигналы для управления работой регистров и сумматора АЛУ.

Основные элементы АЛУ. Основой АЛУ является одноразрядный сумматор, схема которого обеспечивает суммирование цифры одного разряда 2-го числа с учетом бита переноса из соседнего младшего разряда 1-го числа.

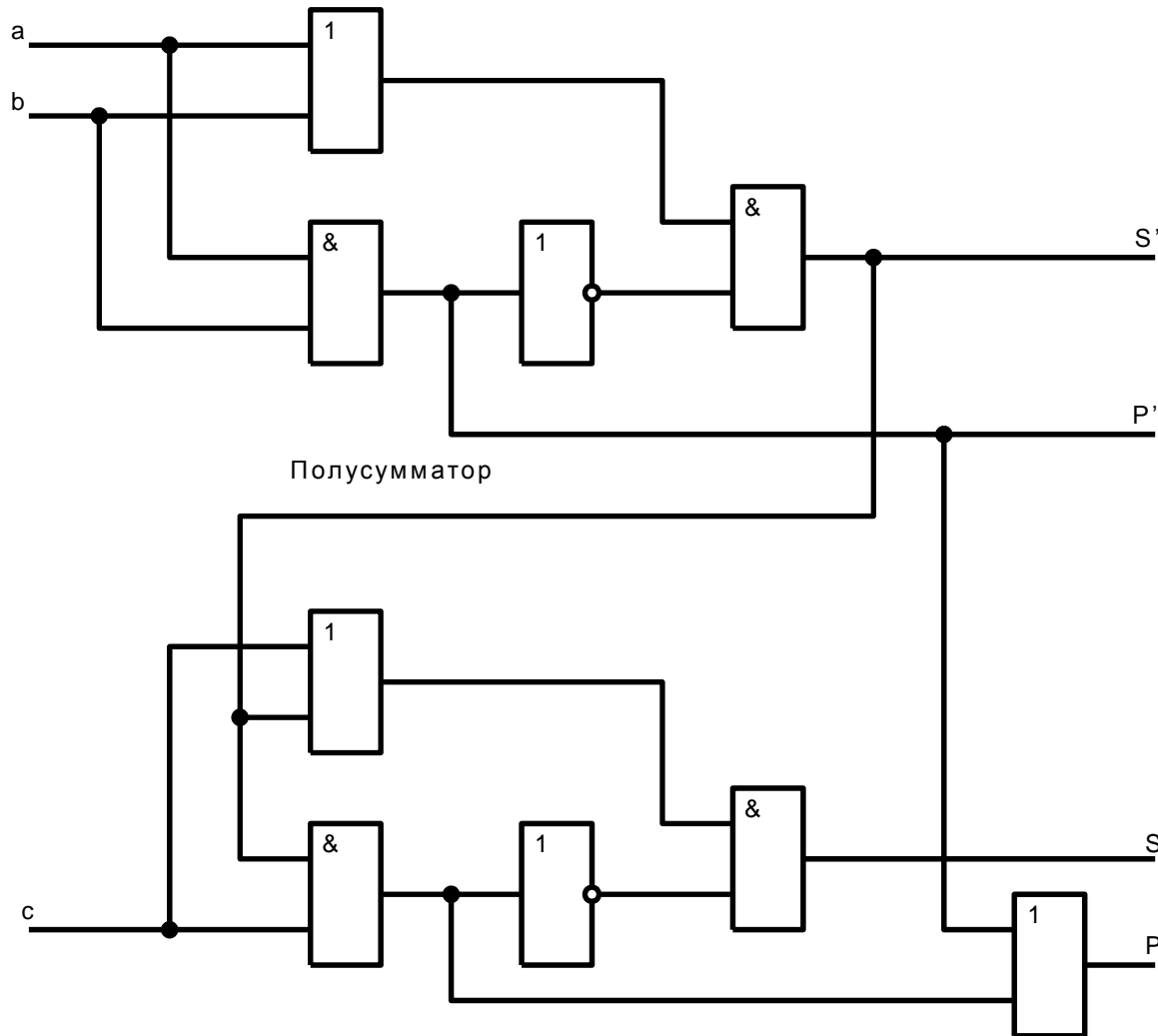


Рисунок 4.1 –
Схема
одноразрядного
полусумматора

Рассмотренный сумматор выполняет операцию сложения в соответствии с нижеследующей таблицей 4.1

Таблица 4.1

a	b	c	S'	P'	S	P
0	0	0	0	0	0	0
1	0	0	1	0	1	0
0	1	0	1	0	1	0
1	1	0	0	1	0	1
0	0	1	0	0	1	0
1	0	1	1	0	0	1
0	1	1	1	0	0	1
1	1	1	0	1	1	1

a – соответствующий разряд 1-го числа;

b – соответствующий разряд 2-го числа;

c – бит переноса из соседнего младшего разряда;

S' – значение цифры суммы в данном разряде полусумматора;

P' – цифра переноса в следующий (старший) разряд полусумматора;

S – значение цифры суммы в данном разряде;

P – цифра переноса в следующий (старший) разряд.

Практически все операции в АЛУ сводятся к сложению и дополнительным операциям сдвига и преобразования кода.

4.2 Стек. Принцип работы стека

Стек – это набор регистров МП или ячеек оперативной памяти, откуда данные или адреса выбираются «сверху» по принципу: последним записан – первым считан (*Last Input First Output – LIFO*).

При записи в стек очередного слова все ранее записанные слова смещаются на один регистр вниз.

При выборе слова из стек оставшиеся слова перемещаются на один регистр вверх.

Принцип работы стека:

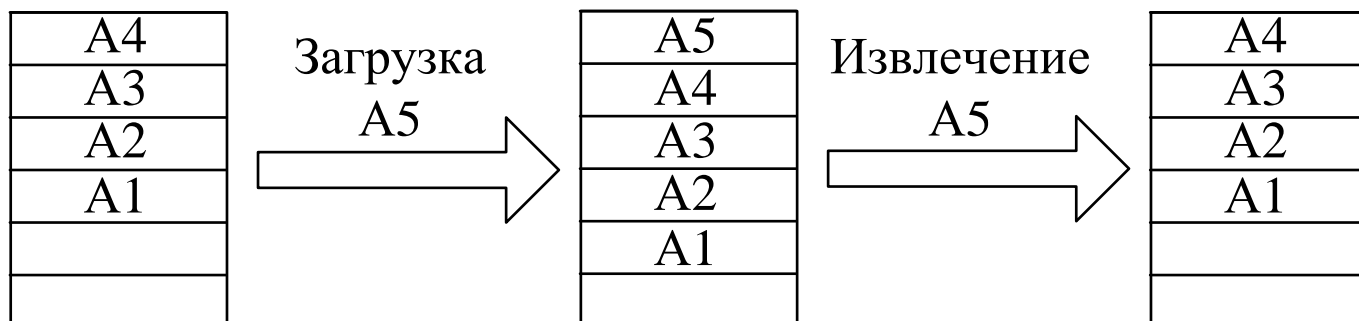


Рисунок 4.2 – Визуализация принципа работы стека

Как правило в реальных МП (например x86) данные между ячейками не переносятся, а для хранения адреса последнего по времени поступления элемента стека используется специальный регистр – **указатель стека (УС)**.

Адресация элемента стека с использованием указателя стека:

Таблица 4.2

Регистр	0	1	2	3	4	5	6	7
УС	000	001	010	011	100	101	110	111

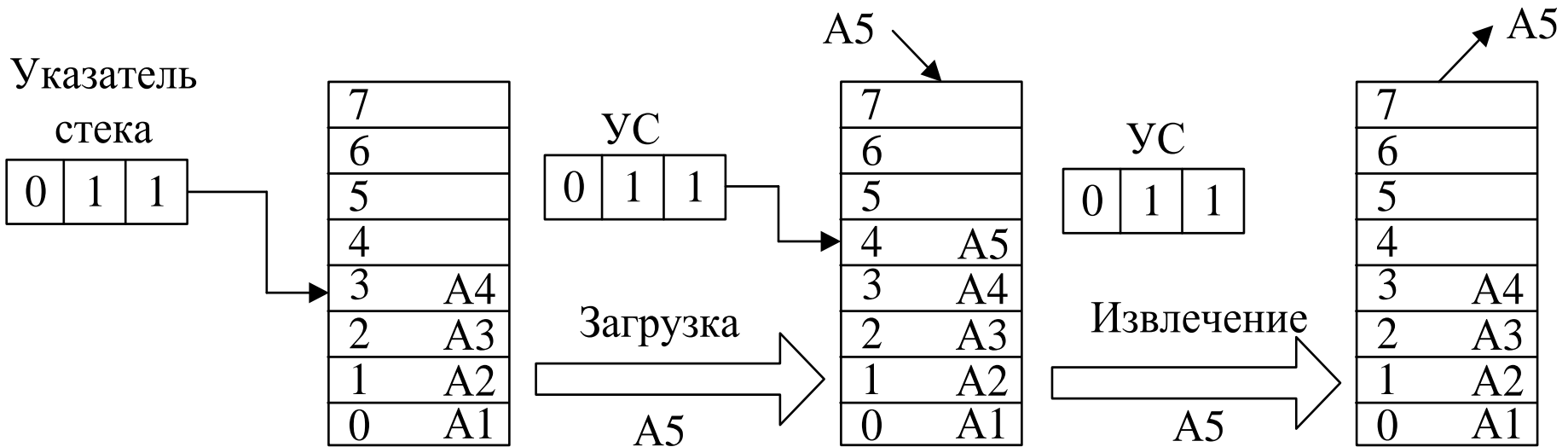
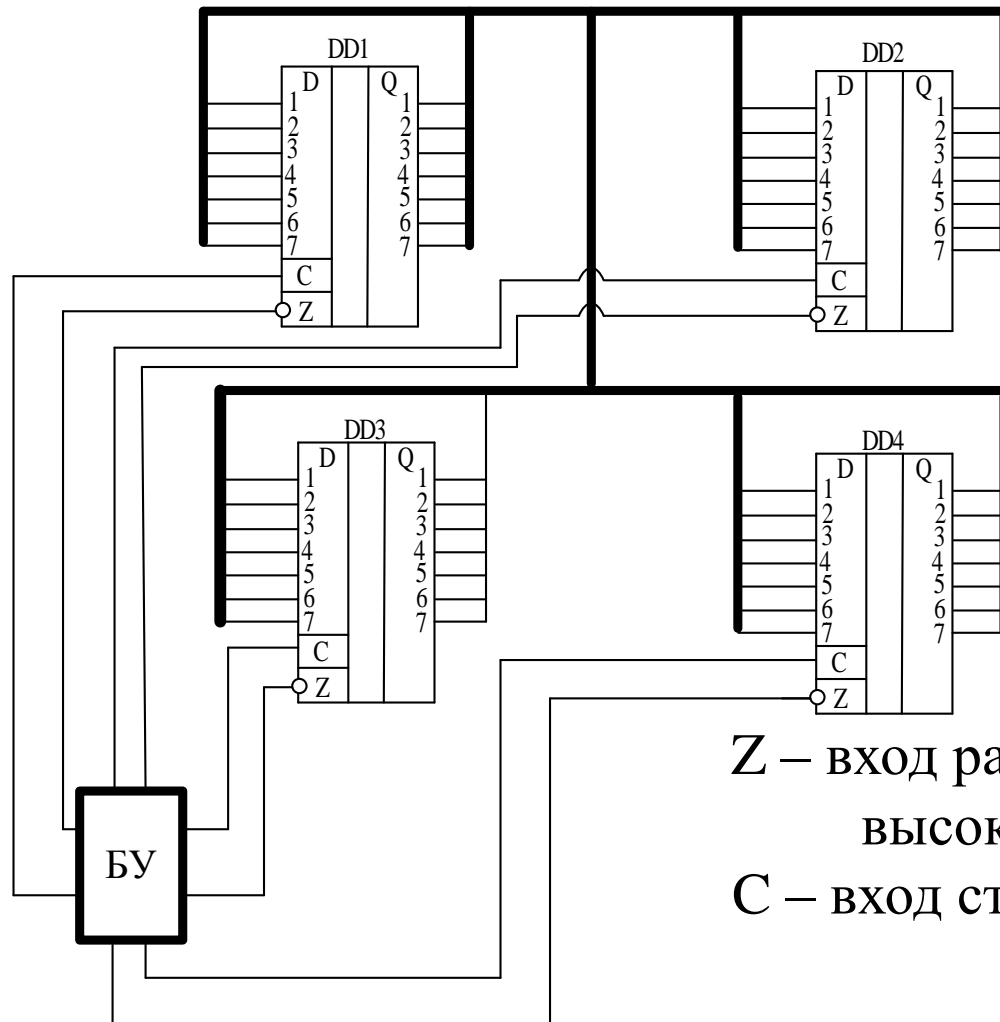


Рисунок 4.3 – Принцип работы указателя стека

4.3 Система шин

Компьютерная шина (*computer bus*) – подсистема, которая передает данные между функциональными блоками компьютера.



Пример:

555ИР22

1533ИР22

1564ИР22

1554ИР22

Z – вход разрешения состояния
высокого импеданса;
C – вход стробирования записи.

Рисунок 4.4 – Схема компьютерной шины

1) Отсутствие передачи

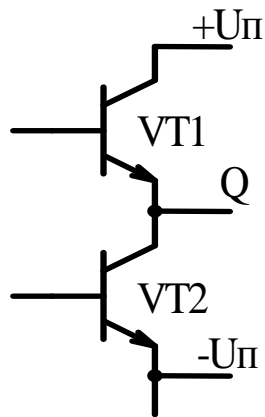
DD1: C=0, Z=0

DD2: C=0, Z=0

DD2: C=0, Z=0

DD2: C=0, Z=0

Все регистры в Z-состоянии (в состоянии высокого импеданса).



Для перевода в Z-состояние нужно закрыть ключи (транзисторы) VT1, VT2.

$$U_{бэVT1}=0, U_{бэVT2}=0$$

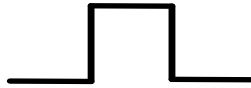
Рисунок 4.5 – Схема выходного каскада регистра, ТТЛ (1 разряд)

2) Передача DD1 → DD4

а) Включение DD1 в активный режим.

$Z = 1 \Rightarrow$ данные выставляются на общую шины;

а) Стробирование записи в DD4.

На вход «С» DD4 подается строб . Происходит запись данных с шины в DD4.

Аналогичным образом можно осуществить передачу

$DD2 \rightarrow DD3; DD4 \rightarrow DD1; DD1 \rightarrow DD2;$

$DD2 \rightarrow DD1; DD3 \rightarrow DD4; DD4 \rightarrow DD3$ используя одну общую шину.

Для работы с общей шиной используют специальные микросхемы – шинные формирователи.

Например: 1533АП6, 555АП6, 1554АП6, 1564АП6.

Восьмиканальный двунаправленный формирователь с тремя состояниями на входе.

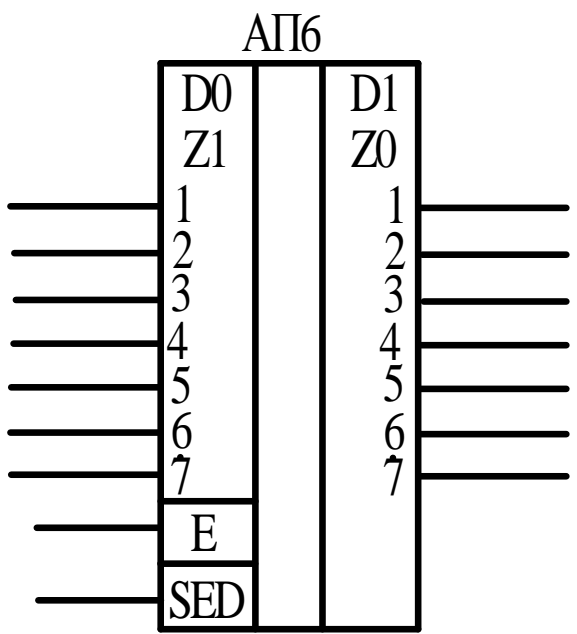


Таблица 4.3

E	SED	Операция
"H"	"X"	Z-состояние
"L"	"H"	D0 ->D1
"L"	"L"	D1 ->D0

Рисунок 4.6 –Формирователь импульсов АП6

Аналогично можно повторить предыдущую схему с использованием шинного формирователя.