

Запоминающие устройства (ЗУ)

ЗУ классифицируют:

1) *по месторасположению по отношению к вычислительному устройству:*

а) внешние ЗУ,

б) внутренние ЗУ;

2) *по назначению:*

а) сверхоперативные ЗУ (СОЗУ) – имеют быстроедействие, соизмеримое с быстрымдействием вычислительного устройства. Служат для хранения результатов его промежуточных операций. В микропроцессорах (МП) роль СОЗУ выполняет регистровая память – встроенные в кристалл МП регистры общего назначения.

б) оперативные ЗУ (ОЗУ) – энергозависимые ЗУ, служащие для первоначального сохранения вводимой информации. При потере питания информация теряется.

в) постоянные ЗУ (ПЗУ) – энергонезависимые ЗУ, служащие для хранения неизменной информации;

г) буферные ЗУ (БЗУ) – предназначены для промежуточного хранения информации при ее обмене между устройствами, работающими с разной скоростью. Эту роль выполняют регистровые схемы или ОЗУ малого объема;

д) внешние ЗУ (ВЗУ) – служат для хранения большого объема информации на внешнем по отношению к вычислительному устройству носителе, как правило, магнитном;

Запоминающие устройства (ЗУ)

ЗУ классифицируют:

3) по физическим принципам действия:

- а) магнитные,
- б) полупроводниковые,
- в) оптические;



4) по способу хранения информации:

- а) статические,
- б) динамические;



5) по способу доступа к ячейке:

- а) адресные ЗУ – код на адресном входе указывает ячейку, обмен данными;
- б) последовательные ЗУ – когда осуществляется последовательное обращение к ячейкам до тех пор, пока не произойдет обращение к нужной ячейке с заданным адресом;
- в) ассоциативные ЗУ – поиск информации происходит по некоторому признаку, а не по ее расположению в памяти.

Адресные ЗУ

1. Адресуемую память можно разделить на две группы:

- оперативные запоминающие устройства (ОЗУ) – RAM (random access memory);
- постоянные запоминающие устройства (ПЗУ) – ROM (read-only memory).

При отключении напряжения питания информация, хранящаяся в ПЗУ, не исчезает. Информация в ОЗУ является временной, поскольку она исчезает при отключении напряжения питания. Данные можно как записать в ОЗУ, так и прочесть их из него.

ОЗУ иногда называют запоминающим устройством с произвольной выборкой. Это название сохранилось с более ранних времен. В настоящее время доступность ячеек обоих типов адресуемой памяти является произвольной. Организация ОЗУ и ПЗУ позволяет быстро найти требуемую ячейку памяти по ее адресу. Поскольку адреса ячеек шифруются двоичным кодом, объем адресуемой памяти всегда определяется числом, являющимся степенью 2.

- *ЗУ с поразрядной организацией* по каждому адресу хранят только один бит информации.
- *ЗУ с пословной организацией* по каждому адресу хранят 4, 8, 16 или 32 бита информации.

Адресные ЗУ

Оперативные запоминающие устройства RAM делятся на статические – **SRAM** (Static RAM) и динамические – **DRAM** (Dynamic RAM).

В статических ОЗУ запоминающими элементами являются триггеры. В динамических ОЗУ данные хранят в виде зарядов конденсаторов, образуемых элементами МОП-структур. Запоминающие конденсаторы разряжаются, поэтому каждые несколько миллисекунд данные должны регенерироваться.

Плотность упаковки динамических элементов памяти в несколько раз выше, чем статических. Динамические ОЗУ характеризуются наибольшей информационной емкостью и невысокой стоимостью, но имеют большее энергопотребление и меньшее быстродействие.

Постоянная память типа ROM имеет следующие разновидности:

1. Программируемые при изготовлении ИМС с помощью одной из масок. Эта память типа **ПЗУМ** (ПЗУ масочные) – **ROM(M)**.
2. Память, программируемая пользователем (**ППЗУ** – программируемые ПЗУ):
 - **PROM** – содержимое записывается однократно в память,
 - **EPROM** и **EEPROM** – содержимое может быть заменено путем стирания информации и записи новой.

В EPROM – стирание происходит путем облучения кристалла ультрафиолетовыми лучами (**РПЗУ-УФ** – репрограммируемые ПЗУ с УФ стиранием).

В EEPROM – стирание происходит электрическими сигналами (**РПЗУ-ЭС** – репрограммируемые ПЗУ с электрическим стиранием).

Запись данных для EPROM и EEPROM производится электрическими сигналами.

Последовательные ЗУ

2. Последовательные ЗУ:

- FIFO;
- Стековые (LIFO);
- Файловые;
- Циклические.

В *FIFO* запись в буфер становится сразу доступной для чтения, т.е. поступает в конец цепочки (First In – First Out) – «первый пришел – первый вышел».

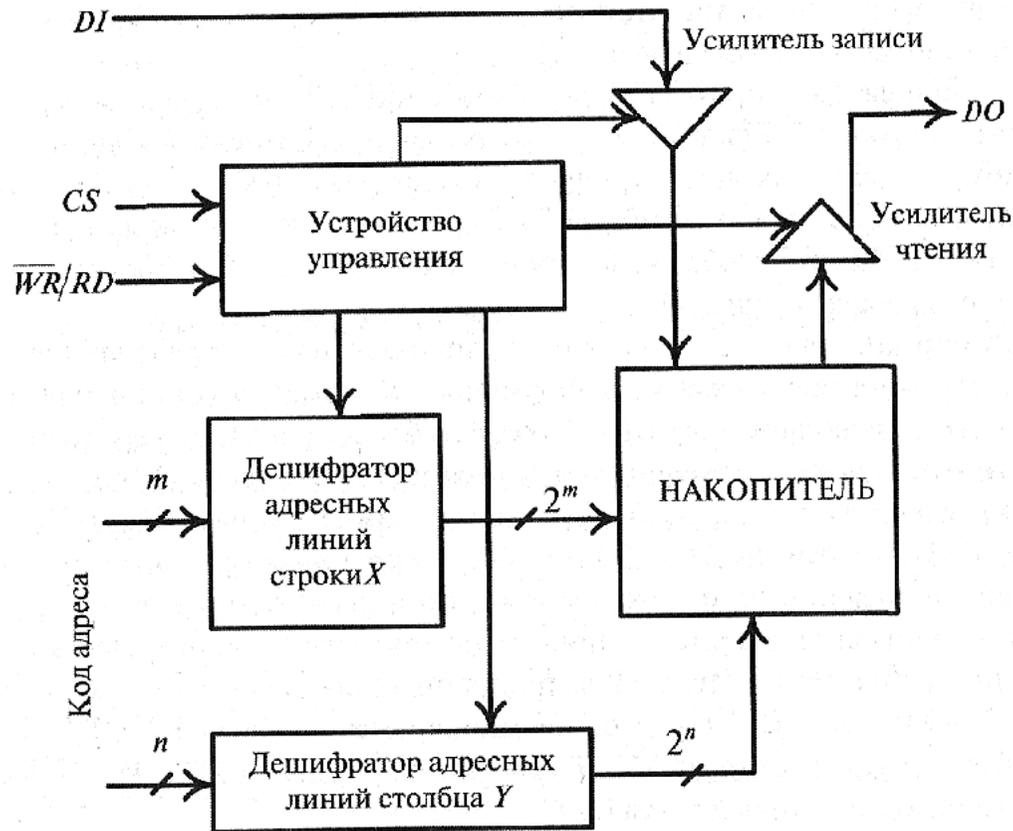
В *файловых* – данные поступают в начало цепочки.

В *циклических ЗУ* – слова доступны одно за другим с постоянным периодом, определяемым емкостью памяти. К такому типу относится видеопамять (VRAM).

В *стековых ЗУ* считывание происходит в обратном порядке (последний принят – первый вышел) – LIFO (Last In – First Out).

Структуры ЗУ

Рассмотрим структуру и принцип построения ЗУ на примере статического ОЗУ. Основным элементом ЗУ является матричный накопитель. Накопитель имеет форму матрицы (2-координатная адресация). Все адреса внутри делятся на две части: одна часть определяет номер строки, другая – номер столбца. Поэтому в схему ЗУ всегда входят два дешифратора: дешифратор строк и дешифратор столбцов. Такую структуру также называют **3D-структурой**. Искомые ячейки находятся на пересечениях соответствующих строк и столбцов.



DI (data input) – линия входных данных;

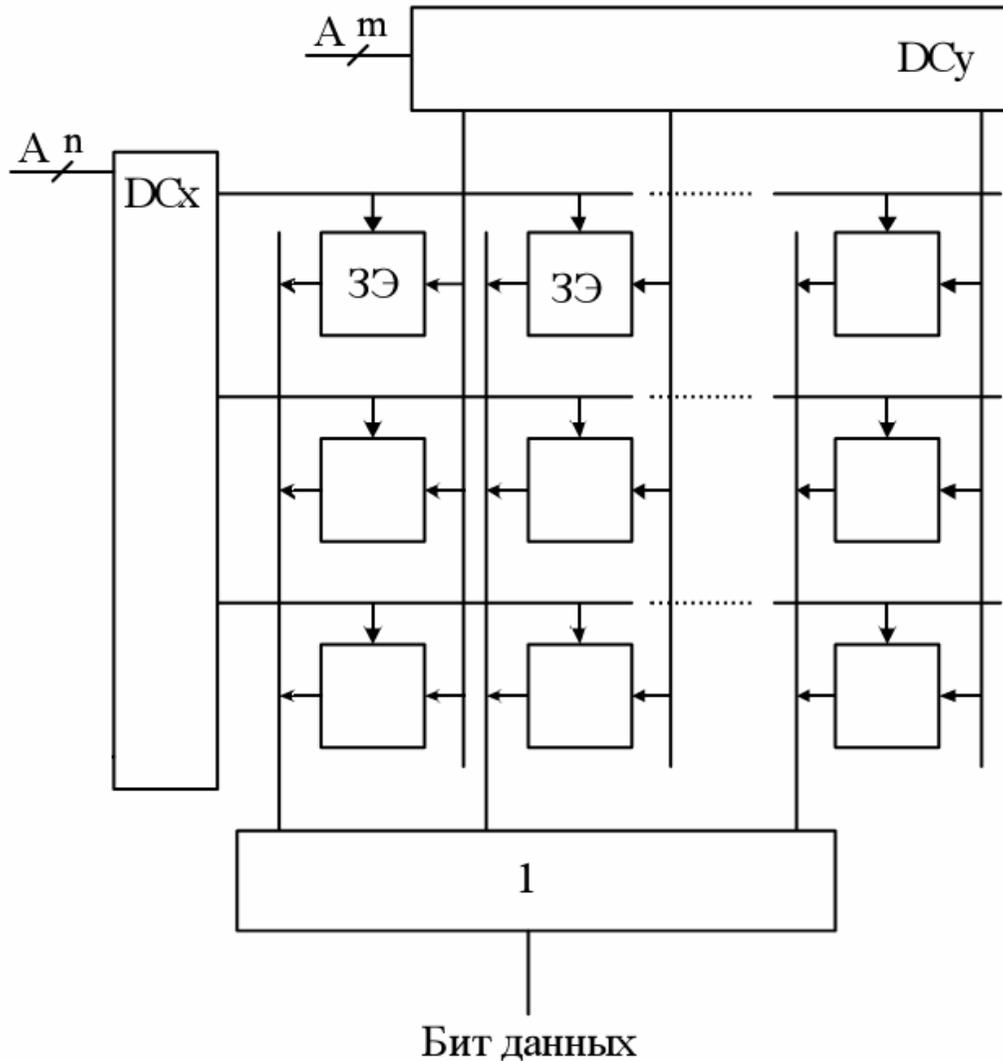
CS (chip select) – выбор кристалла – сигнал, разрешающий работу схемы ОЗУ;

WR/RD (write – запись, read – чтение) – сигнал управления записью (активный нулевой уровень) и чтением (активный единичный уровень);

DO (data output) – линия выходных данных.

Структурная схема статического ОЗУ

Структуры ЗУ



Выбор элемента памяти (ЗЭ) осуществляется при помощи логических элементов «И». Каждый ЗЭ может быть подключен к шине данных.

Сигнал R/W (чтение/запись) определяет тип операции над данными: либо их надо считать из ячейки памяти, либо записать в нее. Может обозначаться как R/\bar{W} , так и \bar{W}/R .

Информационная емкость такого ЗУ определяется как

$$M = 2^m \cdot 2^n \cdot k$$

m – разрядность шины адреса столбцов,

n – разрядность шины адреса строк,

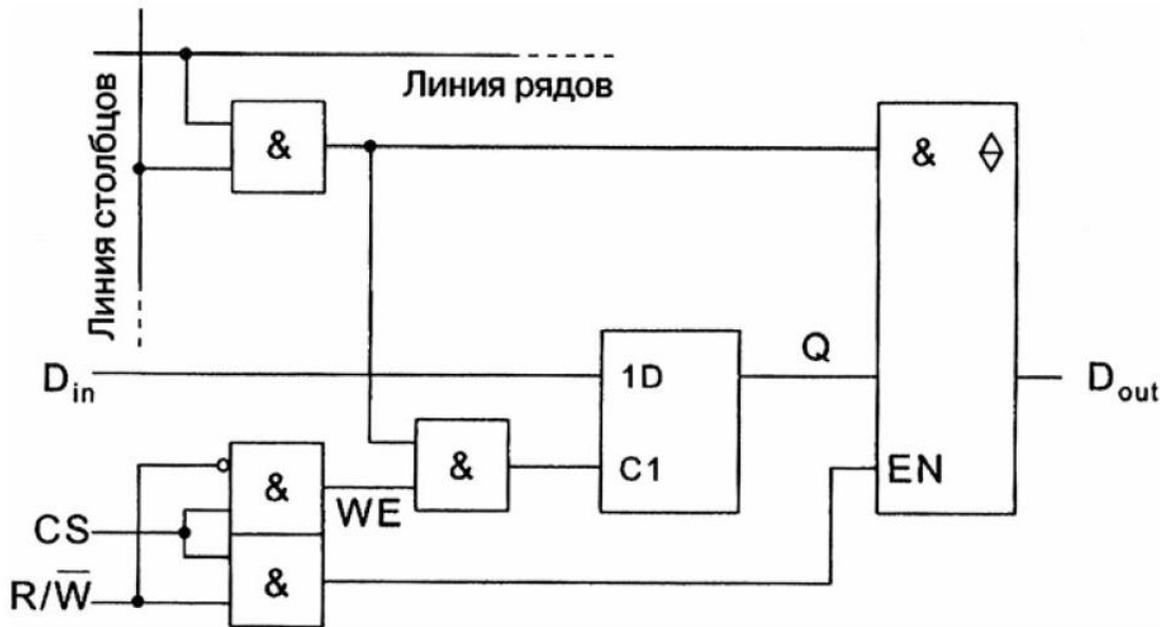
k – разрядность слов (бит),

\leftarrow в данном случае $k = 1$.

Принцип организации матричного накопителя

Структуры ЗУ

Помимо сигналов R/W в ЗУ используется сигнал CS (выбор кристалла), позволяющий выбрать тот или иной элемент памяти. При $CS = 0$ все выходы ячеек памяти данного элемента находятся в высокоимпедансном состоянии. Этот сигнал позволяет подключать несколько ЗУ к одной системной шине. Оба сигнала R/W и CS принимают участие в выработке сигнала WE (разрешение записи), который дает разрешение D-триггеру пропустить данные к ячейке памяти. В ЗУ с пословной организацией ячейка памяти состоит из нескольких поразрядных ячеек, включенных параллельно. В ПЗУ линия R/W может отсутствовать. Линии входных данных D_{in} элементов памяти объединены вместе, линии выходных данных D_{out} также объединены вместе, а сигнал R/W переключает соответствующие выходы в высокоимпедансное состояние в режиме записи информации ($EN = 0$ – Z-состояние).

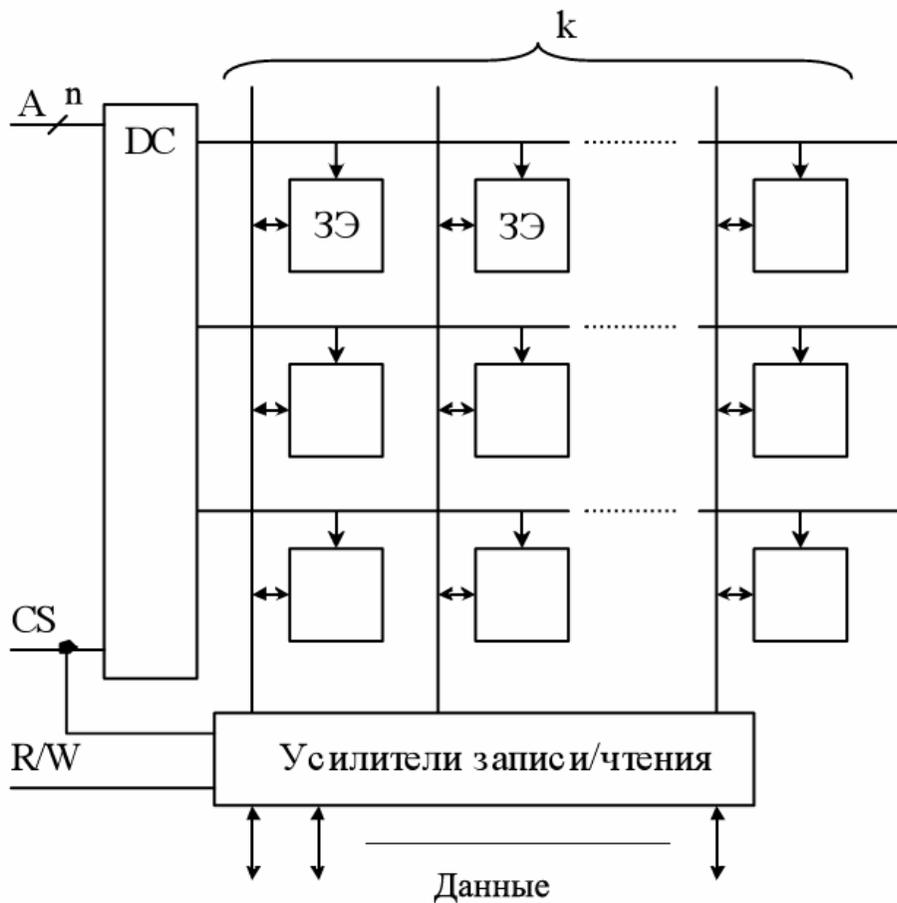


Эквивалентная схема элемента памяти

Для подключения к общей шине выход элемента памяти должен иметь Z-состояние либо открытый коллектор.

Структуры ЗУ

В случае, когда количество столбцов (или строк) в накопителе равно 1, т.е. используется 1-координатная адресация, структуру накопителя называют *2D-структурой*.



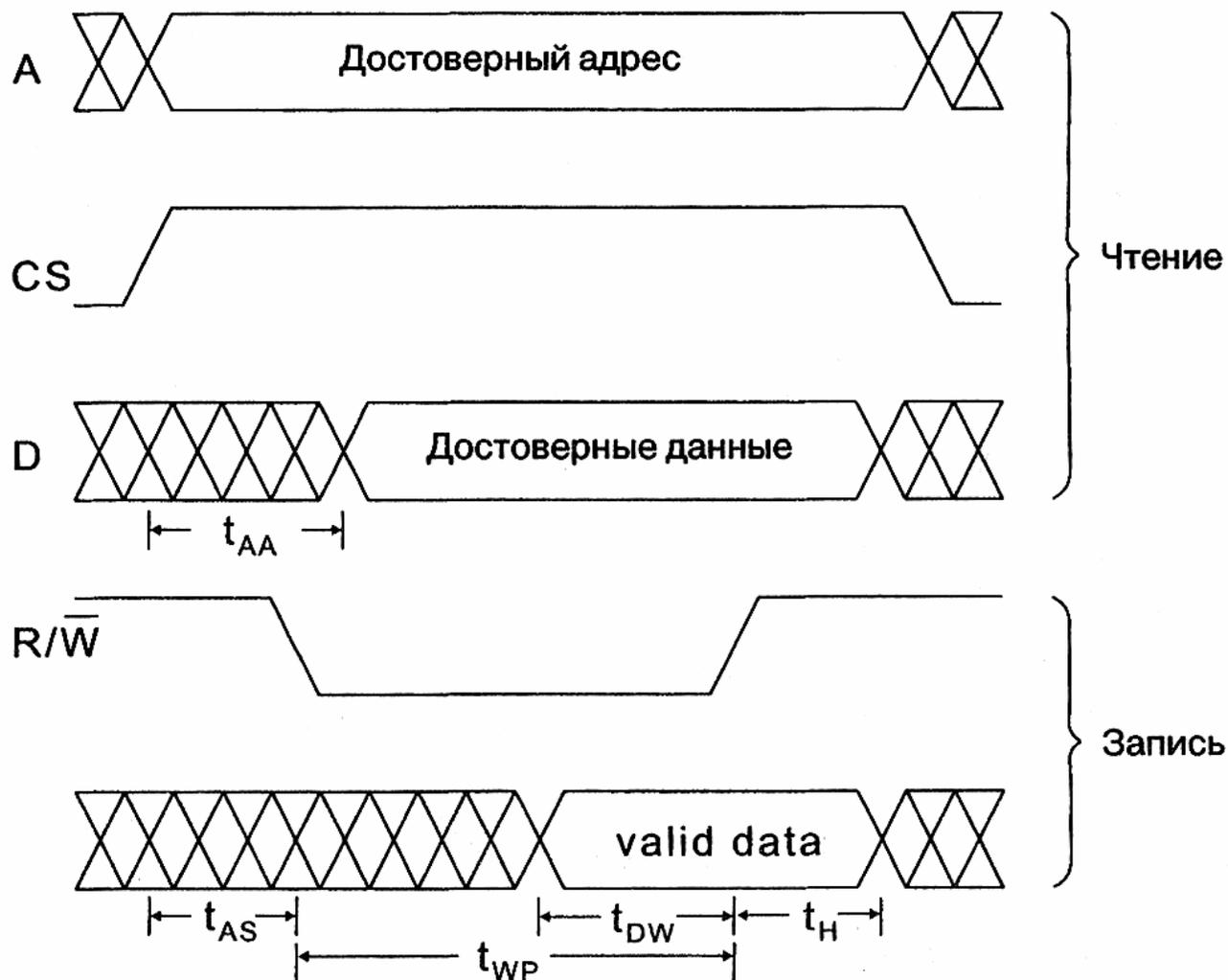
Информационная емкость такого ЗУ определяется как

$$M = 2^n \cdot k$$

n – разрядность шины адреса строк,

k – разрядность слов (бит).

Принцип организации 2D накопителя



Быстродействие ЗУ определяется продолжительностью операции обращения к ЗУ. Обращение к ЗУ – это запись или считывание. Для организации корректного доступа к ячейкам памяти все сигналы должны быть определенного формата.

Диаграммы сигналов при операциях чтения и записи

Запоминающие устройства (ЗУ)

Чтение

- Поскольку внутри схемы существуют определенные задержки на распространение сигналов, время между выставлением адреса ячейки на соответствующих линиях до появления достоверных данных на выходных линиях должно быть равно заранее определенному времени t_{AA} , называемому **временем выборки адреса**.

Запись

- Время между выставлением адреса ячейки и установлением низкого уровня сигнала на линии R/W , разрешающего чтение-запись информации, определяется **временем установления сигнала записи** t_{AS} .
- Сигнал на линии R/W должен оставаться низким в течение интервала времени t_{WP} , называемого **длительностью сигнала записи**.
- Данные считываются по положительному перепаду напряжения на линии R/W . Перед этим (до перепада) они не должны меняться в течение времени t_{DW} – **времени удержания данных для операции записи**.
- После переключения уровня сигнала на линии R/W сигналы на линиях данных и адреса должны сохранять свои значения в течение времени t_H , называемого **временем сохранения данных**.

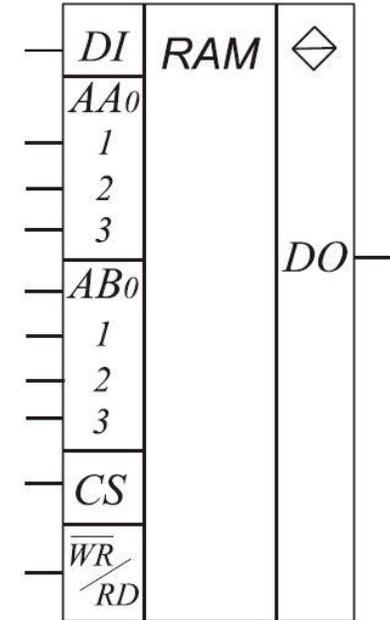
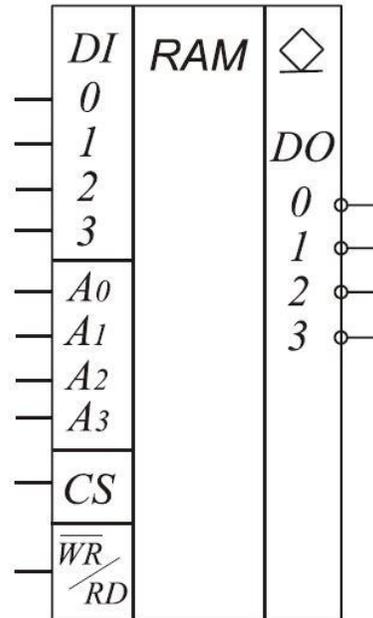
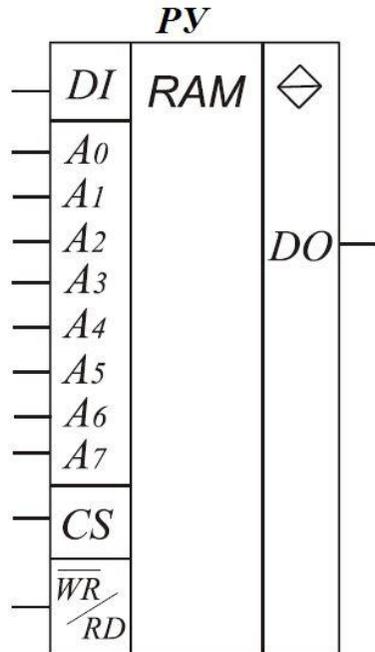
Минимальное общее время операции записи в ЗУ определяется выражением:

$$t_W = t_{AS} + t_{WP} + t_H$$

Это время называется **временем цикла записи**.

Запоминающие устройства (ЗУ)

УГО ИМС ОЗУ



Емкость ЗУ $2^8 \cdot 1 = 256$ бит
Разрядность данных 1,
1-координатная адресация

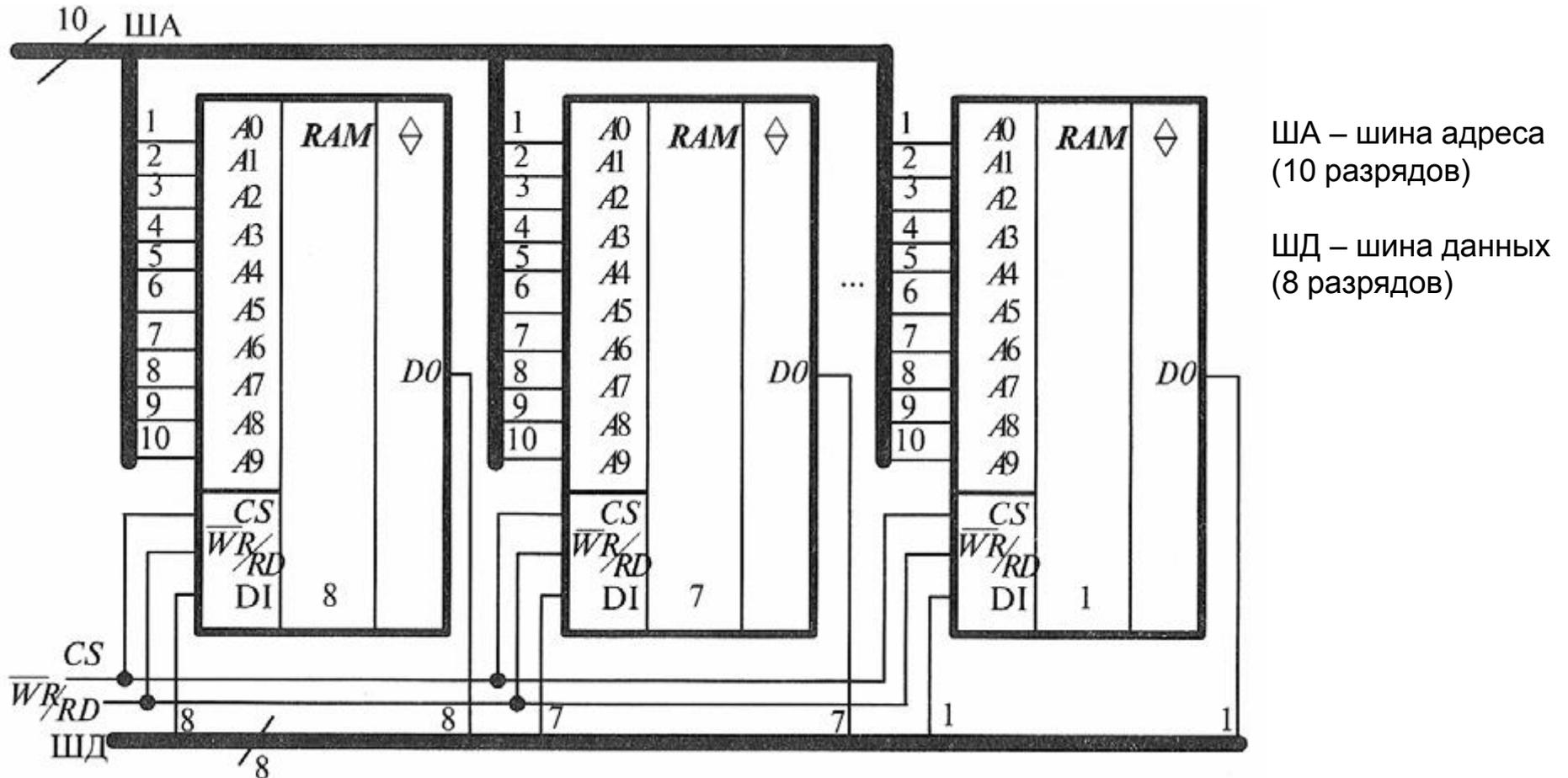
Емкость ЗУ $2^4 \cdot 4 = 64$ бит
Разрядность данных 4,
1-координатная адресация

Емкость ЗУ $2^4 \cdot 2^4 \cdot 1 = 256$ бит
Разрядность данных 1,
2-координатная адресация

Способы увеличения емкости (информационного объема) ЗУ

1. Увеличение разрядности данных
2. Увеличение разрядности шины адреса
3. Комбинированный

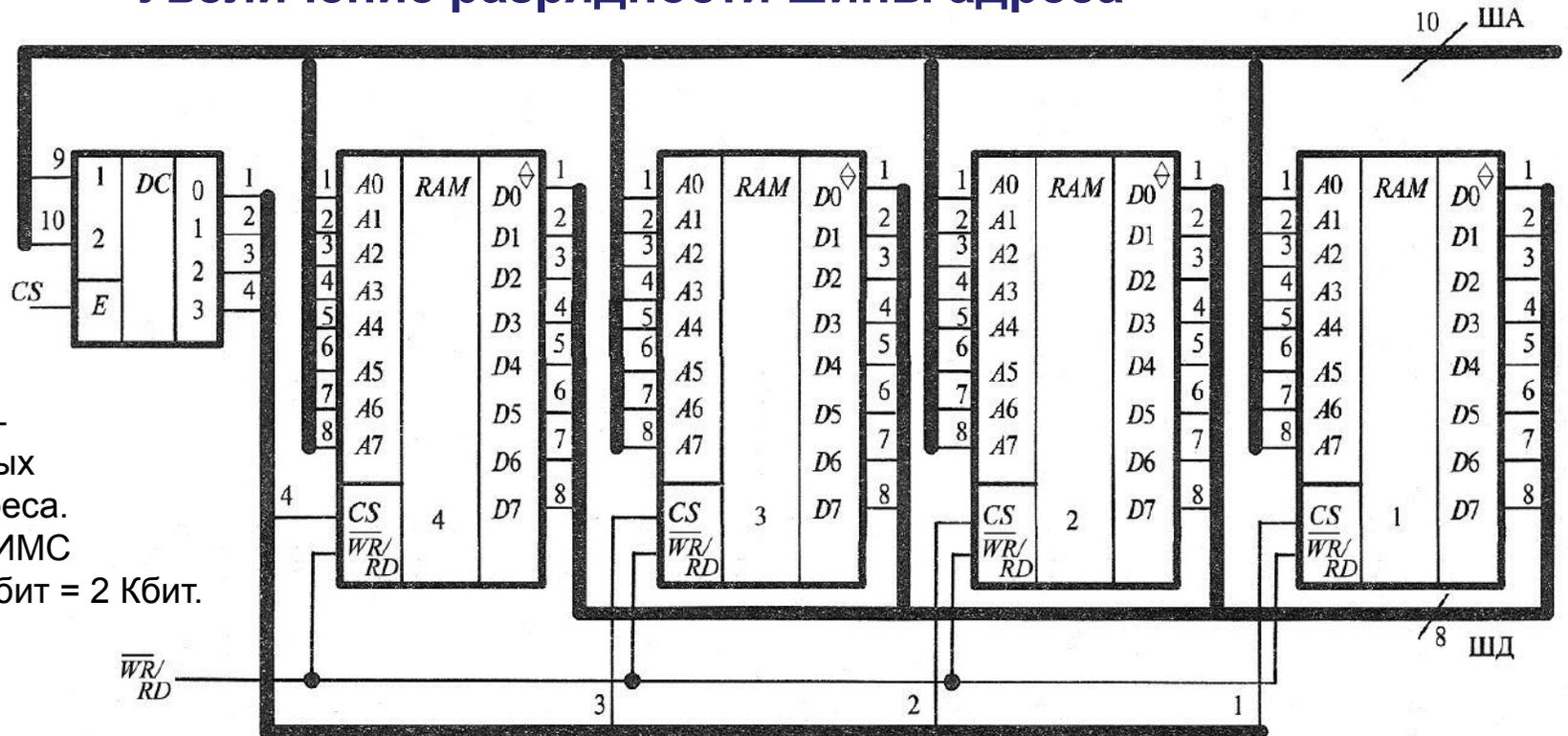
Увеличение разрядности данных



Увеличение разрядности достигается за счет параллельного соединения N микросхем ЗУ (в данном случае 8). На все микросхемы ЗУ подается одинаковый адрес, входы CS и WR/RD соединяются между собой. Емкость 1 ИМС $M_1 = 2^{10} \cdot 1 = 1024$ бит. Емкость всей представленной структуры определяются как

$$M = 2^{10} \cdot 1 \cdot 8 = 8192 \text{ бит} = 1 \text{ Кбайт}$$

Увеличение разрядности шины адреса

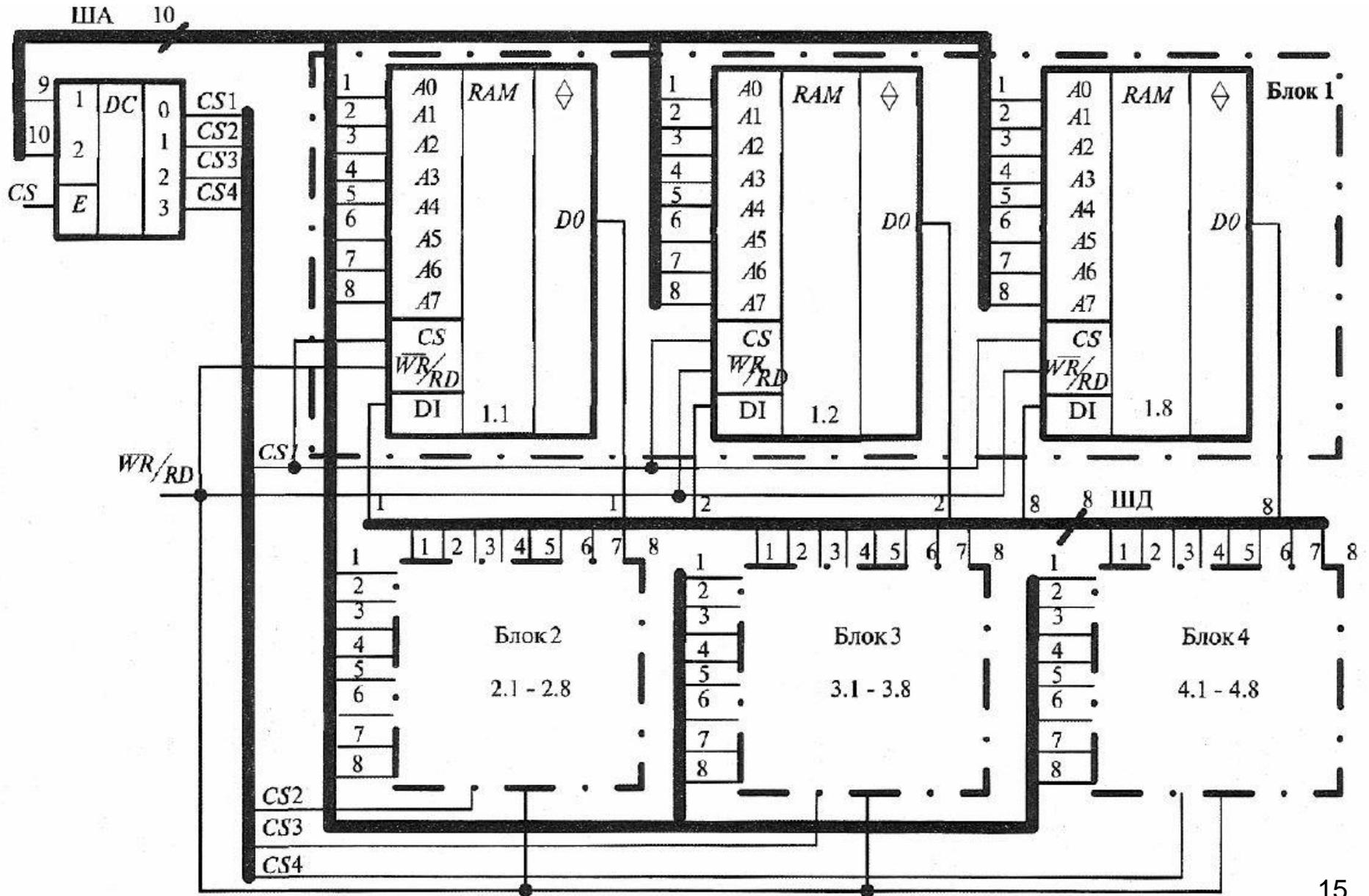


Разрядность 1
микросхемы ЗУ –
8 разрядов данных
и 8 разрядов адреса.
Тогда емкость 1 ИМС
 $M_1 = 2^8 \cdot 8 = 2048 \text{ бит} = 2 \text{ Кбит}$.

Разрядность шины адреса увеличивается за счет использования дешифратора *DC*, на входы которого подаются старшие разряды ША. Входы *CS* ИМС ЗУ подключаются к соответствующим выходам *DC*. Вход *E* дешифратора используется как вход разрешения работы всей схемы и идентифицируется внешними устройствами как вход выбора кристалла *CS*. Входы *WR/RD* соединяются между собой. Входы данных *DI* микросхем ОЗУ на рисунке не показаны, они могут быть, а могут и отсутствовать в случае, если ШД двунаправленная. Одноименные выходы данных *D0-D7* микросхем подключаются к общей шине (одноименные соединяются между собой). Емкость всей структуры будет

$$M = 2^8 \cdot 8 \cdot 4 = 8192 \text{ бит} = 1 \text{ Кбайт}$$

Комбинированный способ увеличения емкости ЗУ



Комбинированный способ увеличения емкости ЗУ

Увеличивается как *разрядность данных*, так и *разрядность шины адреса*.

Разрядность 1 микросхемы ЗУ – 1 разряд данных и 8 разрядов адреса. Тогда емкость 1 ИМС $M_1 = 2^8 \cdot 1 = 256$ бит. Разрядность данных увеличивается за счет параллельного включения N микросхем ЗУ, т.е. каждый блок состоит из N параллельно включенных микросхем (в данном случае 8). Емкость каждого блока будет определяться как

$$M_B = 2^8 \cdot 1 \cdot 8 = 2048 \text{ бит} = 2 \text{ Кбит}$$

Входы CS микросхем в каждом блоке соединяются между собой и подключаются к соответствующим выходам дешифратора $CS1-CS4$. Таким образом, на два разряда увеличивается разрядность шины адреса. Аналогично, используя дешифратор на 8 выходов можно увеличить разрядность ША на 3 разряда. На входы DC подаются старшие разряды ША. Вход E дешифратора используется как вход разрешения работы всей схемы и идентифицируется внешними устройствами как вход выбора кристалла CS .

На все микросхемы всех блоков подается одинаковый адрес $A0-A7$. Входы WR/RD всех ИМС соединяются между собой. Емкость всей структуры:

$$M = M_B \cdot 4 = 8192 \text{ бит} = 1 \text{ Кбайт}$$